

LTE-A 系统中 HARQ 技术的实现与验证

王海龙, 王 琼

(重庆邮电大学 通信与信息工程学院, 重庆 400065)

摘 要: 随着移动通信系统中上下行业务吞吐量的快速增长, HARQ 存储器大小的需求及交互访问量的不断增加, 以及终端设备功耗指标的持续飙升, 由此对片内 HARQ 存储方式进行研究, 提出一种运行时间在满足 0.5 ms 的条件下, 能使数据搬移和硬件加速器可并行工作的硬件实现方案, 最后采用了基于 VMM 的 ASIC 验证工具对其进行仿真验证。

关键词: LTE-A; HARQ; VMM 方法学; 存储器

中图分类号: TN407

文献标识码: A

文章编号: 1000-7180(2014)05-0058-04

The Implementation and Verification of LTE-A System in HARQ Technology

WANG Hai-long, WANG Qiong

(School of Communication and Information Engineering, Chongqing University of Posts and
Telecommunications, Chongqing 400065, China)

Abstract: As mobile communication system downlink throughput rapid business growth, HARQ memory size requirements and the increasing amount of interactive access and terminal equipment power consumption indicators continue to soar, this article will HARQ-chip storage in conducting research A method of operating time 0.5ms conditions are met, the data handling and hardware accelerators can be operated in parallel hardware implementation, and finally using the VMM-based ASIC verification tools for their simulation.

Key words: LTE-A; HARQ; verification methodology manual (VMM) methodology; memory

1 引言

LTE-A 系统^[1]的目标之一是为用户提供更高的数据速率, 这就对移动通信的可靠性提出了更高的要求, 因此引入混合自动重传请求 (Hybrid Automatic Repeat reQuest, HARQ) 技术就显得很有必要. HARQ 技术结合了前向纠错技术 (Forward Error Control, FEC) 和自动重传请求 (Automatic Repeat reQuest, ARQ) 技术, 相对于 FEC 方案系统吞吐量较小, ARQ 方案实时性服务较差的缺点, HARQ 技术能够有效降低传输的误码率, 提高系统的吞吐性能, 提供实时性服务^[2-3].

HARQ 是自 3GPP R5 开始引入的提升传输可

靠性的技术, 在主流 3G、3.5G、3.9G 移动通信系统中获得广泛应用. 随着移动通信系统的演进, 上下行业务吞吐量快速增长, 带来了 HARQ 存储器大小的需求及交互访问量的增长; 由于业务量快速增长带来的日益膨胀的信号处理负担, 使得终端设备的功耗指标持续飙升, 为有效控制功耗, 解决方案倾向于将 HARQ 存储器放置于片内存储空间中, 避免与外部 DDR 交互访问引入的总线、外部存储器的额外功耗. 然而, 片内 HARQ 存储器的设置带来的是 ASIC 面积与成本的上升, 成本与功耗的矛盾极为显著. 在这种情况下, 本文将立足于对 HARQ 存储方式实现方案的研究, 力求寻找一个能使数据搬移和硬件加速器可并行工作, 并使芯片面积、成本及

收稿日期: 2013-07-23; 修回日期: 2013-09-12

基金项目: 新一代宽带无线移动通信网国家科技重大专项 (2011ZX03001-001-02)

功耗达到最佳的方案。

2 速率匹配算法

速率匹配时 LTE-A 系统中与 HARQ 技术最相关的部分,针对 Turbo 编码的传输信道的速率匹配,它的基本处理流程如图 1 所示:首先将编码后的三路信息比特流 $d_k^{(0)}$ 、 $d_k^{(1)}$ 及 $d_k^{(2)}$ 进行子块交织,然后进行比较收集,最后是循环缓存器的产生(数据在此相当于存储在一个循环存储器中)和数据的选取。

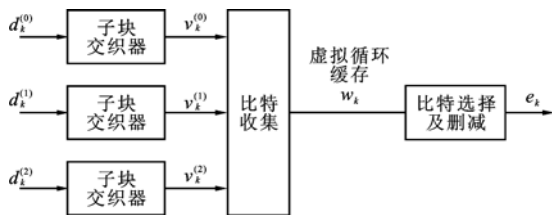


图1 速率匹配流程图

比特流 $d_k^{(i)}$ 进行子块交织,其输出序列为 $v_k^{(i)}$, $v_k^{(i)}$, $v_k^{(i)}$, $\dots$, $v_{k_n-1}^{(i)}$, 其中 $i = 0, 1, 2$ 。输出比特序列是按照下面的方法求的。首先将三路输入比特用 3 个矩阵表示,以便后面进行列交织。假设矩阵的列数为 32,则行数是满足行列数相乘不小于输入序列的最小整数。如果行列数相乘大于输入列数,超出的部分在前面添加虚假比特,然后对 $d_k^{(0)}$ 和 $d_k^{(1)}$ 进行列变换交织。这部分先按照子块交织器列变换样式进行列变换,再从列变换后的矩阵中一列一列读出比特序列。接着对 $d_k^{(2)}$ 进行子块交织, $d_k^{(2)}$ 的交织方式与 $d_k^{(0)}$ 和 $d_k^{(1)}$ 不同,由标准中 $\pi(k)$ 给出。子块交织后进行比特收集,将编码块放入循环缓冲器中。比特收集时先放信息位,再交错的放入冗余位。最后是比特选择和修剪模块,根据速率匹配的输出序列长度和传输的冗余版本数确定输出序列^[4]。

速率匹配是先经过子块交织,再进行比特收集、选择和传输,在解速率匹配过程中就需要先进行比特收集、选择和传输的逆操作,然后再进行子块解交织,可以理解为是速率匹配的逆过程。

3 硬件实现方案

3.1 HARQ 模块功能及流程

本文中 HARQ 模块的硬件设计流程与 LTE 系统中的基本一致,只是由于 LTE-A 系统中 HARQ 模块需要处理的数据量要比 LTE 系统多,因此 HARQ 的存储器采用了乒乓的工作方式,从而使得数据搬移和硬件加速器可以并行工作,加快

数据的处理速度。本文所述的 HARQ 模块需要完成解速率匹配、解比特收集和解子块交织功能^[4-6],如图 2 所示。

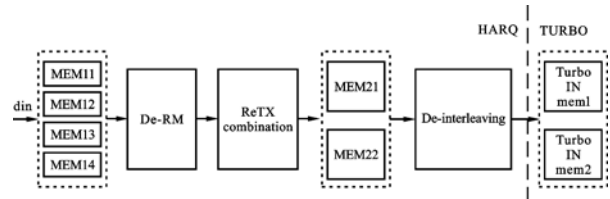


图2 功能结构及数据流程

图 2 中, din 表示存储解速率匹配的输入数据, MEM11(MEM13)和 MEM12(MEM14)以乒乓的方式工作。De-RM 表示解速率匹配和重复合并操作。ReTX combination 表示重传码合并操作。MEM21 和 MEM22 也以乒乓方式来存放解速率匹配、重复合并和重传码合并的结果数据。De-interleaving 表示解比特收集和子块交织操作。解子块交织后的数据直接写入 Turbo 的输入存储器。

HARQ 的流程设计如图 3 所示。

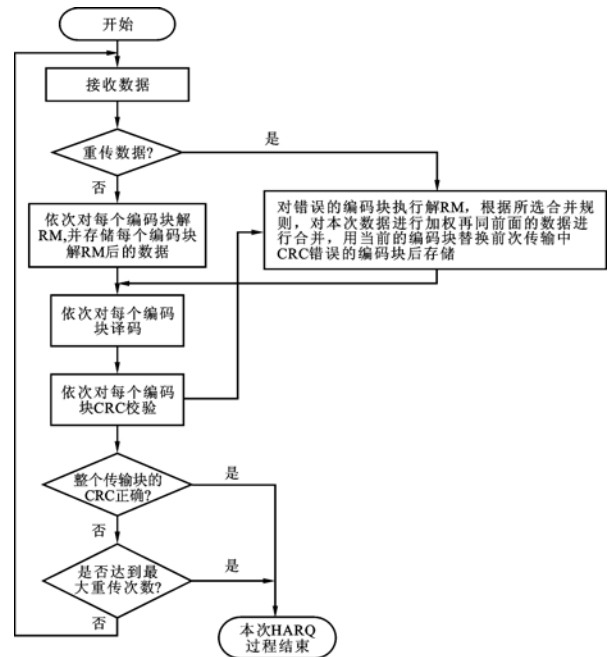


图3 HARQ 的流程设计图

3.2 实现方案分析

设定在 CAT4 时,功能时钟频率为 312 MHz (3.2 ns);CAT3 时,功能时钟频率为 240 MHz(4.2 ns)。两种情况下接口时钟频率都为 240 MHz(4.2 ns)。HARQ 以功能时钟频率访问片内 HARQ 缓存。

由图 2 可知,HARQ 整个处理过程分成两个阶段,第一个阶段是完成解速率匹配以及重传码合并处理;第二个阶段完成解子块交织处理。

在第一个阶段时, HARQ 加速器从片内 HARQ 缓存读入重传码合并的旧数据, 同时和已经解速率匹配后的数据进行重传码合并的处理. 该阶段的硬件运行采用 8 并行, 时长为 $\frac{6\ 144 \times 3 + 12}{8}$ (cycles); 搬数据的时长为 $\frac{6\ 144 \times 3 + 12}{8} \times 0.75$ (cycles). 硬件运行时长大于搬数据时长, 所以第一阶段总的运行时长为硬件运行时长 $\frac{6\ 144 \times 3 + 12}{8}$ (cycles).

在第二个阶段时, HARQ 将重传码合并后的结果数据写入片内 HARQ 缓存, 同时完成解子块交织的工作. 该阶段的硬件运行时长为 6 144 (cycles). 该阶段搬数据的时长和第一阶段大致相同. 所以可以得出硬件运行的时间要远大于搬数据的时间, 即为 6 144 (cycles).

实现方案的调用时序关系图如图 4 所示.

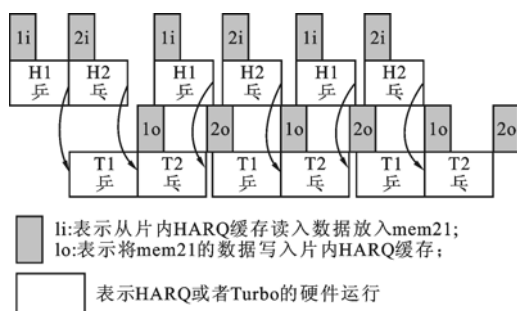


图 4 时序关系图

对于 CAT4, HARQ 最大运行 13 次的时间开销为

$$(8+20)(\mu s) \times 13(\text{times}) + \frac{(4+6) \times 13(\text{times})}{2} = 0.429(\text{ms}).$$

式中, 8 为第一阶段运行的时间, 20 为第二阶段运行的时间, 4 为一次运行 Turbo 和 HARQ 的时长之差, 6 为搬数时长. 满足小于 0.5 ms 的条件, 大约留有 7.1% 的时间余量.

对于 CAT3, HARQ 最大运行 9 次的时间开销为

$$(10+26)(\mu s) \times 9(\text{times}) + \frac{(6+8) \times 9(\text{times})}{2} = 0.387(\text{ms}).$$

式中, 10 为第一阶段运行的时间, 26 为第二阶段运行的时间, 6 为一次运行 Turbo 和 HARQ 的时长之差, 8 为搬数时长. 满足小于 0.5 ms 的条件, 大约留

有 11.3% 的时间余量.

实现方案的存储器资源如表 1 所示.

表 1 实现方案的存储器资源情况

名称	类型
MEM1	Spram2925x64bw * 4
MEM2	Spram800x64bw * 6
MEM3	Spram2368x64bw * 2

通过对上述实现方式的分析, 可以看出此方案在处理大数量时没有引入外部 DDR 总线, 使得芯片的整体功耗相对较小, 并且从实现方案的存储器使用情况来看, 本方案所使用的资源相对较小, 同时实现的复杂度也相对较低.

4 基于 VMM 方法学的 HARQ 模块验证

4.1 HARQ 验证平台的搭建

VMM (Verification Methodology Manual for System Verilog) 是 Synopsys 公司推行的基于 System Verilog 语言的验证环境, 提供了验证平台的基本架构, 包括信号层 (Signal Layer)、指令层 (Command Layer)、功能层 (Functional Layer)、场景层 (Scenario Layer)、测试层 (Test Layer), 各层之间既相互影响又具有一定的独立性. 被分为多个层次的验证平台, 反映了数据处理的各个抽象层次, 较低层级给较高层级提供服务, 高层抽象将底层的细节隐藏起来^[7].

HARQ 模块的验证原理就是基于 VMM 验证方法学搭建随机验证平台, 其中主要包括两个部分, 一部分是随机验证环境, 另一部分是参考模型^[8].

随机验证环境能够根据顶层参数的配置产生随机数据和相应的配置参数, 然后通过 channel 把输入数据送入模块的输入存储器中, 通过参数寄存器和控制寄存器的配置驱动 DUT 模块开始工作, 监控模块的输出接口, 并从中得到结果数据.

参考模型主要是用来模拟 HARQ 模块所执行的所有功能, 通过 channel 获得与 DUT 相同的输入数据, 然后通过不同的函数, 调用执行与 HARQ 模块相同的功能, 最后把参考模型的输出与 DUT 的输出进行比较, 我们期望参考模型的输出与 HARQ 模块的输出完全一致.

因此在保证参考模型正确无误的前提下, 可以对 HARQ 模块进行全面的随机测试, 通过功能覆盖率的统计来实现对所有功能点的全面验证. 而对于特殊的点即随机验证无法覆盖到的极少数的功能

点,也可以通过直接测试的方法对其进行验证。

整个验证平台如图5所示。

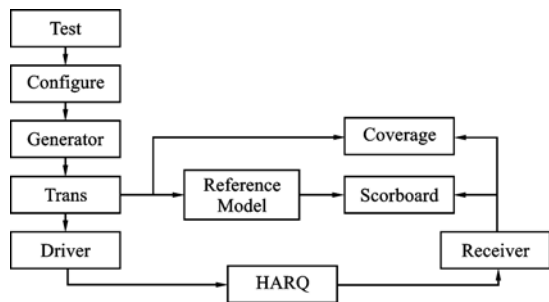


图5 HARQ验证平台架构

4.2 验证结果

本验证工作采用系统环境为 UNIX 操作系统的 Solrais9,使用 Synopsys 公司的 VCS 仿真器和 DVE 图形化调试工具,对 HARQ 模块进行了全面的功能验证。

下面来统计一个传输块最大的数据量的时候, HARQ 模块工作的最大时间开销。在 CAT4 场景下: HARQ 调度 13 个编码块的最大时间开销(功能时钟为 312 MHz,与 0.5 ms 相比),其产生的波形图如图6所示。



图6 CAT4场景下 HARQ最大时间开销波形图

如图6所示:lh_run 拉高表示 HARQ 模块的运行时间,其中白线之间表示 HARQ 调度一个编码块的 cycle 数: $\frac{73\ 856(\text{ns})}{8(\text{ns})} = 9\ 232(\text{cycle})$,则 HARQ 模块调度 13 个编码块的最大时间开销为: $9\ 232(\text{cycles}) \times 13(\text{times}) \times 3.2(\text{ns}) = 0.384(\text{ms})$,其中 3.2 ns 是功能时钟周期。由此可知,与 0.5 ms 相比,还有 11.6%的时间余量。

在 CAT3 场景下, HARQ 调度 9 个编码块的最大时间开销(功能时钟为 240 MHz,与 0.5 ms 相比),其产生的波形图如图7所示。



图7 CAT3场景下 HARQ最大时间开销波形图

如图7所示:lh_run 拉高表示 HARQ 模块的运行时间,其中对比线之间表示 HARQ 调度一个编码块的 cycle 数: $\frac{8\ 326(\text{ns})}{2(\text{ns})} = 4\ 163(\text{cycle})$,则

HARQ 模块调度 9 个编码块的最大时间开销为 $163(\text{cycle}) \times 9(\text{times}) \times 4.2(\text{ns}) = 0.346(\text{ms})$,其中 4.2 ns 是功能时钟周期。由此可知,与 0.5 ms 相比,还有 15.4%的时间余量。

5 结束语

本文对 LTE-A 基带芯片中 HARQ 模块的硬件实现进行研究,然后在 CAT4 和 CAT3 场景下分别对其实现方案进行了分析;最后 SystemVerilog 语言和 VMM 验证方法学为基础构建的验证平台,完成了对 HARQ 模块的验证工作,通过验证结果可知:不论在 CAT4 还是 CAT3 场景下,该设计方案的 HARQ 运行时间开销都小于 0.5 ms,并还有 10%左右的时间剩余量,说明所设计的 HARQ 硬件实现方案满足终端芯片的实现要求。

参考文献:

- [1] 3GPP REV-080029. LTE-Advanced Requirements and Targets [R]. Sweden:Ericsson, 2008.
- [2] 王江海. LTE-Advanced 系统中 HARQ 技术及其性能研究[D]. 武汉:武汉理工大学,2012.
- [3] Harvind Samra, Zhi Ding. A hybrid ARQ protocol using integrated channel equalization[J]. IEEE Transactions Communications, 2005, 53(12): 1996-2001.
- [4] 3GPP TS36. 212, 3rd Generation Partnership Project. Multiplexing and Channel coding[S]. 3GPP, v10. 3. 0 2011, 9.
- [5] 3Gpp TS36. 211, 3rd Generation Partnership Project Physical Channels and Modulation[S]. 3GPP, v10. 3. 0 2011, 9.
- [6] 3GPP TS36. 213, 3rd Generation Partnership Project. Physical layer procedures[S]. 3GPP, v10. 3. 0 2011, 9.
- [7] 张杰,孙立宏. 基于 VMM 统一验证平台的 Serdes 芯片验证[J]. 中国集成电路, 2012(4): 43-46.
- [8] 钟文枫. SystemVerilog 与功能验证[M]. 北京:机械工业出版社, 2010: 5-9.

作者简介:



王海龙 男, (1989-), 硕士研究生. 研究方向为移动通信。