

基于 LVDS 的高速数据交换引擎 IP 核设计

闫 博, 曹 辉, 杨 靓, 周 泉

(西安微电子技术研究所, 陕西 西安 710054)

摘 要: 设计了一种基于 LVDS 的高速数据交换引擎 IP 核, 并详细阐述了在 FPGA 上的实现原理和关键设计. 该 IP 核能广泛适用于低速、高速 FPGA 中, 测试结果表明, IP 核的逻辑功能正确, 可适应从 spartan3A 器件上时钟频率 150 MHz, 300 Mb/s 数据传输速率(1 位模式, 4 位模式下达到 1.2 Gb/s), 到 Virtex6 器件上时钟频率 500 MHz, 1 Gb/s 数据传输速率(1 位模式, 4 位模式下达到 4 Gb/s).

关键词: 现场可编程门阵列; 串行解串; 同步处理; 低压差分信号; 双倍数据速率;

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2014)08-0067-05

Design of LVDS High-Speed Data Exchange Engine IP Core

YAN Bo, CAO hui, YANG Liang, ZHOU Quan

(Xi'an Microelectronics Technique Institute, Xi'an 710054, China)

Abstract: This paper scheme out a high-speed data exchange Engine IP core with LVDS technique, and expatiate the implementation principle and key design in FPGA. This IP core can widely apply to the Low-speed, High-speed and SoC integration. the results show that it can get a clock frequency about 150 MHz, 300 Mb/s of data transmission rate(1-bit mode, 1.2 Gb/s in 4-bit mode) in spartan3A and 500 MHz, 1 Gb/s of data transmission rate(1-bit mode, 4 Gb/s in 4-bit mode) in Virtex6.

Key words: FPGA; SerDes; Synchronization; LVDS; DDR

1 引言

随着 CPLD/FPGA 规模的扩大, 设计复杂程度的提高, 硬件设计人员需要在规定的时间内完成复杂的设计工作. 在这种情况下, 使用 IP 核能在很大程度上减少研发周期, 避免工作的重复进行, 所以能为后续设计留很大的发挥空间, 可以说, IP 核的开发和使用是大势所趋.

为了满足 FPGA 以及 DSP 高速通信的需求, 本文通过研究各类 SerDes(串化解串)接口的特点, 设计了一种基于 LVDS 传输的应用于高/低速 FPGA 以及 SOC 芯片中的高速数据交换引擎 IP 核.

2 数据交换协议

2.1 LVDS 简介

LVDS 的最大特点就是低功耗和高带宽, 它使

用非常小的幅度信号通过一对差分 PCB 走线来进行数据传输, 在两条平行的差分信号线上流经的电流和电压幅度相反, 噪声同时耦合到两条线上从而被抵消, 这样就实现了数据的可靠传输^[1].

LVDS 的实现原理如图 1 所示.

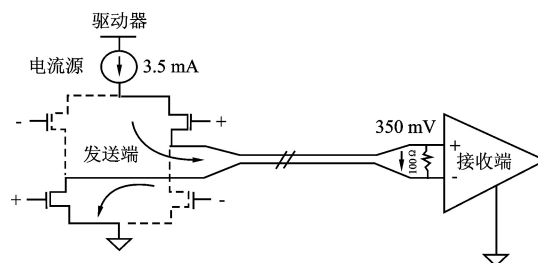


图 1 LVDS 信号传输的实现原理

LVDS 驱动器(Driver)包含一个标称值为 3.5 mA 的恒流源, 它通过电流驱动, 其通过在接收端串 100 Ω 的匹配电阻形成电流环路, 在流过电阻的电

流不同方向时,在电阻两端产生约 ± 350 mV 电压(VOD);当电流正向流动时,接收端输出为 1,反之则输出为 0.

2.2 数据传输协议

SerDes 是 Serializer(串化器)/Deserializer(解串器)的简称.它在发送端将多路低速并行信号转换为高速串行信号,并在接收端将高速串行信号重新转换为低速并行信号.

常见的 SerDes 结构有时钟嵌入式 SerDes, 8b/10b 编码式 SerDes, 并行时钟式 SerDes 等. 时钟嵌入式 SerDes 结构主要时将时钟信号以上升沿的方式嵌入到数据流中,接收端只需正确的定位该时钟边沿就能够区分数据流中的时钟信息和数据信息,从而进行时钟恢复和数据传输操作;而 8b/10b 编码式 SerDes 与时钟嵌入式 SerDes 结构不同之处在于传输过程中加入了编解码机制,发送方在数据发送前进行 8b/10b 编码操作,同样地在接受方进行 8b/10b 解码操作,这样做的目的是为了保证数据流中每个周期内有足够的边沿切换的信息,从而保证接受方能够容易的从高速数据流中进行时钟恢复操作^[2].

本设计采用的是并行时钟 SerDes 结构.该结构与上述两个 SerDes 结构相比,在功耗、抗噪能力及成本方面都有了很大改善,能很大程度上避免高速串行设计所带来的问题.该结构将并行总线进行分组串化传输,每一组的串行数据并行的传输至接收端,同时还要并行传输一路同步差分时钟信号,以保证接收端对接收到的数据进行正确的恢复.要注意的是,为保证数据的正常解串,应保持各个线对的数据与同步时钟间的相位偏斜尽可能低以满足同步时序的要求.

另外,并行时钟 SerDes 与并行总线相比,其大大减少了信号传输线的数量,降低了系统功耗和信号串扰,并能驱动更长的线缆.同时,并行时钟 SerDes 能够传送多条串行信号,在保持较高性价比的同时将传统总线传输距离扩展到若干米的范围^[3].

因此,基于并行时钟 SerDes 结构以及 LVDS 高带宽传输的特点,数据传输协议规定数据在时钟的上升沿和下降沿进行双倍速率传输,并且数据传输以帧为单位进行.

3 可行性分析

(1) 数据缓冲的实现

如图 2 所示,设计中涉及 3 个时钟域(外部时钟

域、发送时钟域和接收时钟域)的切换,因此跨时钟域的处理是不可避免的.在实际应用中,发送和接收两端的数据传输速率不同而使得数据吞吐率不一致,此时,最常见的方法就是利用 FIFO 或者双口 RAM 来作为数据缓存.考虑到发送和接收端的同步以及数据的高速传输,本方案中的数据缓冲采用 FIFO 实现.值得一提的是,FIFO 的读写工作在异步时钟下,除了常用的空/满标志外加入了几乎空/满标志 AlmostEmpty/AlmostFull 以及读写计数信号 Rd_count/Wr_count,这样能更好地利用 FIFO 实现跨时钟域的信号处理以及数据同步功能.

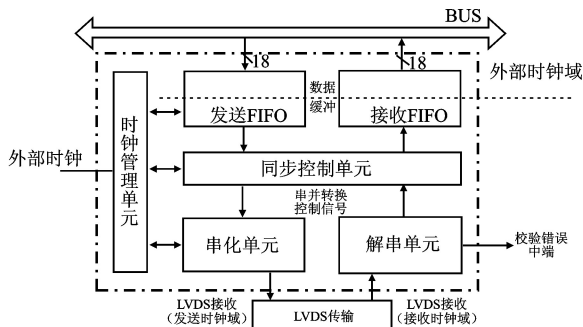


图2 高速数据交换引擎接口架构

在 Xilinx 的 FPGA 器件中,可直接调用 Core Generator 方便快捷的生成所需功能的 FIFO 模块,但是需要注意的是,FIFO 的位宽及深度要根据所用器件的资源多少来设置,以避免布局布线不合理造成的时序不满足,从而严重影响设计的实现^[4].

由于资源相对紧张,通过查看综合后的各个逻辑单元的资源占用情况和分析数据吞吐率后,将发送/接收缓冲 FIFO 设置为 $18 \text{ bit} \times 1\text{k}$,即数据位宽为 18 位,FIFO 深度为 1k,并且该 FIFO 被设置为以 Block RAM 实现的异步 FIFO.实验结果表明,该设置能很好的满足设计需求.

(2) 差分信号的转换

在数据从发送端发送之前,应该将单路数据转换为两路差分数据来进行 LVDS 传输,同理在数据进入接收端之前,也应该将两路差分信号转换为单路数据以便接收端进行传输.在所用 Xilinx FPGA 器件中,IBUFDS 和 OBUFDS 模块可以方便的实现差分信号和单路信号的互相转换功能,同时利用这两个模块能提高信号的完整性以及减少外部器件的使用.

(3) 高速数据速率的实现

该数据交换引擎通过 DDR(Double Data Rate),即双倍数据速率,分别在时钟的上升沿和下降

降沿进行采样.此功能可通过FPGA内部的ODDR模块来实现.该模块包括一个复位输入R,一个置位输入S,一个时钟使能输入CE,一个时钟输入C和两个数据输入D1和D2.仅当R和S无效且CE有效时,数据输入D1和D2分别在时钟C的上升沿和下降沿采样^[5].

4 各模块设计

本节介绍了架构中各模块的设计原理及实现,整个接口的具体结构详见图2.

如图2所示,同步控制单元是整个系统结构的重点所在,它从数据缓存中存取数据,并同步地与串化解串单元进行数据交互,因此该单元的设计很大程度上会影响整个系统的数据传输效率,具体设计会在后文详细描述.

4.1 LVDS 发送模块设计

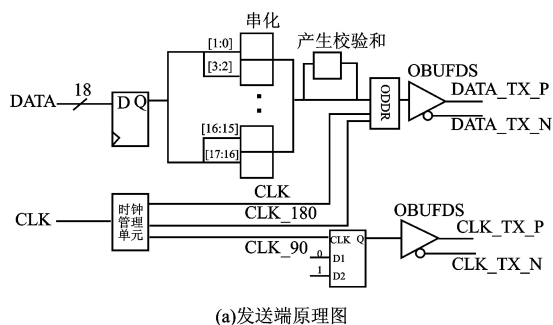
LVDS发送原理图如图3(a)所示.

其中,内部各模块均工作在同一时钟频率下.当发送缓冲非空且来自接收端的握手信号Ack有效时启动发送流程,经过产生校验和、并串转换等过程将18位数据的奇数位和偶数位分别接入ODDR的两个输入端D1和D2,然后通过ODDR分别在时钟的上升沿发送该帧数据的偶数位,下降沿发送该帧数据的奇数位,经过9个周期完成一帧数据的发送;同时,这里引入了clk₉₀(clk的90°相位)时钟,并通过时钟使能信号Tx_En产生稳定的数据同步时钟Txclk,从而满足协议对数据和时钟的同步要求.

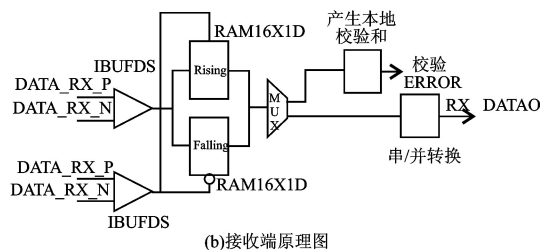
由于数据的发送为DDR模式,因此需要9个时钟周期完成18bit数据的发送.为保证数据的连续发送,发送端采用了数据预取操作,即在上一帧数据发送完成前,如果发送缓冲依然为非空状态,就从该缓冲中提前取出将要发送的下一帧数,直到数据发送完成.

另外,为保证数据的正确性和完整性,在设计中加入了数据校验机制.常见的校验方法有累加和校验法、奇偶校验法、BCC异或校验法、CRC校验法等等;

由于帧序列较短,且为了避免校验方法复杂而影响数据的传输效率,这里采用累加和校验方法.具体实现过程如下:对连续9个周期的2位并行数据进行累加,取累加和的低两位作为校验和,在第10个周期发送校验和并清零.这样,每帧数据相当于包括18位的数据位和2位的校验和位^[6].



(a)发送端原理图



(b)接收端原理图

图3 发送及接收结构图

4.2 LVDS 接收模块设计

接收模块实现的是数据的解串功能,如图3(b)所示,串行数据在同步时钟的控制下进入模块端口,并分别在核时钟的上升沿和下降沿存储在临时缓冲中,直到接收缓冲FIFO非满时启动数据的解串流程并向发送端发送握手信号Ack.

在接收模块的设计中,为处理两个时钟域频率相差很大的情况,在模块两端均加入了缓冲器来提高数据传输速率和减少错误的发生.具体来说,在接收端数据写入快而读取慢时,此时若不能及时通知数据发送端数据不能及时读取,这样便会造成缓冲溢出并丢失数据,为避免这种问题,设计中加入接收缓冲FIFO的满标志和几乎满标志来提前通知发送端及时中止数据的发送;而在接收端数据写入慢而读取快时,需要通过Ack信号通知发送端及时发送数据,从而在状态机的控制下流水地传输数据^[7].

接收模块的数据校验功能可以很好的减少数据在传输过程中受到干扰而造成的错误.简单来说,在对9个周期的2位数据采样后计算出本地校验和,并与第10个周期收到的校验和进行比较,若两者相同,则说明数据没有出错;若两者不同,则发出校验错误信号Error,Error的处理通过上层软件实现^[6].

4.3 同步单元设计

本文所涉及的同步处理包括数据的跨时钟域同步,关键信号的同步以及帧同步.

对数据的跨时钟域同步,可通过FIFO来实现.为保证发送端和接收端的传输速率的匹配,接收缓

冲 FIFO 可根据两端时钟频率设置为不同位宽的模式,例如写时钟域的时钟频率为 150 MHz,读时钟域的时钟频率为 50 MHz,此时,可以设置 FIFO 的写位宽为 6 bit,而将读位宽设置为 18 bit,这样 FIFO 读写的速率均为 900 Mb/s.另外,也可以利用 FIFO 中的读写计数信号来控制 FIFO 的读写操作,其中写计数信号 wr_cnt 表示的是 FIFO 中写入的数据个数,读计数信号 rd_cnt 表示的是 FIFO 中还可以读出的数据个数^[5];在此要强调的是,写计数信号 wr_cnt 和读计数信号 rd_cnt 代表的仅为 FIFO 读写操作的一个最小期望,这是因为无论是写操作还是读操作,在同步到另一个时钟域时均存在不同程度的延迟,这也就造成了 wr_cnt 和 rd_cnt 信号的相互影响是不同步发生的,所以说要严格控制 FIFO 的读写操作就必须综合考虑各个控制信号的搭配,而不是单单依靠个别控制信号。

对于关键的控制信号,在时钟域切换时需利用两级触发器进行同步来避免亚稳态的产生^[8].图 4 为典型的通过脉冲转电平的方式来进行同步的时序图。

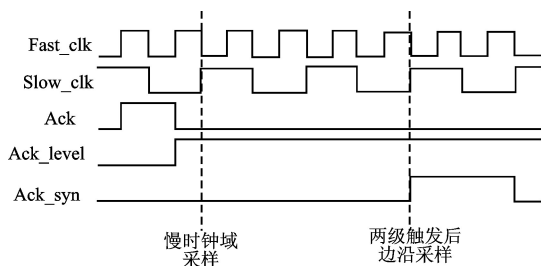


图 4 典型的脉冲转电平同步时序

而帧同步可通过握手机制实现。握手信号 Ack 的给出需要综合考虑数据发送的延迟和 FIFO 满信号产生的延迟,因此需引入接收缓冲的 ALmostFull (几乎满)标志,为发送端已经发送但还未在接收端进行解串操作的数据留一定的余量,从而在接收缓冲 FIFO 的 ALmostFull 信号无效后继续传输临时缓冲中的数据。

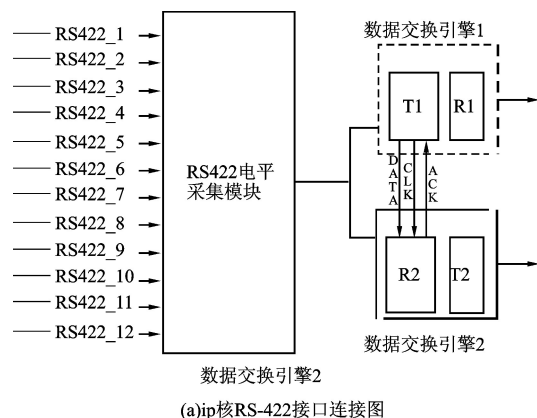
5 实现与仿真

本设计是在 Xilinx 公司的 spartan3A 系列 FPGA 进行设计实现的,在此选用的是 Xilinx 公司的 XC3S700AN 芯片,其容量为 70 万门,可用最大 I/O 引脚 372 个,最大差分对 165 对,具有 slice 数目为 5 888 个,分布式 RAM 容量 92 kB,块 RAM 容量 260 kB,8 个数字时钟管理器,内置 8 Mbit 的加载 FLASH,使用时无需附加 PROM 或 EPROM^[3]。

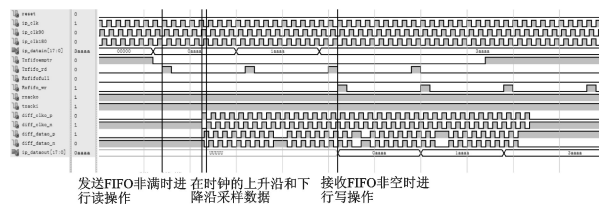
由于本设计均基于 Xilinx 的器件,故采用 Xilinx ISE 集成开发环境进行仿真和综合实现。在布局布线时,特别是对器件资源紧张的器件,需要尽量减少寄存器的使用,并利用工具添加位置约束和时序约束等,从而减少关键逻辑信号和时钟在布局布线时的延迟,使得数据的建立时间能满足时序收敛。

下面以该 IP 核与 RS-422 接口的集成为例对该 IP 核进行评估。以 xc3s700an 器件为例,FPGA 模块实现 12 路 RS-422 的智能控制以及 2 路 LVDS 通讯的智能控制等功能。结构框图如图 5(a)所示。

在实现过程中分析发现,LVDS 的数据和时钟管脚位置应尽可能的靠近,以利于数据和时钟的同步;同样地为了保证接收端数据的同步接收,应利用 PlanAhead 工具添加位置约束,将接收端内部单元(如图 3(b)所示的 RAM16X1D)布局到离差分时钟接收管脚最近的 slice 上。



(a)ip核RS-422接口连接图



(b)仿真波形图

图 5 IP 核的实现与仿真

仿真形式采用 LoopBack(回环)方式,如图 5(a)所示,可将数据交换引擎 1 的发送端与数据交换引擎 2 的接收端的差分数据、差分时钟以及握手信号 Ack 进行连接,通过对比发送端和接收端的数据是否一致来判断仿真的正确性。仿真波形如图 5(b)所示,可以看出,当发送 FIFO 非空时串化逻辑单元对其进行读操作,开始数据的串化过程;同理,当接收 FIFO 非满时解串逻辑单元对其进行写操作,完成数据的解串过程。测试结果表明,该 IP 核在 xc3s700an 上能达到时钟频率 150 MHz,数据速率

300 Mb/s.

另外,表1为该IP核在spartan3A和Virtex6上的资源占用情况,从中可以看出,IP核在xc3s700an器件上占用的资源比例明显大于在xc6vsx475t器件上的占用,这就给其余逻辑的资源分配带来一定的压力.在优化设计并分析布局布线后的时序报表可知,IP核在xc6vsx475t器件上的时钟频率能达到500 MHz,数据速率为1 Gb/s.

表1 spartan3A与Virtex6器件资源对比

器件	xc6vsx475t			xc3s700an		
	已用	可用	利用率	已用	可用	利用率
逻辑资源						
Slice Registers	88	595 200	0.02%	101	11 776	0.9%
Slice LUTs	76	297 600	0.03%	85	11 776	0.7%
Occupied Slices	38	74 400	0.05%	78	5 888	1.3%
Bonded IOBs	56	600	9.3%	56	372	15.1%
BUFG/BUFGCTRLs	4	32	12.5%	4	24	16.7%

6 结束语

为了满足多个接口的高速通信需求,本文设计了一款基于LVDS传输的高速数据交换引擎IP核,包括接收/发送FIFO、串化解串模块、同步处理单元等,并支持数据的连续、可靠、高速的传输.目前该IP核已成功应用在多款Xilinx FPGA(如spartan3、Virtex6等)以及SOC芯片中,实现了同RS-422、1553、AMBA总线等接口的系统集成,结果表明,该IP核具有很强的复用性和实用性,并很好的满足了高/低速FPGA的需求.

参考文献:

[1] 张建. LVDS技术与原理和设计简介[J]. 电子技术应

用,2000,26(5): 69-72.

- [2] 康翔,张卜瑞. 高速I/O接口技术[J]. 电子工程师, 2008,34(5): 53-56.
- [3] 李昕龙,刘亚斌,周强,等. 基于PXI/CPCI总线的LVDS数据收发模块设计[J]. 微计算机信息,2012,28(9):105-107.
- [4] Xilinx Inc. Spartan-3A FPGA family data sheet, pdf[EB/OL]. [2013-04-15]. hppt://www.xilinx.com.
- [5] Xilinx Inc. Virtex-6 FPGA memory resources user guide, pdf. [EB/OL]. [2013-04-02]. hppt://www.xilinx.com.
- [6] 刘智,魏海龙,刘佑宝,等. 一种适用于高速串行数据通信的发送器设计[J]. 微电子学与计算机,2009,25(6): 227-230.
- [7] Wu Qiang, Gao Qing, Li Xuwen, et al. Hardware design of image information processor based on ADSP-TS201 DSPs[C]// IEEE International Workshop on imaging Systems and Techniques. China: Shenzhen, 2009: 155-158.
- [8] 谭雪霏,赵春波,陈巩,等. 数字通信系统中的同步技术研究[J]. 现代电子技术,2010(7):56-57.

作者简介:

闫博 男,(1987-),硕士研究生. 研究方向为数字集成电路设计.

曹辉 男,(1984-),博士研究生. 研究方向为数字集成电路设计.

杨靓 男,(1975-),博士生导师,研究员. 研究方向为数字图像匹配、数字集成电路设计.

周泉 男,(1987-),硕士研究生. 研究方向为集成电路设计.

(上接第66页)

- [6] John A. McNeill, jitter in ring oscillators[J]. IEEE Journal of solid-state circuits, 1997, 32(6):870-879.
- [7] Suresh V B. On-chip true random number generation in nanometer CMOS[D]. Amherst: University of Massachusetts Amherst,2012.
- [8] Sunar B. State of the art in true random number generation [EB/OL]. [2013-04-10]. http://www.ipam.ucla.edu/-publications/scws4/scws4_6650.pdf.
- [9] Marsaglia G. Diehard: battery of tests of randomness [EB/OL]. [2013-04-17]. http://www.stat.fsu.edu/pub/diehard.
- [10] NIST. A statistical test suite for random and pseudo-random number generators for cryptographic applica-

tions[EB/OL]. [2013-04-05]. http://csrc.nist.gov/groups/ST/toolkit/rng/

- [11] Wang Chuachin, Huang Jianming, Cheng Hon-Chen, et al. Switched-current 3-Bit CMOS 4.0 MHz wideband random signal generator[J]. IEEE Journal of Solid-State Circuit, 2005,40(6):1360-1365.

作者简介:

喻祖华 男,(1990-),硕士研究生. 研究方向为集成电路设计与信息安全.

白创 男,(1983-),博士研究生. 研究方向为集成电路设计与信息安全.

戴葵 男,(1968-),博士生导师. 研究方向为集成电路设计与信息安全.