

数字自校准 12-bit SAR-ADC 的系统级设计与仿真

陈 笑, 魏廷存, 刘 伟

(西北工业大学 计算机学院, 陕西 西安 710072)

摘 要: 逐次逼近模数转换器(SAR-ADC)具有低功耗和小面积的特点. 针对 12-bit SAR-ADC, 对其中的电阻-电容式 DAC 的输出电压误差进行了分析, 并给出了相应的校准算法, 以提高 SAR-ADC 的精度. 基于该电路结构和校准算法, 搭建了 MATLAB/Simulink 系统级模型, 经仿真验证, 校准后 ADC 的静态特性和动态特性均得到了显著改善, DNL 和 INL 分别减小约 1LSB 和 2LSB, ENOB 约增加 1 bit.

关键词: SAR-ADC; 数字校准; 系统级仿真

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2014)07-0073-04

The System-level Design and Simulation of Digital Self-calibrating 12-bit SAR-ADC

CHEN Xiao, WEI Ting-cun, LIU Wei

(School of Computer, Northwestern Polytechnical University, Xi'an 710072, China)

Abstract: Successive-Approximation-Register Analog-to-Digital Converter (SAR ADC) has the characteristics of low power consumption and small area. In this paper, for the 12-bit SAR-ADC, the output voltage errors of the built-in C-R DAC are analyzed, and the corresponding calibration algorithm is proposed to improve the precision of the SAR-ADC. Based on the circuit structure of 12-bit SAR-ADC and the calibration algorithm, the MATLAB/Simulink system-level model is established. The simulation results show that, the static and dynamic properties of SAR-ADC are significantly improved, the DNL and INL are decreased about 1LSB and 2LSB, respectively, and the ENOB is increased about 1 bit.

Key words: SAR-ADC; digital calibration; system-level simulation

1 引言

逐次逼近模数转换器(SAR-ADC), 是低采样率、中高分辨率 ADC 的典型结构, 具有低功耗和小面积的特点. 对于 12-bit 及其以上的高分辨率 SAR-ADC, 由于半导体制造工艺失配所引起的变换误差变得非常显著, 采用电路和版图设计消除变换误差的传统方法接近瓶颈. 为了进一步提高 SAR-ADC 的转换精度, 需要采用数字辅助模拟设计技术(digitally-assisted analog design), 即通过数字校准技术消除半导体制造工艺的误差.

内置数模转换器(DAC)的非线性误差是导致

SAR-ADC 变换误差的主要原因. 为了减小工艺失配引起的 DAC 误差, 提出了多种不同类型的 DAC 结构^[1], 例如电阻-电阻(R-R)、电容-电阻(C-R)和电容-电容(C-C)式 DAC, 但对于高分辨率 SAR-ADC, DAC 电路结构的改进对提高变换精度的效果并不十分显著. 另外, 提出了通过增加修正电路校准 DAC 的方法^[2], 该方法中采用了差分 DAC 结构, 但这将导致电路结构复杂和版图面积增大.

文献[3]中提出了一种 SAR-ADC 的后台校准技术. 该技术并没有对 ADC 的电路或版图结构进行优化设计, 而是通过给 ADC 输入伪随机噪声, 得到 ADC 的输出偏差或失调信息, 并将得到的初始

收稿日期: 2013-10-23; 修回日期: 2013-12-02

基金项目: 国家自然科学基金(61376034)

数字码输入至计算机中,通过软件的方式对其进行后台校准.该方法的优点是硬件开销小,不足之处是后台校准算法比较复杂,影响数据输出的实时性.

本文提出了一种 SAR-ADC 的数字自校准方法. ADC 在开始转换数据之前,先自行计算出每一位所对应的校准码,并存入寄存器中,当 ADC 正常转换数据时,选择相应的校准码实时修正 DAC 的输出电压误差,从而达到校准 ADC 的目的,该方法具有实时性强、硬件开销小的特点.

2 12-bit SAR-ADC 的数字自校准原理

本文设计的 SAR-ADC 中,采用 12-bit 电容-电阻(C-R)式 DAC 结构,高 6 位为二进制加权电容式 DAC,低 6 位为电阻分压式 DAC. 由于低 6 位的输出电压是通过电阻串分压得到,而电阻的相对比值误差较小,为了简单起见这里暂时不予考虑电阻误差. 而处于高 6 位的电容式 DAC,由于权重较大,电容偏差对整个 ADC 的变换精度影响最大,因此,本文重点研究高 6 位电容式 DAC 的校准技术.

图 1 所示为本文设计的高 6 位电容式 DAC 的校准电路原理图,其中虚线框内为附加的校准电路. ADC 正常转换数据前,先启动校准电路工作,获取相关校准数据并存储后,ADC 才开始正常转换数据.

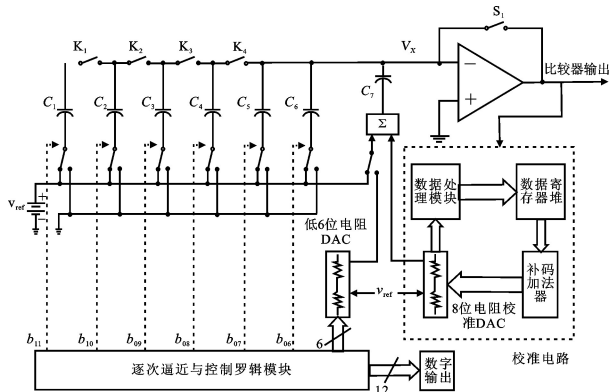


图 1 高 6 位电容式 DAC 的校准电路原理图

理想情况下,MSB 位(b_{11})对应的电容 $C_1 = C$,而其余 5 位($b_{10} \sim b_{06}$)对应的电容 $C_2 \sim C_6$ 依次为 $C/2, C/4, C/8, C/16, C/32$, $C_7 = C/32$ 为低 6 位的耦合电容, $C_2 \sim C_7$ 的总和为 C . 为了减小电容匹配误差, $C_1 \sim C_7$ 均由单位电容阵列组合而成,其单位电容的大小为 $C/32$. 由于 C_6 和 C_7 均为单位电容,这里暂不考虑它们的校准. 这里假设高 5 位的电容偏差值分别为 $\Delta C_1, \Delta C_2, \Delta C_3, \Delta C_4, \Delta C_5$.

对高 6 位校准时,将低 6 位全部置零,此时低 6 位电阻 DAC 的输出电压为 0. 校准过程从最高位开

始,首先闭合开关 $K_1 \sim K_4$ 以及清零开关 S_1 ,并将 b_{11} 对应的电容 C_1 连接到基准电压 V_{ref} ,而其余所有电容均接地. 这些接地电容的总和用 C_1' 表示, C_1' 可表示为

$$C_1' = C_2 + C_3 + C_4 + C_5 + C_6 + C_7 \quad (1)$$

图 2(a) 所示为此时的等效电路. 此时,由于图 1 中的开关 S_1 闭合,自动清零过程使得 C_1 两端的电压为 $V_{ref} - V_{os}$,其中 V_{os} 为比较器的失调电压,由于 V_{os} 可通过比较器的失调消除机制消除,其影响可忽略不计. 因此,电容 C_1 和 C_1' 两端储存的电压分别近似为 V_{ref} 和 0.

接着,将 S_1 打开,并将 C_1 和 C_1' 分别接地和接 V_{ref} ,图 2(b) 中给出了此时的等效电路. 根据电荷守恒定律,此时比较器反相输入端的电压 V_{x1} 可表示为

$$V_{x1} = \left[\frac{C_1 - C_1'}{C_1 + C_1'} \right] V_{ref} \quad (2)$$

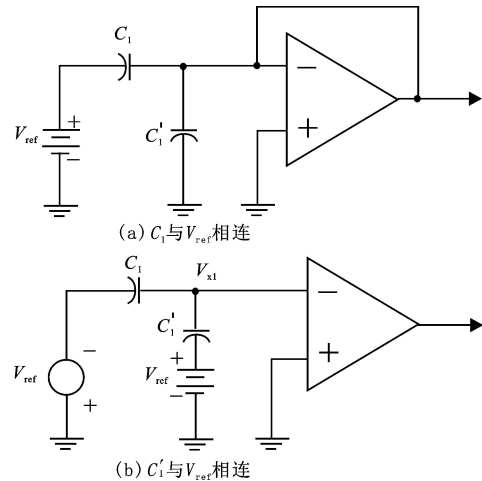


图 2 最高位(b_{11}) 电容校准的等效电路

由式(2)可知,如果 $C_1 \neq C_1'$ (电容有误差),则 V_{x1} 不为零(或正或负),此时比较器输出为确定的高电平或低电平. 将比较器的输出电平反馈到校准电路,校准电路调节 8 位电阻校准 DAC 的输出电压,并加到电容 C_7 的下极板以调节 V_{x1} ,直至比较器输出发生翻转为止,此时将校准 DAC 的数字输入存储到数据寄存器中. 如果 $C_1 = C_1'$,则 V_{x1} 为零,此时比较器仍有相应的输出,但产生的校准 DAC 的数字输入较小,对最终运算结果的影响可以忽略.

接下来断开开关 K_1 ,而 K_2, K_3, K_4 保持闭合,将 C_1 移出电容阵列,余下 4 位用同样方式进行校准,并存储对应的校准 DAC 的数字输入. $V_{x1} \sim V_{x5}$ 这 5 个电压值分别对应 5 组校准 DAC 的数字输入码 D_1, D_2, D_3, D_4, D_5 .

根据比较过程以及校准 DAC 的数字输入记录

值,可按式(3)计算出电容失配:

$$\begin{aligned}\Delta C_1/C &= (D_1 + D_2 + 2D_3 + 4D_4 + 8D_5)/(32FR) \\ \Delta C_2/C &= (D_2 + D_3 + 2D_4 + 4D_5)/(32FR) \\ \Delta C_3/C &= (D_3 + D_4 + 2D_5)/(32FR) \\ \Delta C_4/C &= (D_4 + D_5)/(32FR) \\ \Delta C_5/C &= D_5/(32FR)\end{aligned}\quad (3)$$

其中,对于8位校准DAC, $FR = 2^8 = 256$. 根据电容偏差与DAC产生实际电压的关系,可得到DAC正常工作时的校准码 D_{11}' , D_{10}' , D_{09}' , D_{08}' , D_{07}' , D_{06}' , 如式(4)所示.

$$\begin{aligned}D_{11}' &= -\frac{1}{2}D_1 \\ D_{10}' &= \frac{1}{4}D_1 - \frac{1}{2}D_2 \\ D_{09}' &= \frac{1}{8}D_1 + \frac{1}{4}D_2 - \frac{1}{2}D_3 \\ D_{08}' &= \frac{1}{16}D_1 + \frac{1}{8}D_2 + \frac{1}{4}D_3 - \frac{1}{2}D_4 \\ D_{07}' &= \frac{1}{32}D_1 + \frac{1}{16}D_2 + \frac{1}{8}D_3 + \frac{1}{4}D_4 - \frac{1}{2}D_5 \\ D_{06}' &= \frac{1}{64}D_1 + \frac{1}{32}D_2 + \frac{1}{16}D_3 + \frac{1}{8}D_4 + \frac{1}{4}D_5\end{aligned}\quad (4)$$

由于高位电容偏差的影响,低位DAC产生的电压值也需要进行校准,容易得到低6位校准码与 D_{06}' 的关系,如式(5)所示.

$$\begin{aligned}D_{00}' &= \frac{1}{2}D_{01}' = \frac{1}{4}D_{02}' = \frac{1}{8}D_{03}' = \frac{1}{16}D_{04}' = \\ \frac{1}{32}D_{05}' &= \frac{1}{32}D_{06}'\end{aligned}\quad (5)$$

该方法能够校准的电容偏差范围如下:

$$\begin{aligned}|\Delta C_1 - (\Delta C_2 + \Delta C_3 + \Delta C_4 + \Delta C_5)/C| &< 1/32 \\ |\Delta C_2 - (\Delta C_3 + \Delta C_4 + \Delta C_5)/C| &< 1/32 \\ |\Delta C_3 - (\Delta C_4 + \Delta C_5)/C| &< 1/32 \\ |\Delta C_4 - \Delta C_5/C| &< 1/32 \\ |\Delta C_5/C| &< 1/32\end{aligned}\quad (6)$$

由式(6)可知,尽管该算法的校准范围受到一定的限制,但其能够校准的电容偏差处在现代集成电路制造工艺的误差范围内.

3 数字自校准 SAR-ADC 的系统级仿真

为了验证以上校准算法,基于 MATLAB/Simulink 工具,建立一个具有数字自校准功能的 SAR-ADC 模型,以便进行系统级仿真验证,如图3所示.

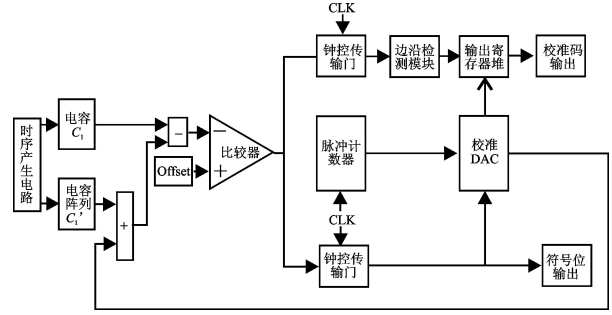


图3 ADC校准时所对应的 MATLAB/simulink 仿真模型

每1位的校准均在一个周期内完成.前半周期先将脉冲计数器清零,然后进行电压比较,比较器输出比较结果.后半周期,首先根据比较器的输出结果得到校准DAC中 V_{ref} 的符号,同时也是校准码的符号,若比较器输出为0,表明校准DAC需要产生一个正电压来补偿,此时校准码的符号为0,若比较器输出为1,校准DAC需产生负补偿电压,此时校准码的符号为1.然后进行校准工作,脉冲计数器开始计数,并调节DAC的数字输入,计数过程中,如果比较器的输出发生翻转,边沿检测装置检测到翻转信号时,就会使输出寄存器记录下该值.总共需5个周期进行校准,分别得到DAC的数字输入码 D_1 、 D_2 、 D_3 、 D_4 、 D_5 ,然后通过式(4)和式(5)计算得到各数位对应的校准码 $D_{11}' \sim D_{00}'$,最终将校准码存入数据寄存器中.正常工作状态下(正常数据转换时),具有数字自校准功能的12-bit SAR-ADC的系统结构框,见图4.

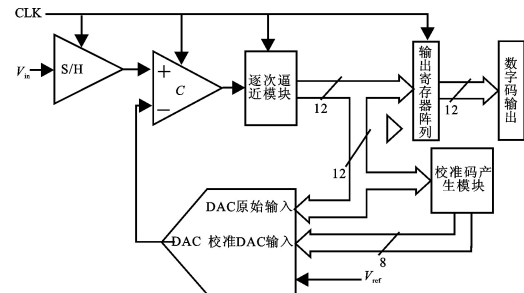


图4 正常工作时校准 SAR-ADC 的系统仿真框图

与无校准功能的 SAR-ADC 相比,图4中多了一个校准码产生模块.该模块根据DAC的输入产生对应的校准码,从而修正DAC的输出电压值,最终达到校准数字输出的目的.针对本文设计的12-bit SAR-ADC,结合工艺误差,给定电容的典型误差值为: $\Delta C_1/C = -0.107\%$, $\Delta C_2/C = +0.085\%$, $\Delta C_3/C = +0.071\%$, $\Delta C_4/C = -0.004\%$, $\Delta C_5/C = -0.028\%$,在1 MS/s的采样速率下,通过码密度法^[4]计算得到校准前与校准后ADC的静

态性能参数,仿真结果如图 5 所示.另外,校准前与校准后 ADC 的动态特性仿真结果,见图 6.

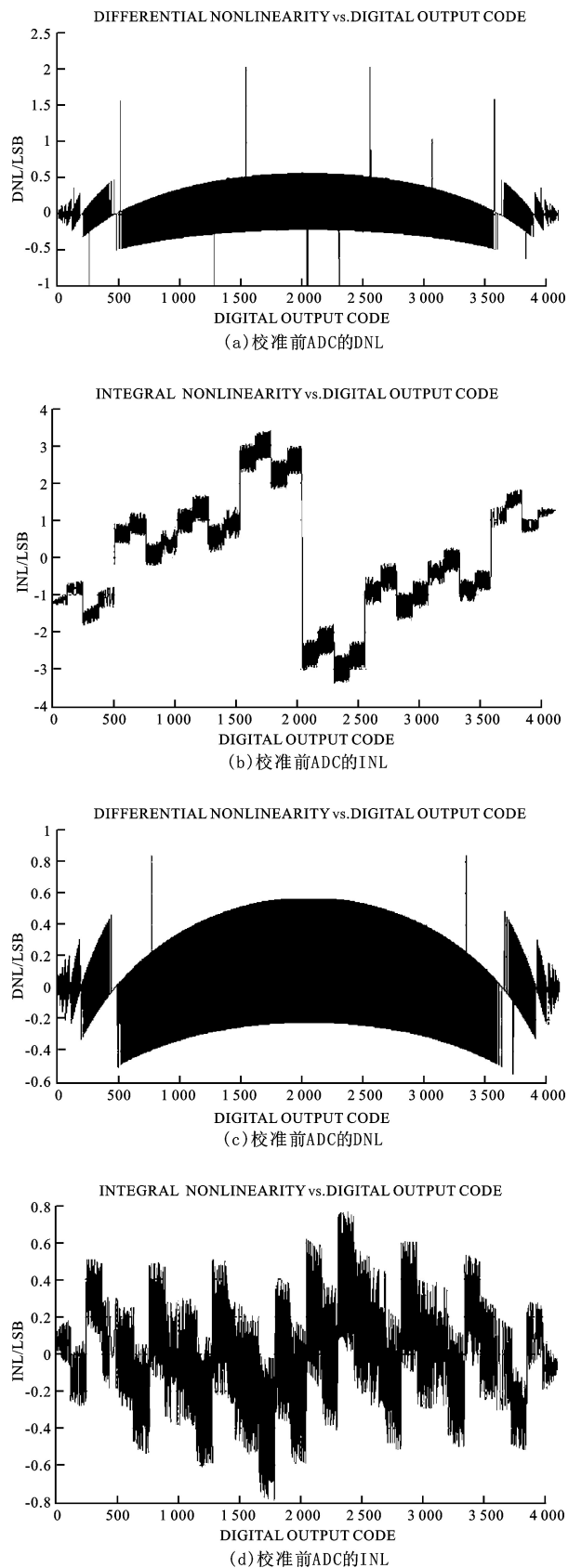


图 5 校准前与校准后 ADC 的静态特性

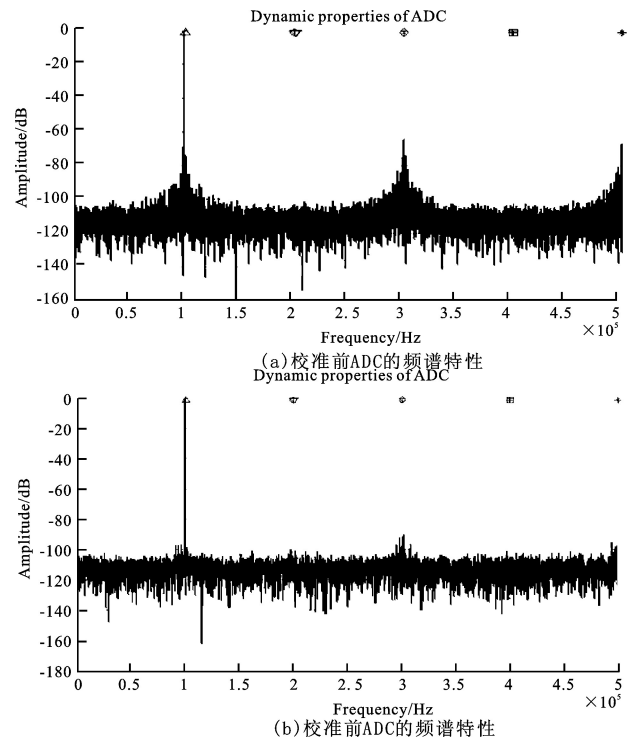


图 6 校准前与校准后 ADC 的频谱特性

校准前后 ADC 的性能参数总结在表 1 中.可以看出,校准后 ADC 的静态特性和动态特性均得到了显著改善,DNL 和 INL 分别减小约 1 LSB 和 2 LSB,ENOB 约增加 1 bit.

表 1 校准前后 ADC 的性能参数

	校准前	校准后
DNL/LSB	-1.00~2.04	-0.54~0.84
INL/LSB	-3.36~3.39	-0.80~0.76
SINAD/dB	61.868 3	69.538 0
ENOB/bit	9.983 1	11.258 8

4 结束语

本文针对内置电容-电阻式 DAC 的 12-bit SAR-ADC,提出了一种数字自校准算法,并对其进行了系统级仿真验证.该校准算法具有算法简单、实时性强、硬件额外开销相对较小等优点.

参考文献:

- [1] Philip E Allen, Douglas R Holberg. CMOS 模拟集成电路设计[M]. 2 版. 冯军,李智群,译. 北京:电子工业出版社,2010.

(下转第 83 页)

可能植入的漏洞纳入攻击规则进行分析,使攻击路径的分析更符合现实情况。

然而在实际环境中由于管理不善引发的网络安全风险也很常见,因此将管理因素纳入风险评估模型是下一步的工作目标。另外在风险评估中加入入侵检测器等网络安全防范措施对攻击者攻击的影响,将会使评估结果更加准确。

参考文献:

- [1] 李庆朋,王布宏,王晓东,等.基于安全状态约简的攻击图生成方法[J].计算机工程与设计,2013,34(5):1589-1592.
- [2] GB/T 20984-2007.信息安全技术 信息安全风险评估规范[S].中华人民共和国国家质量监督检验检疫总局,中国国家标准化管理委员会.2007.
- [3] 钟尚勤.基于主机攻击图的网络安全性研究[D].北京:北京邮电大学,2012.
- [4] 徐立.基于攻击图模型的网络安全分析方法研究[D].上海:上海交通大学,2010.
- [5] Phillips C, Swiler L P. A graph-based system for network vulnerability analysis [C]//Proceedings of the 1998 workshop on New security paradigms. Charlottesville, Virginia, United States, 1998:71-79.
- [6] Ramakrishnan C, Sekar R. Model-based vulnerability analysis of computer systems[C]//Proceedings of the 2nd International Workshop on Verification, Model Checking and Abstract Interpretation. Italy, Pisa, 1998: 1-8.
- [7] Ritchey R, Ammann P. Using model checking to analyze network vulnerabilities [C]//Proceedings of the IEEE Symposium on Security and Privacy. USA: Berkeley, 2001: 156-165.
- [8] Sheyner O. Scenario graphs and attack graphs [D]. Pittsburgh, USA. Carnegie Mellon University, School of Computer Science, 2004.
- [9] Sheyner O, Haines J, Jha S, et al. Automated generation and analysis of attack graphs [C]//Proceedings of 2002 IEEE Symposium on Security and Privacy. USA, Oakland, 2002:254-265.
- [10] Jha S, Sheyner O, Wing J. Two formal analyses of attack graphs [C]//Proceedings of the 15th Computer Security Foundations Workshop. Canada, Nova Scotia, 2002:49-63.
- [11] Ammann P, Pamula J, Ritchey R, et al. A host based approach to network attack chaining analysis [C]//AC-SAC 05: Proceedings of the 21st Annual Computer Security Applications Conference. USA: Tucson, IEEE Computer Society, 2005:72-84.
- [12] 叶云,徐锡山,贾焰,等.基于攻击图的风险邻接矩阵研究[J].通信学报,2011,32(5):112-120.
- [13] 张永铮,方滨兴,迟悦,等.网络风险评估中网络节点关联性的研究[J].计算机学报,2007,30(2):234-240.
- [14] 杨宏宇,江华.基于攻击图的多Agent网络安全风险评估模型[J].计算机科学,2013,40(2):148-152.
- [15] 李冠君.基于安全代理的网络自保护系统模型研究[D].天津:中国民航大学,2009.

作者简介:

谢丽霞 女,(1974-),硕士,副教授.研究方向为网络与信息安全.

仇晓锐 男,(1989-),硕士研究生.研究方向为网络与信息安全.

李雪菲 男,(1988-),硕士研究生.研究方向为网络与信息安全.

(上接第76页)

- [2] Jia Hao Cheong, Kok Lim Chan, Pradeep Basappa Khannur, et al. A 400-nW 19.5-fJ/conversion-step 8-ENOB 80-kS/s SAR-ADC in 0.18- μ m CMOS [J]. IEEE Transactions on circuits and systems—II: Express Briefs, 2011, 58(7):407-411.
- [3] Wenbo Liu, Pingli Huang, Yun Chiu. A 12b 22.5/45MS/s 3.0mW 0.059 mm² CMOS SAR-ADC achieving over 90dB SFDR [C]//2010 IEEE International Solid-State Circuits Conference. San Francisco, 2010: 380-382.
- [4] Ginetti B, Jespers P. Reliability of code density test for high resolution ADCs [J]. Electronics Letters, 1991, 27(24):2231-2233.

作者简介:

陈笑 男,(1990-),硕士研究生.研究方向为模拟与混合信号VLSI设计.