

一种多通道 ARINC429 总线协议 IP 核的设计与实现

魏永升^{1,2}, 向 新¹, 王占领¹

(1 空军工程大学 航空航天工程学院, 陕西 西安 710038; 2 北空航管中心, 北京 100061)

摘 要: 设计了基于 FPGA 的 ARINC429 总线协议 IP 核, 给出了 IP 核的总体设计及工作原理, 在设计时采用功能模块的方法, 分别设计数据协议处理模块、缓冲模块、定时模块等部分, 充分利用同步时钟方法, 提高了可靠性, 有效解决了数据间干扰和亚稳态问题, 经验证表明 IP 核的功能符合设计要求, 最后经过物理验证, 能够正确实现收发功能, 且满足特定场合的应用。

关键词: ARINC429 总线; IP 核; FPGA

中图分类号: V243.1

文献标识码: A

文章编号: 1000-7180(2014)03-0078-04

Design and Research Implementation of Multichannel ARINC429 Bus Protocol IP Core

WEI Yong-sheng^{1,2}, XIANG Xin¹, WANG Zhan-ling¹

(1 School of Aeronautics and Astronautics, Air Force Engineering University, Xi'an 710038, China;

2 Beijing Military Region Air Force Air Traffic Control Center, Beijing 100061, China)

Abstract: This article designs the ARINC429 bus protocol IP core based on FPGA. The integrated design and the operational principle of the IP core are given. With modular method, this design integrates the data protocol processing module, the data buffer module and timing module in one FPGA chip. Using the independent methods and synchronization ways of designing the encoder and decoder, it improves the reliability and lessens the interference between the data efficiently, and resolves the metastability issue. The validating result indicates that the functions of IP core could fit the designing demand. Through physical testing at last, the IP core can achieve every function and could be applied in series of situation.

Key words: ARINC429 Bus; IP Core; FPGA

1 引言

ARINC429 总线协议规定了航空电子设备及有关系统间的数字信息传输规范^[1], 定义了电气特性、数据格式和数据传输规范。ARINC429 总线采用了一种单向数据总线标准, 又称为 Mark33 数字信息传输系统(Digital Information Transfer System, DITS), 作为一种航空电子数据总线, ARINC429 总线以其结构简单及性能稳定等优势, 尤其适合于数据通信系统中, 在军事领域得到了比较广泛的应用^[2-3]。

目前国内使用的 ARINC429 协议芯片均是从

国外进口, 其价格也比较昂贵, 使用起来比较复杂, 很难做到将其功能全都实现。针对此情况, 国内一些单位也开展了针对 ARINC429 总线的大量研究, 其中比较关键的研究在于设计出 ARINC429 的 IP 核, 从而打破针对 ARINC429 协议芯片的技术封锁。本文根据现有协议芯片的特性, 结合以往 IP 核存在的问题, 设计了一种可靠多通道的 ARINC429 协议 IP 核。最后对所设计的 IP 核进行了全面测试。

2 协议 IP 核设计总体结构

本文基于 FPGA 技术来实现 ARINC429 协议

收稿日期: 2013-04-29; 修回日期: 2013-06-10

基金项目: 航空科学基金(20101996009)

处理模块,设计了具有 8 个通道的 ARINC429 总线协议 IP 核,即在协议模块内部有 4 发 4 收共 8 个通道,每个通道的设置以及控制工作都是可以独立运行的.在 FPGA 内作逻辑设计时,可分为发送过程和接收过程.接收数据是发送数据的逆过程.逻辑设计结构图如图 1 所示.

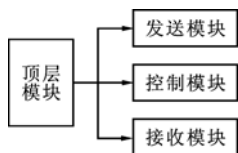


图 1 逻辑设计结构图

FPGA 负责两方面内容,一方面对 PC 主机发过来的总线地址进行译码,完成对总线数据收发管理,另一方面则对 ARINC429 总线数据进行转换和处理;调制解调电路则负责驱动 ARINC429 协议以及转换电平信号^[4].通过控制 FPGA 的逻辑,使其按照既定工作模式运行,完成数据的接收和发送,实现对数据的解析,完成计算机和 ARINC429 总线设备之间有效通信.

ARINC429 总线协议 IP 核按照功能结构划分,可分为工作方式命令/状态寄存器、接收模块、发送模块、中断控制模块、定时模块.本课题选用的是—片 Altera 公司的 Cyclone II 系列的 EP2C5T144C8 芯片,数据传输可分 4 路,两个通道称为一路,分为接收部分和发送部分. ARINC429 总线协议 IP 核逻辑功能框图如图 2 所示.

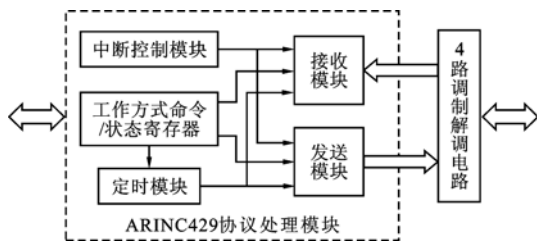


图 2 ARINC429 总线协议 IP 核逻辑功能框图

2.1 发送模块逻辑设计

发送模块的作用是将以太网和 USB 总线上的信号转换成串行差分信号,并对不同通道发送独立的数据.发送模块实现“0”、“1”电平到 TTL 电平差分串行码的转换.它由 CPU 接口逻辑、FIFO、控制逻辑、32 位并行转串行移位寄存器、以及波形产生逻辑等模块组成.发送模块逻辑设计框图如图 3 所示.

控制逻辑模块包括命令字寄存器和状态字寄存器,命令字寄存器用来控制接口通信过程和工作模式,状态字寄存器则用来获取各个发送通道的状态

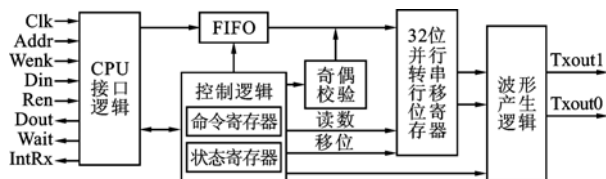


图 3 发送模块逻辑设计框图

信息. FIFO 包含 256 个 32 位的存储单元,用来缓存 CPU 接口逻辑与 32 位并行转串行移位寄存器之间的数据.波形产生逻辑可把 32 位并行的数字信号转换成 TTL 电平差分信号.

CPU 接口逻辑负责两方面的内容:一方面负责接收从 FPGA 传输过来的控制信号和地址信息,管理 8 通道 4 路数据接收和发送;另一方面将接收到的数据以及状态信息传输到 FPGA. CPU 接口信号的具体定义如表 1 所示.

表 1 CPU 接口信号定义

名称	类型	说明
Clk	时钟	时钟信号
Addr	输入	CPU 地址信号
Wenk	输入	CPU 写允许信号,高电平有效
Ren	输入	CPU 读允许信号,高电平有效
Din	输入	数据输入信号,位宽可以是 8、16、32 位
Dout	输出	数据输出信号,位宽可以是 8、16、32 位
Wait	输出	CPU 等待信号,表明发送或者接收忙
IntRx	输出	表示接收通道或者发送通道中断有效

发送模块中 CPU 接口逻辑输出的 32 位数据被写入 FIFO,且控制逻辑实时检测着 FIFO 的状态,当 FIFO 不为空时,产生一个读信号,把控制逻辑中的取数据位置“1”,将获取的数据补充上奇偶校验位,再读入至移位寄存器并经过波形产生逻辑以实现并行数据到串行数据的转换.当计数器的值为 32 时,表明一个数据字转换完成.此时,若 FIFO 不为空,则产生下一个读信号,进行下一个数据字的转换.最后得到的两路信号 Txout1 和 Txout0,送往 ARINC429 总线调制电路,产生 ARINC429 协议信号,从而产生双极性归零码.命令字寄存器的位宽为 8 位.其中 Bit5 选择 429 数据发送率,为“1”时选择 100 kb/s,为“0”时选择 12.5 kb/s.

在设计发送模块时采用状态机方法,状态转移图如图 4 所示.其中, TX_IDLE 是空闲状态, TX_PARITY 是奇偶校验处理状态, TX_SENDDATA 是发送数据状态, TX_ERROR 是错误处理状态.

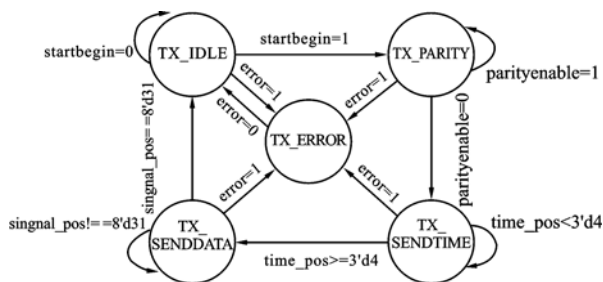


图4 状态转移图

在用 Verilog HDL 语言进行描述后,在集成开发环境 Quartus II 7.2 中实现仿真验证^[5].图5为发送模块的时序仿真图,这里观察一个发送通道上的数据,tx_clk 为发送时钟信号,rst_n 为复位信号,低电平有效,start 表示开始发送,txout1 和 txout0 为由发送模块输出的 ARINC429 总线格式的串行数据.由时序仿真结果可以看出,设计的协议发送模块可以正确实现 ARINC429 总线格式数据的发送.

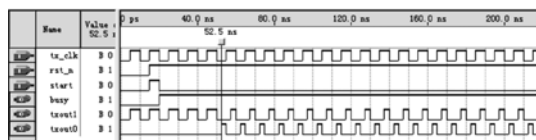


图5 发送模块的时序仿真图

2.2 接收模块逻辑设计

接收模块的作用是把串行差分信号转换成符合以太网和 USB 总线的并行数字信号,以供上位机读取,对不同通道接收不同的数据^[5-6].它由 CPU 接口逻辑、控制逻辑、FIFO、数据接收和时钟恢复、32 位串行转并行移位寄存器、地址比较逻辑以及地址寄存器等模块组成.接收模块逻辑设计框图如图6所示.

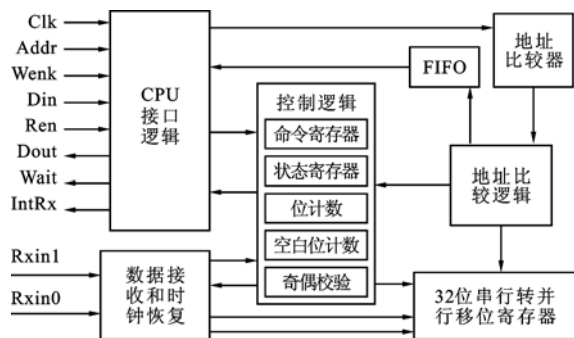


图6 接收模块逻辑设计框图

数据接收和时钟恢复用来接收调制解调电路发送过来的数据并获取时钟信号.控制逻辑包括命令寄存器、状态寄存器、位计数、空白位计数以及奇偶校验位.其中,命令寄存器用来控制接口通信

过程和工作模式,状态寄存器则用来获取各个接收通道的状态信息.FIFO 包含 256 个 32 位的存储单元,用来缓存 CPU 接口逻辑与 32 位并行转串行移位寄存器之间的数据.地址寄存器存储该通道的地址位,地址比较逻辑对地址寄存器和实际收到的数据中的地址位进行比较.

在经过移位寄存器收到正确的 32 位串行字后,就可以进行串并转换.若 4 路接收采用相同传输率的时钟频率进行串并转换,然后根据命令寄存器内容进行位数和奇偶校验位比较,只有校验正确方可作为有效信息发出中断请求.然后再将正确的数据依次存入 FIFO 中,同时修改接收通道的状态信息,并通知 CPU 接口逻辑数据已被正确接收,可以读取 FIFO.地址比较逻辑的 Verilog HDL 描述如下:

```
module word(dclk, clkenin, in, spare);
input dclk, clkenin, in;
output spare;
reg[7:0] detect;
reg spare;
always@(posedge dclk)
begin
    spare = ((detect == 8'b11111111)? 1:
0)&&.in;
    if(clkenin==1)
        detect={detect, ~in};
    end
endmodule
```

在集成开发环境 Quartus II 7.2 中实现仿真验证,图7为接收模块的时序仿真图,观察其中一个接收通道上的数据,rx_clk 为接收时钟信号,rst_n 为复位信号,低电平有效,start 表示开始接收,rxin1 和 rxin0 为由接收模块收到的 ARINC429 总线格式的串行数据,busy 表示正在转换.由时序仿真结果可以看出,设计的协议接收模块可以正确实现 ARINC429 格式数据的接收.

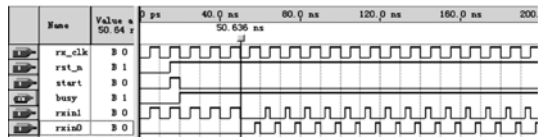


图7 接收模块的时序仿真图

2.3 中断控制模块

中断控制模块用来控制发送模块和接收模块的工作过程,该模块中有一个 8 位的中断寄存器,每个

通道占用一位,它通过中断查询方式使各通道按照一定的顺序进行选通.当某一通道的工作信号有效时,则中断寄存器的相应位置‘1’,中断控制模块则根据位数,依次查询并响应对应通道的中断请求,并产生一个写信号,通过与串并转换产生的写信号相‘或’作为 FIFO 的写信号.在某通道的中断响应完毕后,则中断寄存器的相应位置‘0’,因此在多个通道同时请求时,就避免了数据传输的错误.中断产生时序如图 8 所示.

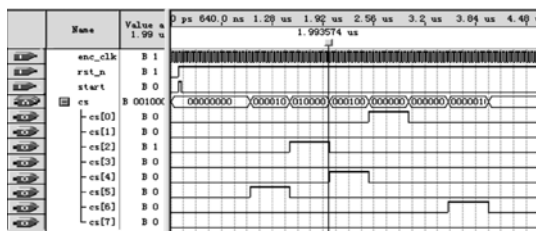


图 8 中断产生时序

2.4 定时模块

定时模块可为协议处理模块提供超时管理,提供给 FPGA 内部频率选择模块的工作时钟源.所以需要在接口逻辑中设计时钟信号分频电路,从而提供各个通道的时钟信号.FPGA 内部逻辑工作频率为 2 MHz,在经过分频电路后,得到高低两组时钟频率.由上述可知,命令字寄存器 Cwreg 中引脚 Atxsel 和 Arcvsel 决定着 ARINC429 总线数据发送和接收的速率,有 12.5 kHz 和 100 kHz 两种时钟供主机选择.分频电路结构框图如图 9 所示.



图 9 分频电路结构框图

3 测试验证

在各子模块设计完成后,对各模块进行综合验证,测试在多通道情况下各路通道数据的发送和接收情况.多通道数据发送时序仿真图如图 10 所示,多通道数据接收时序仿真图如图 11 所示.

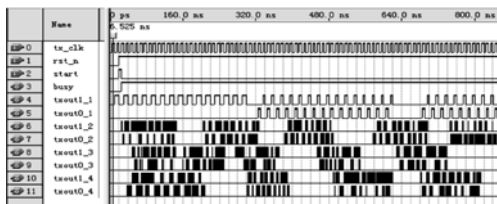


图 10 多通道数据发送时序仿真图

从总体的时序仿真结果可以看出,本文设计的

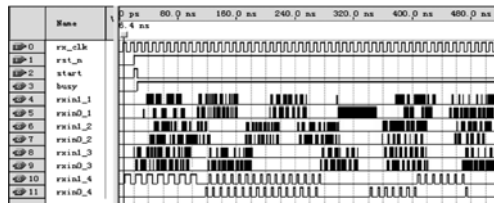


图 11 多通道数据接收时序仿真图

ARINC429 总线协议 IP 核可以实现多通道数据的转换、处理和收发.该 IP 核方便配置、可软件重构、易于扩展且速度比较快,节省了资源,可降低机载总线和总线设备维护的成本,提高总线数据传输的灵活性和可靠性,为实现与 ARINC429 总线设备相互通信打下基础.

4 结束语

本文采用 FPGA 设计了 ARINC429 总线协议 IP 核.通过仿真实验,能够实现多通道数据的收发,设计完全符合 ARINC429 的数据传输要求.设计的功能更加实用,降低了使用的复杂程度,成本上也更加低廉.它能够简化地面测试设备的复杂程度,提高对设备的综合保障能力.

参考文献:

- [1] ZhengHong. ARINC-429 Protocol Tutorial[M]. Aviation Tech. Xian: ZHHKTECH Co. Ltd., 2005: 3-20.
- [2] 支超有. 机载数据总线技术及其应用[M]. 北京: 国防工业出版社, 2009, 120.
- [3] DS-MP-01016 Rev. E[M]. Taiwan: Device Engineering Inc, 2001: 1-13.
- [4] 邓智敏. 基于 HS3282 的 ARINC429 总线通讯卡的设计与应用[J]. 计算机测量与控制, 2004, 12(5): 476-478.
- [5] 王瑞敏, 苗克坚, 王亚妮. 基于 ARM 微处理器的 ARINC429 接口板软件设计[J]. 计算机工程与设计, 2008, 29(21): 5471-5473.
- [6] 郑丽娜, 翟林培, 李清军. RS-232/ARINC429 接口转换电路设计[J]. 计算机测量与控制, 2007, 15(5): 665-667.

作者简介:

魏永升 男, (1981—), 硕士研究生. 研究方向为综合航空电子系统.
向新 男, (1971—), 副教授, 硕士生导师. 研究方向为综合航空电子系统、宽带网络通信.
王占领 男, (1988—), 硕士研究生. 研究方向为综合航空电子系统.