

低增益变化宽线性范围低噪声压控振荡器设计

郑金汪^{1,2}, 陈 华¹, 倪 侃², 郭桂良¹, 张润曦², 刘生有¹, 来强涛¹, 阎跃鹏¹

(1 中国科学院 微电子研究所, 北京 100029; 2 华东师范大学 微电子电路与系统研究所, 上海 710054)

摘 要: 应用 TSMC 0.18 μm CMOS 工艺设计了一款低调谐增益变化, 恒定调谐曲线间隔, 恒定输出摆幅的低功耗低噪声宽带压控振荡器 (Voltage Controlled Oscillator, VCO). 本振荡器的振荡频率覆盖 1.153~1.911 GHz (49.5%) 范围, 相邻调谐曲线的覆盖范围大于 50%, 调谐增益变化范围为 45.5~52.7 MHz/V (13.7%), 相邻调谐曲线间距变化范围为 43.2~45.9 MHz (5.9%), VCO 输出波形的峰峰值为 694~715 mV (3%), 调谐曲线的线性范围为 0.2~1.6 V (1.4 V). 在 1.8 V 的电源电压下, VCO 在中心频率 1.53 GHz 处耗电电流为 3.2 mA, 相位噪声在 1 MHz 频偏处为 -130.5 dBc/Hz, FOM 值为 -186.5 dBc/Hz.

关键词: 频率综合器; 压控振荡器; 低调谐增益变化; 低功耗; 低相位噪声

中图分类号: TN752

文献标识码: A

文章编号: 1000-7180(2014)06-0084-07

Design of Low Phase Noise Voltage Controlled Oscillator with Low Tuning-gain Change and Wide Linear Range

ZHENG Jin-wang^{1,2}, CHEN Hua¹, NI Kan², GUO Gui-liang¹,
ZHANG Run-xi², LIU Sheng-you¹, LAI Qiang-tao¹, YAN Yue-peng¹

(1 Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China;

2 Institute of Microelectronics Circuit and System, East China Normal University, Shanghai 710054, China)

Abstract: Based on 0.18 μm CMOS process, a low power low phase noise broadband VCO with low tuning-gain change constant tuning curve interval and constant output swing was presented. Switched capacitor array, varactor array with bias voltage and the tail current array was included in this VCO. The tuning range of VCO is 1.153~1.911 GHz (49.5%). The coverage of adjacent tuning curve is more than 50%. The tuning-gain of VCO is 45.5~52.7 MHz/V (13.7%). The space of adjacent tuning curve is 43.2~45.9 MHz (5.9%). The output swing of VCO is 694~715 mV (3%). The linear range of tuning curve is 0.2~1.6 V (1.4 V). At a 1.8 V supply and the center frequency 1.53 GHz, the VCO measures a phase noise of -130.5 dBc/Hz@1 MHz offset while dissipating 3.2 mA current. The FOM of the VCO is -186.5 dBc/Hz.

Key words: voltage controlled oscillator; low tuning-gain change; low power; low phase noise

1 引言

频率综合器被称为通信系统的“心脏”^[1], 而压控振荡器 (VCO) 在频率综合器中处于核心地位, 其相位噪声性能对整个频率综合器的噪声性能有着决定性的影响. 由于 VCO 为整个频率综合器中频率最高的模块, 其功耗一般也是整个频率综合器中最大的, 因

此, 低噪声低功耗的 VCO 设计是频率综合器设计中一个很重要的研究方向. 本文采用提高 VCO 谐振腔的品质因数, 恒定输出摆幅以及减小 VCO 调谐增益的方式来达到 VCO 的低功耗低噪声设计.

高性能的频率综合器不仅要求 VCO 具有低功耗低噪声的特点, 而且要求其具有恒定的调谐增益, 以保证频率综合器的环路稳定性. 本文利用带偏置

收稿日期: 2013-08-18; 修回日期: 2013-10-12

基金项目: 国家“八六三”重大专项资助项目 (2011AA040102)

的可变电容器,在实现 VCO 恒定调谐增益的同时拓宽调谐曲线的线性范围,进一步降低 VCO 的相位噪声。

宽带 VCO 相邻调谐曲线的间隔恒定也很重要,因为恒定的调谐曲线间隔有利于自动频率校准(AFC)的设计。本文通过设计一个 15 位的开关电容

阵列来实现 16 条调谐曲线间隔恒定。

2 电路设计

传统的互补型交叉耦合 LC_VCO 如图 1 所示,其包括一位可变电容器和 n bits 权重开关电容阵列,其所对应的调谐曲线如图 2 所示。

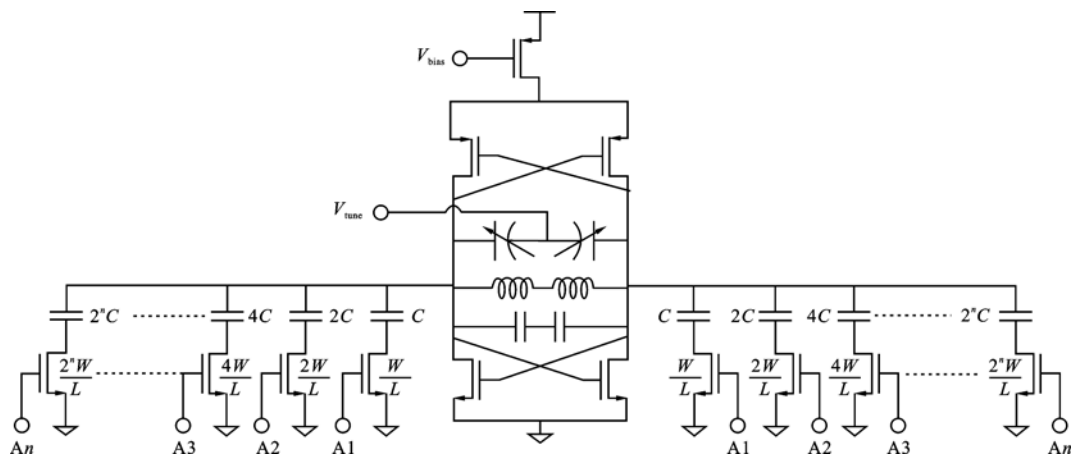


图 1 传统宽带 VCO 结构

由图 2 可知, VCO 的调谐增益随频率的升高而增大,其最大增益约为最小增益的 3 倍,这样会使频率综合器的环路带宽变化很大,从而影响环路的稳定性。相邻调谐曲线的间距也随着频率的升高而增大,最大间距约为最小间距的 3 倍,给自动频率校准设计带来难度。

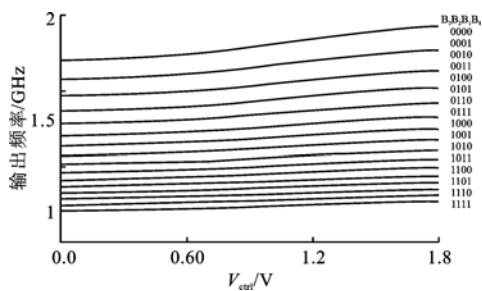


图 2 传统宽带 VCO 所对应的调谐曲线

基于以上问题,本文所设计的具有恒定调谐增益,恒定调谐曲线间隔,恒定输出摆幅,宽调谐范围的 VCO 如图 3 所示,其结构为互补型交叉耦合结构,包括 15 位的开关电容阵列,15 位的尾电流阵列和 4 位带电压偏置的可变电容器阵列。其开关由一个 4—16 温度计式译码器的高 15 位来控制。

2.1 开关电容阵列设计

由仿真可知,对于金属板电容(MIMCAP)来说,其电容值越小,Q 值越高。设置金属板电容的宽和长都为 w ,电容值和电容 Q 值随频率的变化仿真波形图如图 4 所示,因此开关电容阵列应用温度计

式的译码器控制,这样可以使每一个开关电容的电容值比较相近而且较小,从而增大整个谐振腔的 Q 值,达到减小相位噪声和功耗的目的。

开关电容阵列中的开关一般用 MOS 管来实现,当开关打开时,MOS 管等效成一个电阻,这个等效电阻会降低谐振腔的 Q 值。开关关闭时,MOS 管等效成一个寄生电容,这个等效电容会降低 VCO 的调谐范围。下面是开端电容阵列中经常使用开关的四种结构。

图 5(a)是使用比较早期的开关结构,其面临上面所讨论的等效电阻和寄生电容的影响。而且开关 MOS 管源漏两端的电位是悬浮的,这样会恶化 VCO 的相位噪声性能^[2]。图 5(b)结构增加了两个 NMOS 管用于固定开关 MOS 管打开时源漏两端的电位。但是,关闭情况下,开关 MOS 管的源漏极电位仍然是悬浮的。图 5(c)结构^[3]是通过一个反相器来控制开关 MOS 管两端的电位,当开关 MOS 管开启时,开关 MOS 管漏源两端接地;当开关 MOS 管关闭时,固定电容的两端被短接在一起接地,这样做的缺点是寄生电容较大,而且反相器中 MOS 管闪烁噪声和热噪声会直接影响到振荡节点。图 5(d)即本文所用的结构,两个接地电阻使得开关 MOS 管开启和关闭的时候,其源漏两端都会固定在地电位上,而且不会引入寄生电容。但是,要注意的是电阻的值不能太大,否则电阻的热噪声会比较大。

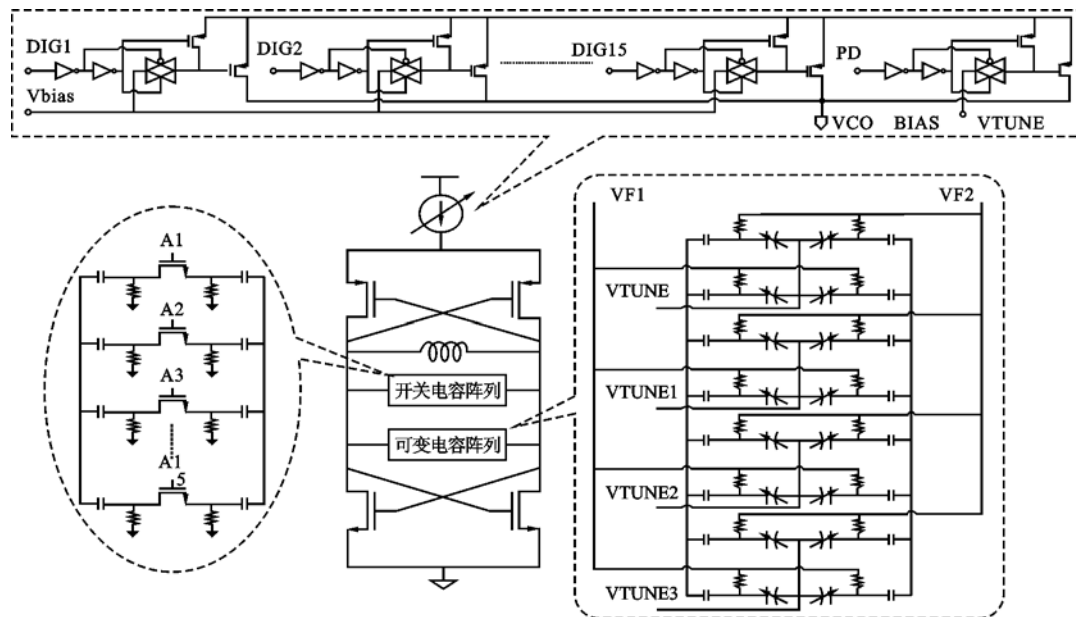


图3 本文所设计的 VCO 电路图

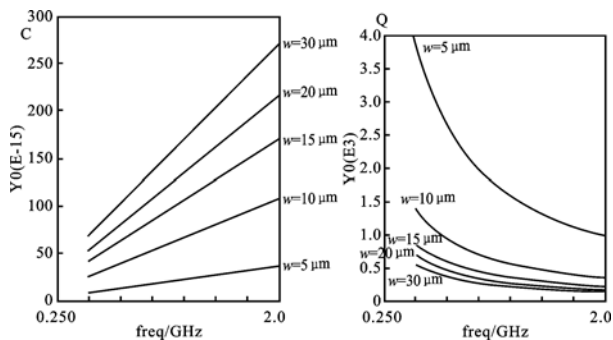


图4 电容大小与 Q 值的关系

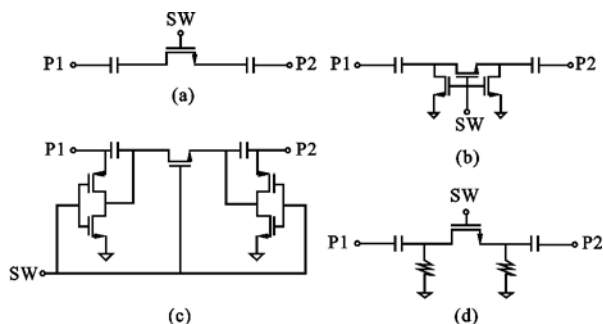


图5 几种常见的开关电容阵列结构

值得了解的是以上四种结构相对于图 1 的结构来说,因为差分结构开关 MOS 的中点处有一个共模接地点,所以开关 MOS 管沟道长度等效成实际沟道长度的二分之一,进一步减小了寄生电阻,增加了开关电容阵列的品质因数。

另外在设计开关电容阵列的时候,因为每个支路的电容值有所不同,所需的开关 MOS 的尺寸也不一样,这里提出一种选择开关 MOS 尺寸的方法。因为每个支路开启后都可以等效成一个电容和电阻

的串联结构(图 6(b)),这种串联结构又可以转换成电容和电阻的并联(图 6(c)),最终多个电阻电容并联(图 6(d))又可以等效成一个电容和一个电阻的并联(图 6(e))。则整个谐振腔的品质因数 $Q = \frac{R}{\omega \cdot C}$,因为输出频率是固定的所以 $\omega \cdot C$ 是固定的,因此提高品质因数的唯一途径是增大等效并联电阻 R ,而 $R = r_1 \parallel r_2 \parallel \dots \parallel r_n$,即 R 为 $r_1, r_2, \dots, r_n$ 的并联,又因为开关 MOS 的等效电阻和寄生电容是相互折中的,所以当 $r_1 = r_2 = \dots = r_n$ 时可以在最小的寄生电容下得到最大的等效并联电阻 R ,这可以通过仿真单个开关电容的 s 参数得到。通过仿真 s 参数得到 z 参数的实部即为图 6(d)中的 r_n 。通过调节开关 MOS 的尺寸,使 15 个开关电容支路的等效并联电阻相等,即可在最小的寄生电容下得到最大的等效并联电阻 R ,从而使开关电容阵列整体的 Q 值最大化。

2.2 可变电容阵列设计

图 7 为几种可变电容阵列结构,图 7(a)为传统结构,其把可变电容的一端直接连接在谐振腔的振荡节点上,这样可变电容的一端是变化的,而且是不可控的。此结构仿真的可变电容调谐曲线如图 8 所示。这种结构有以下几方面的问题:

(1)线性范围的中点在 0 V。现在的 VCO 的 VTUNE 电压一般都是从 0 V 到电源电压。这样 VCO 不能完全利用可变电容的调谐范围。

(2)线性范围小。由图 8 可知线性范围为 $-0.3 \sim 0.3$ V,可调的范围才 0.6 V。

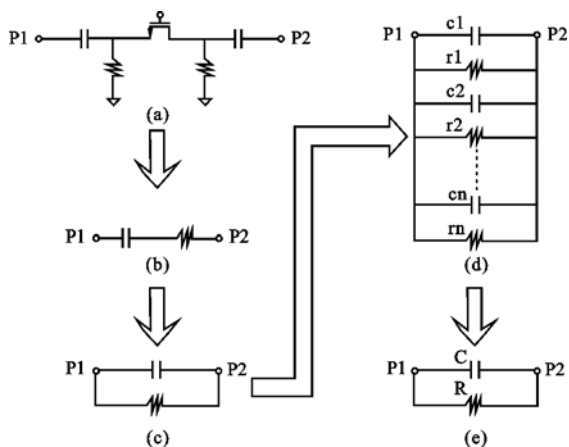


图6 开关电容阵列等效电路图

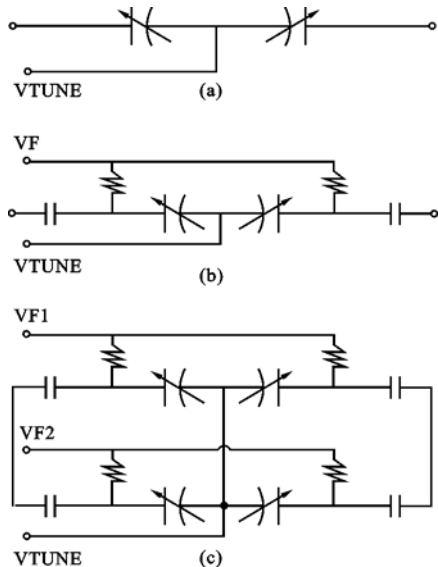


图7 可变电容阵列的结构

(3)调谐增益太大,从而导致VCO的增益 K_{VCO} 很大,导致VCO的相位噪声增大。

(4)可变电容的大小和可变电容的调谐增益不独立。当可变电容的值确定以后,可变电容的调谐增益也固定了。这样,在满足所需要的可变电容值的情况下,其调谐增益不一定满足设计要求。

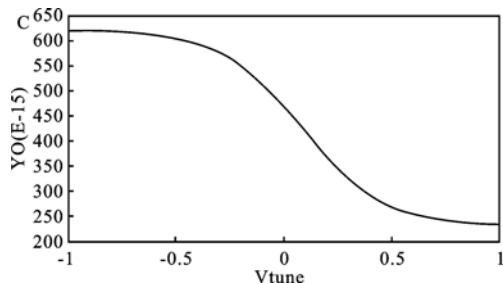


图8 传统结构的可变电容调谐曲线图

对于以上问题,在图7(a)所示的结构基础上增加了固定电容和偏置电压,得到图7(b)所示的结构。这种结构可以使可变电容的偏置点自由设定,随

着偏置电压 V_F 的改变,电容的调谐曲线的中间值也会随之变化,如图9所示。由图9可知,当 $V_F = 0.7\text{ V}$ 时,电容调谐曲线的中间值约在电源电压(1.8 V)的一半(0.9 V)处,此为 V_F 的最佳值。因为固定电容的品质因数大于可变电容的品质因数,所以两者的串联增大了可变电容阵列整体的品质因数。另外,固定电容的引入使得可变电容阵列的电容值和调谐增益相对独立,增加了一个设计自由度。但是,还存在一个问题,就是调谐曲线的线性范围还是比较小。由图9可知, $V_F = 0.7\text{ V}$ 时的线性范围约为0.6~1.2 V,和图7(a)结构一样为0.6 V。因此提出了图7(c)这个结构。

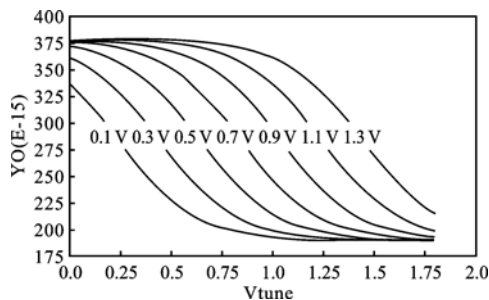
图9 不同偏置电压 V_F 下的可变电容调谐曲线

图7(c)所示的结构是在图7(b)结构的基础上把一个支路换成两个支路,而且两个支路各有一个不同的偏置。这种结构除了拥有图7(b)结构所述的优点之外,还拥有较大的线性范围。这种结构总体的调谐效果是两个支路的调谐曲线的叠加,选取适当的偏置电压 V_{F1} 和 V_{F2} 可以增大调谐曲线的调谐范围。 V_{F1} 和 V_{F2} 的确定过程如下:首先使 $V_{F1} = V_{F2} = V_F$,像图7(b)结构那样扫描 V_F 得出中间值在0.9 V的曲线所对应的 V_F 值,这时会发现得到的值和图7(b)结构所扫描的值是一样的。然后设置 $V_{F1} = V_F + DV$ 、 $V_{F2} = V_F - DV$,固定 V_F 的值扫描 DV 就会得到图10所示的曲线。最后根据扫描出来的曲线找到线性范围最大的调谐曲线所对应的 DV 的值,从而确定 V_{F1} 和 V_{F2} 的值。由图10可知,当 $DV = 0.4\text{ V}$ 时,电容的线性范围约为0.2~1.6 V,为1.4 V远大于前两者0.6 V的线性范围。

大的线性范围可以增大相邻调谐曲线的覆盖率,总体上会减小VCO的增益 K_{VCO} 的值,而且使 K_{VCO} 趋于恒定,从而增加环路稳定性。当然,可以在可变电容阵列中再增加更多的支路,增加 V_{F3} 、 $V_{F4} \dots V_{Fn}$ 让可变的电容线性度更好,但是那样会增加更多的偏置电压,从而增加设计难度,而且因为一般电荷泵的工作范围在0.2~1.6 V范围内,所以两个

支路偏置已经足够. 图 7(c) 所示的结构即本文所应用的结构.

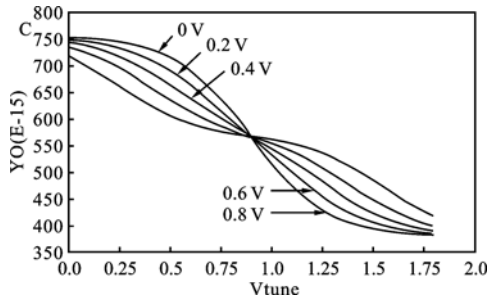


图 10 可变电容调谐曲线的线性范围扫描

对于本文所提出的图 7(c) 所示的结构中固定电容和可变电容的取值做一个讨论. 因为两者为串联关系, 所以有总电容:

$$C = \frac{C_V \cdot C_0}{C_V + C_0} \quad (1)$$

C_V 和 C_0 分别为可变电容和固定电容, 求导得

$$\begin{aligned} \frac{dC}{dV} &= \frac{dC}{dC_V} \cdot \frac{dC_V}{dV} \\ &= \frac{C_0^2}{(C_0 + C_V)^2} \cdot \frac{dC_V}{dV} \\ &= \frac{C_0^2}{C_V^2} \cdot \frac{dC_V}{dV} \end{aligned} \quad (2)$$

可知, $\frac{dC}{dV} < \frac{dC_V}{dV}$, 而且 C_0 越大, C 越接近 C_V ,

$\frac{dC}{dV}$ 也越接近 $\frac{dC_V}{dV}$. 由上面讨论可知, 固定电容的容值越大, 其品质因数越小, 而且版图的面积也会越大. 所以, 这里需要折中. 一个比较合适的取值是 $C_0 = 4C_V$, 这样固定电容 C_0 不至于太大, 导致品质因数降低太多和过大的版图面积, 而且有

$$\frac{dC}{dV} = \frac{16}{25} \cdot \frac{dC_V}{dV} = 0.64 \frac{dC_V}{dV} \quad (3)$$

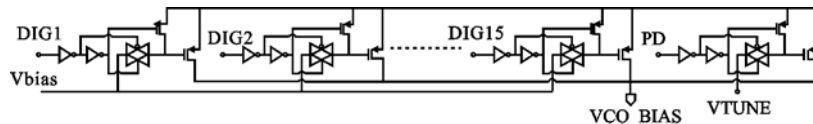


图 12 VCO 的电流偏置电路

因为对于 VCO 其频率越低, 所需要的偏置电流越大. 因此, 这 15 位偏置电流源 MOS 对应着 VCO 的低 15 条调谐曲线 (第一条调谐曲线直接由一个 PMOS 偏置电流源偏置). 这里的 15 位 MOS 电流源和上面所讨论的 15 位开关电容阵列是由同一个温度计式的译码器控制. 而且, 在偏置电路中增加一位用 VTUNE 电压控制的电流源, 使 VCO 在每条调谐曲线的调节范围内的输出信号摆幅也是恒

可知可变电容的调谐能力可以大部分被利用.

可变电容阵列的开关控制一般如图 11(a) 所示^[2], 这种结构的不足之处和开关电容阵列中的开关 MOS 类似, 面临着开启后的等效串联电阻和关断后的寄生电容的影响. 本文所设计的可变电容阵列的开关控制如图 11(b) 所示, 其开关分别受温度计式译码器的 DIG4、DIG8 和 DIG12 控制, 当 DIG4、DIG8 和 DIG12 为高时, VTUNE1、VTUNE2 和 VTUNE3 分别受 VTUNE 的控制, 当 DIG4、DIG8 和 DIG12 为低时, 传输门关闭, 连接 VDD 的 PMOS 开启, 从而把可变电容阵列的电容值调至最低, 实现关闭功能. 这种结构的开关没有加入到谐振腔内, 所以不会对 VCO 的核心振荡电路造成影响, 从而使得谐振腔的 Q 值较高, 有利于低噪声低功耗的设计.

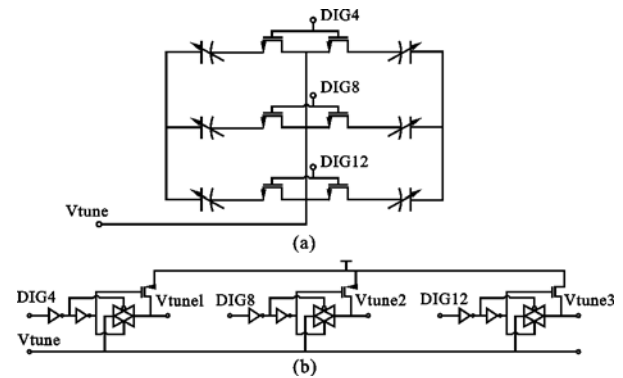


图 11 可变电容阵列控制开关

2.3 恒定输出摆幅设计

为了使 VCO 的输出波形摆幅恒定, 这里应用了一个可调偏置电流阵列, 通过控制 VCO 的偏置电流的大小来控制输出摆幅恒定, 其结构如图 12 所示.

定的, 这样 VCO 在整个可以调节的频率范围内的输出信号摆幅都是恒定的.

VCO 输出恒定摆幅的意义在于, 可使后续电路 (如 buffer 和 prescaler) 设计更加简单, 工作更加可靠. 在整个频率范围内满足后续电路的振幅的情况下, 可单独调节每条调谐曲线所对应的偏置电流, 这样不会浪费不必要的电流, 利于低功耗的设计. 本文设计的 VCO 摆幅为 694~715 mV, 变化百分比为 3%.

3 版图及仿真结果

本文所设计的 VCO 的版图如图 13 所示,整个版图面积为 $1\,230\,\mu\text{m} \times 460\,\mu\text{m}$. 整个 VCO 周围包有两圈 $10\,\mu\text{m}$ 宽的 guard ring,内圈为接地 guard ring 外圈为接电源 guard ring,外圈的 guard ring 下面包有深 N 阱以隔离外部噪声.

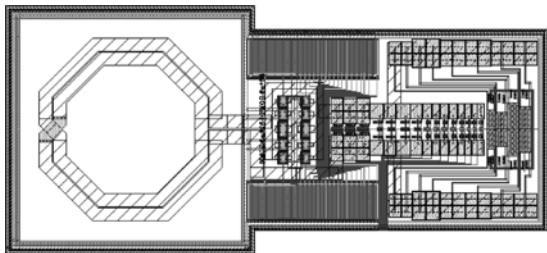


图 13 VCO 版图

对所设计 VCO 的调谐曲线以及其斜率即 K_{VCO} 进行仿真得到图 14 和图 15 所示结果,可见该 VCO 得的调谐曲线具有等相邻间隔,宽线性范围以及小增益变化的特点.

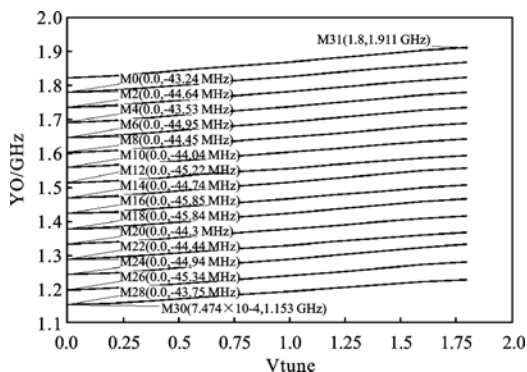


图 14 本文设计的 VCO 的调谐曲线

由图 14 可知 VCO 的频率覆盖范围为 $1.153 \sim 1.911\,\text{GHz}$,频率覆盖范围为 49.5% ,相邻调谐曲线的覆盖范围大于 50% . 调谐曲线间距变化范围为 $43.2 \sim 45.9\,\text{MHz}$,变化百分比为 5.9% . 由图 15 可知,调谐增益变化范围为 $45.5 \sim 52.7\,\text{MHz/V}$,变化

百分比为 13.7% .

图 16 所示为本文所设计的 VCO 在中心频率 $1.53\,\text{GHz}$ 处的相位噪声仿真曲线,可知相位噪声在 $100\,\text{Hz}$ 频偏处为 $-108.8\,\text{dBc/Hz}$,在 $1\,\text{MHz}$ 频偏处为 $-130.5\,\text{dBc/Hz}$,满足低相位噪声设计的要求.

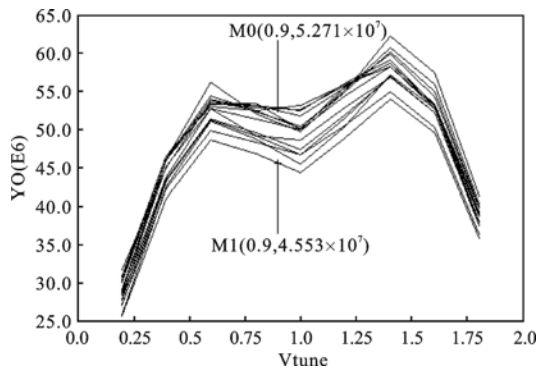


图 15 本文设计的 VCO 调谐增益曲线

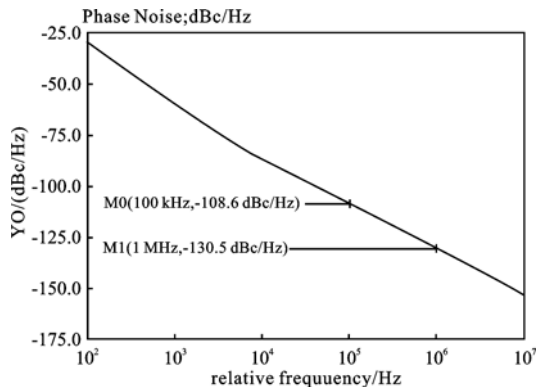


图 16 本文所设计的 VCO 的相位噪声曲线

由仿真可得 VCO 在中心频率 $1.53\,\text{GHz}$ 处的功耗为 $5.76\,\text{mW}$,由 VCO 的品质因数计算公式^[4]:

$$\text{FOM} = L(\Delta\omega) - 10\log\left[\left(\frac{\omega_c}{\Delta\omega}\right)^2 \frac{1}{p}\right] \quad (4)$$

可知,VCO 工作在 $1.53\,\text{GHz}$ 、 $1\,\text{MHz}$ 频偏处的品质因数为 $-186.5\,\text{dBc/Hz}$. 表 1 所示为本文所设计的 VCO 与相关文献中设计的 VCO 性能比较,可见本设计性能良好.

表 1 本文 VCO 与其他文献 VCO 性能比较

参数	文献[5]	文献[6]	文献[7]	文献[8]	本文
频率范围/GHz	0.68~1.65	Around 3.3	34.5~45.4	Around 2.45	1.15~1.91
调谐增益变化/%	17	—	—	—	13.7
相位噪声/(dBc/Hz)	-124.3@1 MHz	-114@1 MHz	-95@1 MHz	-121@1 MHz	-130.5@1 MHz
功耗/mW	2.4	0.7	12	10.7	5.76
工艺/nm	65	65	130	350	180
FOM/(dBc/Hz)	-184	-184	-184.9	-178	-186.5

4 结束语

应用 0.18 μm CMOS 工艺,设计了一款频率覆盖范围为 1.153~1.911 GHz(49.5%)的 VCO. 此 VCO 具有低调谐增益变化、等调谐曲线间距、等输出电压摆幅、宽调谐曲线线性范围等特性,而且通过提高谐振腔的 Q 值和降低 VCO 增益等方法达到低功耗低噪声设计. 最终测得品质因数高达 -186.5 dBc/Hz.

参考文献:

- [1] 杨坡. 电荷泵锁相环频率合成器的实现[D]. 成都:电子科技大学,2012.
- [2] 袁璐. 宽带电感电容压控振荡器的研究与设计[D]. 上海:复旦大学,2008.
- [3] Maxim A. A 9.953/10.7/12.5 GHz 0.13 μm CMOS LC oscillator using capacitor calibration and a VGS/R based low noise regulator[C]// IEEE Radio Frequency Integrated Circuits (RFIC) Symp. Long Beach, 2005: 411-414.
- [4] Hagazi E R, Abidi A. The designer's guide to high-purity oscillators[M]. New York: Kluwer Academic Publishers, 2002.
- [5] Lou L, Sun L, Gao H, et al. A 0.68-1.65 GHz CMOS LC voltage-controlled oscillator with small VCO-gain and step variation[C]// Integrated Circuits

(ISIC), 2011 13th International Symposium on. IEEE. Tallinn, 2011: 79-82.

- [6] Salvatore Levantino, Marco Zanuso, Carlo Samori, et al. Suppression of flicker noise up conversion in a 65nm CMOS VCO in the 3.0-to-3.6GHz band[C]// IEEE International Solid-State Circuits Conference (ISSCC). San Francisco, 2010: 50-51.
- [7] Wu Q, Quach T, Mattamana A, et al. Design of wide tuning-range mm-wave VCOs using negative capacitance[C]// Compound Semiconductor Integrated Circuit Symposium (CSICS), 2012 IEEE. California: IEEE, 2012: 1-4.
- [8] Anjos A dos, Pabon A A, Van Noije W. 2.45 GHz low phase noise LC VCO design using flip chip on low cost CMOS technology[C]// Circuits and Systems (LASCAS), 2012 IEEE Third Latin American Symposium on. Mexico, IEEE, 2012: 1-4.

作者简介:



郑金汪 男, (1988-), 硕士研究生. 研究方向为模拟/射频集成电路设计.

(上接第 83 页)

4 结束语

本文使用 NS2 模拟仿真器对改进后的 AODV 进行模拟仿实现,并提取分析数据,证明了改进后的 AODV 路由协议在端到端的时延、路由开销等方面有所降低,提高了收包率,改善网络通信性能.

参考文献:

- [1] Li Q, Zhang L. Simulation and analysis of routing protocol for AODV based on NS2[J]. Computer and Modernization, 2012(7): 1-4.
- [2] Ahed M. Alshanyour, Uthman Baroudi. Bypass AODV: improving performance of ad hoc on-demand distance vector(AODV) routing protocol in wireless ad hoc networks [C]// First International Conference on Ambient Media and Systems. Quebec, Canada: IEEE, 2008.
- [3] Wang Q P, Pei X B. A modified AODV routing protocol based on cache technology[J]. Mechanics of communication, 2008, 41(10): 171-172.

- [4] Li S B, Hong L. Research of AODV routing protocol based on neighbor cache [J]. Journal of Computer Applications, 2011, 31(7): 1-4.
- [5] 樊凯, 魏茜, 陈莹, 等. 网络仿真器 NS2 无线模型的网络编码扩展[J]. 系统仿真学报, 2011, 23(9): 1795-1800.
- [6] 阎英, 刘伯红, 彭海英. 一种改进的基于 AODV 的分簇路由协议[J]. 微电子学与计算机, 2010(6): 201-204.
- [7] Sunil Taneja, Ashwani Kush, Amandeep Makkar. Experimental Analysis of DSR, AODV using Speed and Pause time [J]. International Journal of Innovation, Management and Technology, 2010, 1(5): 453-45.
- [8] 高明亮, 曹晟熙. 移动自组织网络 AODV 路由协议的仿真与性能分析[J]. 控制工程, 2009(16): 142-144.

作者简介:

余本功 男, (1971-), 博士, 副教授, 硕士生导师. 研究方向为信息管理与信息系统、项目管理.

孟繁莉 女, (1988-), 硕士研究生. 研究方向为信息资源管理.