

基于异构多核原型芯片的 NCS 算法并行化

钱 禹¹, 潘红兵^{1,2}, 何书专¹, 李 丽^{1,2}, 李 伟^{1,2}, 韩 峰¹

(1 南京大学 电子科学与工程学院微电子设计研究所, 江苏 南京 210093;

2 江苏省光电信息功能材料重点实验室, 江苏 南京 210093)

摘 要: NCS 算法(nonlinear chirp scaling, 非线性调频变标)可以处理大耦合 SAR(Synthetic Aperture Radar)回波, 实现精确聚焦, 但串行 NCS 算法的成像时间很难达到实时成像要求. 为了提高算法效率, 采用子孔径结构的 NCS 改进算法, 在自主设计的 NoC(Network on Chip)异构多核原型芯片上并行实现了实时 NCS 成像算法. 与串行算法相比, 并行化后可以大大缩短成像时间, 通过与单次子孔径的理论计算值对比, 得出实际并行效率达到 90.06%.

关键词: NCS 算法; NoC; 异构多核原型芯片; 并行化

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2014)04-0087-05

Parallelization of NCS Algorithm Based on Heterogeneous Multi-core Prototype Chip

QIAN Yu¹, PAN Hong-bing^{1,2}, HE Shu-zhuan¹, LI Li^{1,2}, LI Wei^{1,2}, HAN Feng¹

(1 Institute of VLSI Design, School of Electronic Science and Engineering, Nanjing University, Nanjing 210093, China;

2 Key Laboratory of Advanced Photonic and Electronic Materials, Nanjing 210093, China)

Abstract: NCS algorithm(nonlinear chirp scaling) can deal with the large coupling SAR echo, achieve precise focus. However, the imaging time of the serial NCS algorithm could hardly achieve the requirements of real-time imaging. To improve efficiency of the algorithm, we use the improving algorithm with the sub-aperture in this paper. Based on the NoC heterogeneous multi-core prototype chip, we achieve the parallelization of the NCS real-time imaging algorithm. Compared with the serial algorithm, parallel algorithm can greatly shorten the imaging time. And compared with the theoretical calculation value of a single sub-aperture operation, the actual parallel efficiency can reach 90.06%.

Key words: NCS algorithm; NoC; heterogeneous multi-core prototype chip; parallelization

1 引言

合成孔径雷达(SAR)成像已经广泛运用在国民经济和军事各个领域^[1]. 常规的 SAR 成像算法有 RD 算法以及 CS 算法等, 但是 RD 算法难以满足对分辨率要求高的大场景、大斜视的雷达成像要求, 而 CS 算法在大斜视角的情况下将引起很大的散焦, 因此 NCS 算法在此基础上应运而生^[2-3].

传统的串行算法效率比较低, 很难达到实时成

像的要求. 文中采用子孔径结构的 NCS 算法^[4-5], 可以更好的适应更大的斜视角, 并能更容易地进行任务并行化^[6], 我们在自主开发设计的基于多 FPGA 的 NoC 异构多核原型芯片^[7-8]上运行并行化后的程序, 从成像时间等方面来分析并行化后的效率.

2 NCS 算法

本文采用子孔径结构的 NCS 改进算法, 可以更好地构造并行流水的实时处理结构. 利用 SAR 方位

收稿日期: 2013-06-22; 修回日期: 2013-08-05

基金项目: 国家自然科学基金(61176024, 61006018); 高等学校博士学科点专项科研基金项目(20120091110029)

向信号分量的时间与频率的锁定关系,可以在时域中互不重叠的划分子孔径.而子孔径回波满足驻定相位原理,可以按照正常的 NCS 流程对距离向进行处理,之后在时域将子孔径回波整合,进行方位压缩.此时经过整合后的数据量仍然很大,可以继续将数据沿距离向分块,引入并行结构来完成方位压缩^[2].处理流程见图 1.

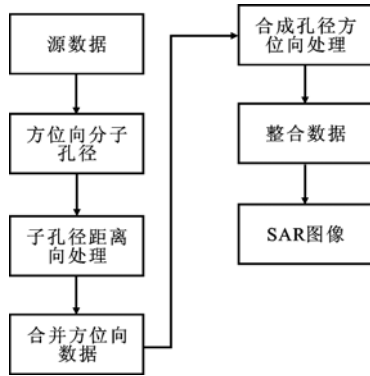


图 1 NCS 算法流程图

3 多 FPGA 开发平台及异构多核原型芯片

该平台为自主开发的一块多 FPGA 主板,对外提供两套千兆网口.整个系统最核心的部分为全互联的 FPGA 子系统,共由 4 块 Xilinx Virtex6 LX550T FPGA 芯片及相应的外设芯片构成.四块 FPGA 芯片间采用用多组高速接口实现全互联,每组高速接口由四组 GTX 接口捆绑成为数据吞吐率为 10 Gb/s 高速通道,图 2 为全互联示意图.单片 FPGA 芯片内设计有基于 4×4 2D mesh 架构的异构多核原型芯片^[9-10],数据位宽 64 位,通过 FPGA 间的高速通道将 4×4 2D mesh 架构扩展成 16×16 2D mesh 架构.每片芯片内有 3 组 DDR,其中 FPGA1 和 FPGA4 还有千兆网口,图 3 所示为下载在 FPGA1 内的异构多核原型芯片架构.

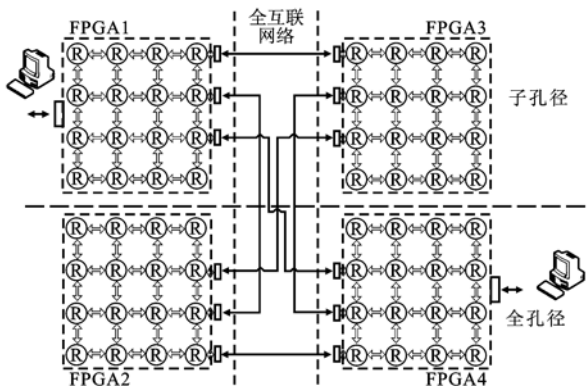


图 2 全互联示意图

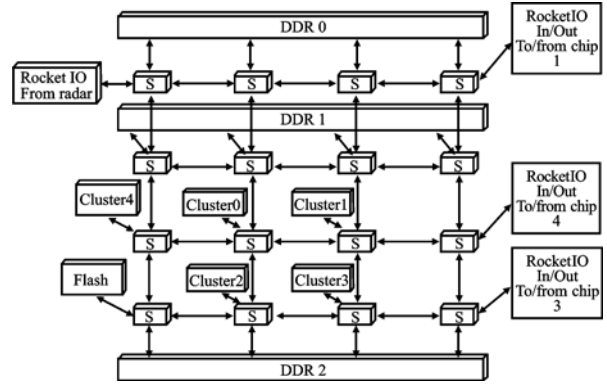


图 3 FPGA2 芯片架构

原型芯片中簇(cluster)结构分 2 类,此处只简要介绍主要部件,其余部件的介绍请参考文献[11]中相关内容:

(1)簇 0~簇 3 为运算簇,采用 AHB 总线结构,总线上挂接 2 个协处理器的 ARM 核及其他部件.其中 FFT 模块完成 FFT/IFFT 运算,DMA,Coprocessor 以及 FFT 通过 Memory Switch 访问三个 memory,Wrapper 是运算簇与 PCC 网络的接口.NCS 算法中大部分运算主要都由这 4 个运算簇协同完成,也是实现软件并行化的基础模块,内部结构如图 4 所示.

(2)簇 4 为转置簇,也采用 AHB 总线,但不挂接协处理器.NCS 算法中矩阵转置的过程均由该簇完成,内部结构如图 5 所示.

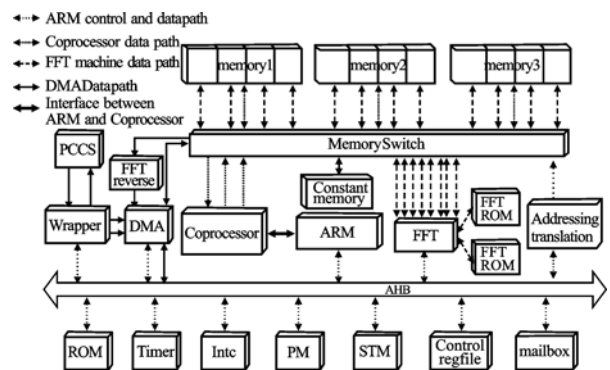


图 4 运算簇簇 0~簇 3 内部架构

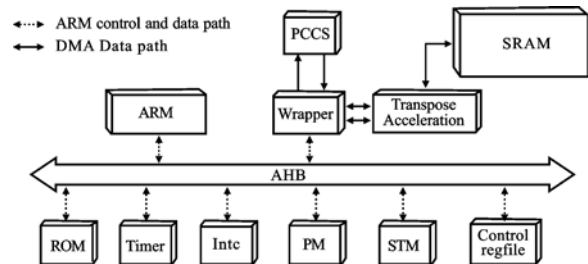


图 5 转置簇簇 4 内部架构

4 软件并行化的实现

根据并行计算理论,由一个问题分解得到任务数量的不同可以把并行划分为粗粒度并行(一个并行任务包含较长的程序段和较大的计算量)和细粒度并行(一个并行任务包含较短的程序段和较小的计算量).并行粒度的选择决定了并行任务的数量,并对通信同步开销、调度开销、负载均衡情况以及并发度都有较大的影响^[12].通过理论分析和实验结果可以发现,若并行粒度大,会使任务数量相对较少,节省任务调度开销和通信开销,但是各线程的负载很难保持平衡,而且也不能充分发挥并行计算平台强大的处理能力^[13];若并行粒度小,则可以开发更多的并行性,有利于实现负载均衡,提高程序并发度,不过并行粒度越小,通信开销就会越大.由此可见,最佳的并行粒度应当在负载均衡、通信调度开销等性能因素之间权衡^[11].

按数据划分,NCS算法最小的功能完整的单位是一个子孔径的数据.根据NCS算法中大部分为FFT和复数乘运算的特点,我们采取以数据矩阵的行(列)为最小粒度进行任务划分.为了叙述方便,我们将4片FPGA芯片内的异构多核原型芯片按FPGA进行编号,如图2所示,分别为FPGA1,FPGA2,FPGA3,FPGA4.

本文将NCS算法从流水层面和数据层面分别进行并行化.首先在流水层面上,子孔径和合成孔径可以划分为两个大的流水级,如图6所示.每幅图总数据量规模为 8192×4096 共32M个数据,每个数据大小为8字节.为了充分利用FPGA资源并节省运算时间,使用两个芯片FPGA1和FPGA2进行子孔径运算,剩下的两个芯片FPGA3和FPGA4做合成孔径运算.将32M个数据分为8组,每组为一个 1024×4096 的矩阵,每次子孔径处理一组数据并将处理好的数据储存在片内DDR中,共进行8次子孔径即可将32M个数据处理完,FPGA1和FPGA2各分配4次子孔径.如果采用串行算法进行子孔径运算,则需要的时间为8个子孔径的时间,而我们使用两块芯片进行子孔径运算,就为子孔径的并行实现创造了条件.如图7所示,将子孔径循环进行并行处理,除去第一次子孔径,流水开始后实际只需4个子孔径时间即可完成8次子孔径运算,这就实现了流水层面的并行化.

其次,在数据层面上,对子孔径和合成孔径内部数据处理进行任务划分,以达到数据层面并行化的

效果.子孔径中距离向数据是不相干的,这为并行化处理数据创造了条件.分析现有的硬件资源,每个片内有四个运算簇,可以将4M个数据平均分配到4个簇内,每个簇处理1M个对数据进行FFT或IFFT时,由于数据矩阵分为 1024×4096 和 4096×1024 两种情况,可分情况处理:做1024点FFT,循环4096次;做4096点FFT,循环1024次.前一种情况可以每个簇均做1024点FFT,每个簇循环1024次,则4个簇共循环4096次;后一种情况每个簇均做4096点FFT,每个簇循环256次,则4个簇共循环1024次.子孔径软件并行化后的流程图如图8所示.

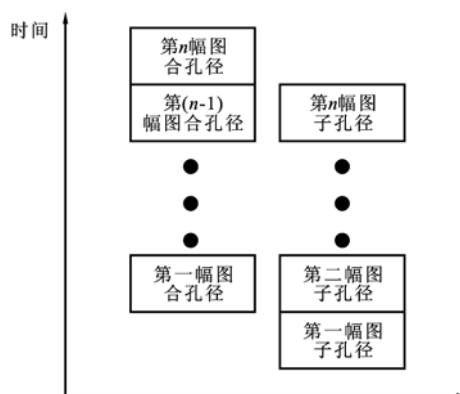


图6 子孔径和合孔径流水图

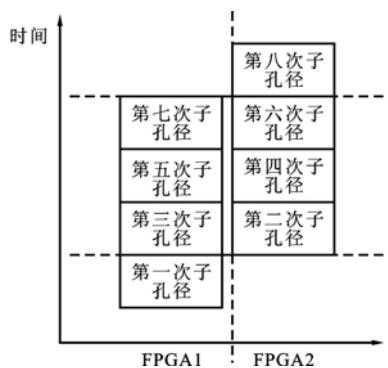


图7 子孔径并行化

合成孔径要对32M个数据集中处理,数据量虽比子孔径大,但仍可参照子孔径数据并行化方法来完成合成孔径的数据并行化.合成孔径处理完数据后要进行取模量化才能成图,这部分是由FPGA4一块芯片单独完成的,而由于运算簇内部存储空间的限制,所以这部分处理的数据分配只能为每个簇4096,每个簇循环2048次,这样总共可以将32M个数据全部处理完,最终压缩为 1024×4096 的矩阵成图.合成孔径并行化后的流程图如图9所示.

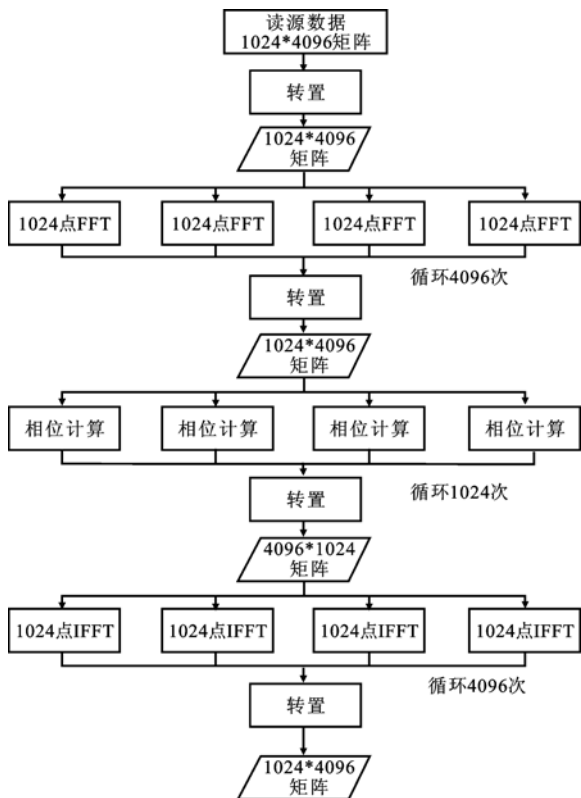


图8 子孔径并行化后流程

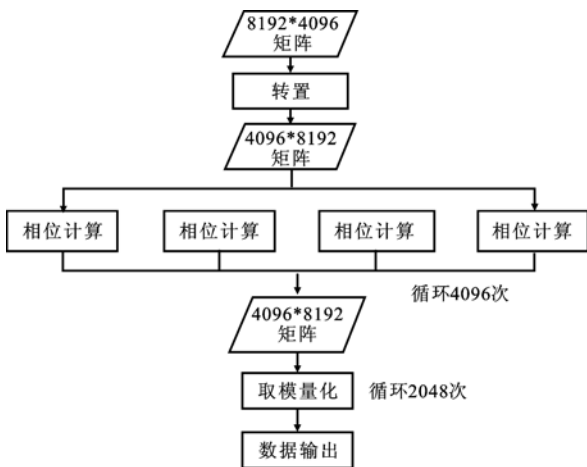


图9 合成孔径并行化后流程

5 结果及分析

本文将 NCS 算法从流水层面和数据层面进行了并行化,串行算法是由 matlab 给出,运行时间设定为从接收源数据开始一直到成图结束.在处理器 i7-2600,主频为 3.4 GHz 的 PC 机上运行时间为 44 s;在多 FPGA 开发平台上运行,每片主频为 62.5 MHz,运行时间约为 18 s,由于将其并行化为子孔径和合孔径,所以实际流水成图时间为两级流水中耗费时间较长的子孔径时间,即 10 s 如表 1 所示.由此可见,并行化后可以大大缩短成图时间,更

有可能实现实时成像.

子孔径运算主要包括三个部分:矩阵转置,FFT/IFFT 运算以及一些参数计算.表 2 计算了一次子孔径中这三部分分别所耗的时钟周期数,表 3 给出了运行时间的理论计算值及并行化效率.实际测得一次子孔径的各部分运算时间总和约为 1.137 s(无通讯时间),而加上通讯时间后,一次子孔径的运算时间约为 1.429 s.

表1 串行算法和并行算法成图时间对比

	运行环境	成图时间/s	工作频率
串行算法	matlab	44	i7-2600 3.4 GHz
并行算法	FPGA 演示系统	10	FPGA 每片 62.5 MHz

表2 一次子孔径各计算部分所耗周期数理论计算值

名称	算法	计算方法	耗时(周期数)
矩阵转置	3 次转置	运算周期 = 矩阵大	24 M 个
	1024 * 4 096 矩阵大 小为 4 M 个	小/转置效率(转置效 率为 50%)	
FFT/IFFT	1024 点 FFT/IFFT; 各循环 4 096 次	N/4 * log ₂ N (N 为 矢量长度)256 * 10 *	68 M 个
	4 096 点 FFT/IFFT; 各循环 1024 * 2 次	4096 * 2 + 1024 * 12 * 2048 * 2 = 68 M 个 周期	
参数计算	主要是参数的批处理 运算,参数长度均为 4096,1024 次循环.		92 M 个
	Phase1:4 次批处理		
	Phase2:7 次		
	Phase3:8 次		
	源数据乘 Phase1, Phase2, Phase3, wr		
	各 1 次批处理每次循 环共 23 次批处理		
	运算时间:23 * 4096 * 1024 = 92 M 个 周期		

表3 一次子孔径所耗时间理论计算值及并行化效率

矩阵转置	主频 62.5 MHz	24/62.5=0.384 s
	运算周期 24 M 个 1 个转置簇	
FFT/IFFT	主频 62.5 MHz	68/62.5=0.272 s
	运算周期 68 M 个 4 个运算簇,4 路并行	
参数计算	主频 62.5 MHz	92/62.5=0.368 s
	运算周期为 92 M 个 4 个运算簇,4 路并行	
总计		1.024 s
并行化效率	理论值/实际值(无通讯时 间)	(1.024/1.137) *
		100%=90.06%

通过计算,并行计算效率达到了 90.06%.同时串行算法和并行算法成图的图像除了图像灰度略有不同,其相似度达到 97.48%,说明两个矩阵具有强

相关性,可以认为两幅图像基本一致,因此可以得出结论系统很好的实现了算法的并行化.另外,一次子孔径运算中通讯时间大约为 0.292 s,约占总运算时间的 20.43%,可以看出通讯时间是算法并行化的一个瓶颈,如果能大幅缩短通讯时间,则算法的并行化效率将会更高,这也是今后工作的一个方向.

6 结束语

本文详细介绍了将引入子孔径结构的 NCS 算法并行化的方法.从并行化算法和原串行算法对比的结果来看,在维持图像质量基本一致的情况下,对于时间的优化效果是非常显著的,但通信的开销也是制约时间的一个瓶颈,需要进一步研究解决这个瓶颈.

参考文献:

- [1] 王亮,黄晓涛,周智敏.等.非线性 Chirp Scaling 在机载 SAR 成像中的应用[J]. 系统工程与电子技术,2007(5):723-727.
- [2] 严少石,周智敏,李悦丽.结合子孔径 NCS 算法和运动补偿的机载 UWB SAR 实时处理[J]. 信号处理,2011(11):1680-1686.
- [3] Davidson G W, Cumming I G, Ito M R. A chirp scaling approach for processing squint mode SAR data[J]. IEEE Trans on Aerospace and Electronics Systems, 1996, 32(1):121-133.
- [4] Wong F H, Tat Soon Yeo, Ngee Leng Tan. New applications of non-linear chirp scaling in SAR data processing[J]. IEEE Geoscience and Remote Sensing Letters, 2000,1(1):96-98.
- [5] Jian Wang,Guoyi Xue,Zhimin Zhou,et al. A new sub-aperture nonlinear chirp scaling algorithm for real-time UWB-SAR imaging[C]//International Conference on Radar, Shanghai:CIE,2006:1-4.
- [6] 徐永健. SAR 实时并行成像系统研究[D]. 北京:中国科学院电子学研究所,2001.
- [7] Benini L, de Micheli G. Networks on chips: a new SoC paradigm[J]. Computer, 2002,35(1):70-78.
- [8] Ye Lu, John McCanny, Sakir Sezer. Generic low-latency NoC router architecture for FPGA computing systems[C]//21st International Conference on Field Programmable Logic and Applications. Chania:FPL, 2011:82-89.
- [9] Jie Yang, Like YAN, Lihan Ju, et al. Homogeneous NoC-based FPGA: The foundation for virtual FPGA [C]//10th IEEE International Conference on Computer and Information Technology. Bradford: IEEE, 2010: 62-67.
- [10] Zhong Hua, Liu Xingzhao. An extended nonlinear chirp-scaling algorithm for focusing large-baseline azimuth-invariant bistatic SAR data[J]. IEEE Geoscience and Remote Sensing Letters, 2009,6(3):548-552.
- [11] 韩正飞. 基于片上网络多核处理器雷达成像算法的并行化实现[D]. 南京:南京大学,2012.
- [12] Bogdan Trivunovic, Miroslav Popovic, Vladislav Vrtunski. An Application Level Parallelization of Complex Real-Time Software[C]//17th IEEE International Conference and Workshops on Engineering of Computer-Based Systems. Oxford:ECBS,2010:253-257.
- [13] Sun Guangcai, Xing Mengdao, Liu Yan, et al. Extended NCS based on method of series reversion for imaging of highly squinted SAR[J]. IEEE Geoscience and Remote Sensing Letters,2011,8(3):446-450.

作者简介:

钱禹 男,(1989-),硕士研究生.研究方向为多核处理器软件设计.

潘红兵 男,(1971-),教授.研究方向为多核处理器.