

面向亚阈值的脉冲生成电路设计

张苏敏, 陈黎明, 袁 甲, 黑 勇

(中国科学院 微电子研究所, 北京 100029)

摘 要: 基于 SMIC 130 nm 工艺, 提出了一种新的面向亚阈值的脉冲生成电路. 设计中采用三输入与非门作为延时单元, 更好地平衡单元的上拉延时和下拉延时, 提高了延时路径的稳定性. 新结构脉冲生成电路功能不受工艺偏差和温度变化的影响, 在 0.3 V 工作电压, 不同工艺角以及 $-40\sim 125\text{ }^{\circ}\text{C}$ 温度范围内都能生成稳定可靠的脉冲信号.

关键词: 脉冲生成电路; 亚阈值; 极低功耗; 边沿检测

中图分类号: TN784

文献标识码: A

文章编号: 1000-7180(2014)09-0118-04

Design of Subthreshold Pulse Generator

ZHANG Su-min, CHEN Li-ming, YUAN Jia, HEI Yong

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: A novel design of subthreshold pulse generator has been proposed based on SMIC 130 nm process. It utilizes 3-input NAND as the delay cell, which equilibrate the pull-up delay and pull-down delay relatively better, and hence improves the stability of the delay path. The function of the new pulse generator is insusceptible to the process and temperature variation and it can generate stable pulse at 0.3 V supply voltage through different process corner and $-40\sim 125\text{ }^{\circ}\text{C}$ temperature scale.

Key words: pulse generator; subthreshold; ultra low power; edge detector

1 引言

随着工艺尺寸的下降和芯片集成度的提高, 功耗成为制约集成电路发展的关键问题. 由于功耗与芯片的工作电压(V_{dd})成平方的关系, 降低芯片工作电压(V_{dd})可以有效地减小芯片的功耗^[1]. 亚阈值(Subthreshold)技术使芯片的工作电压(V_{dd})降低到阈值电压附近或者阈值电压以下, 能够实现极低功耗, 适用于无线传感网节点、医疗电子、RFID 等对性能要求不高, 但是对功耗要求极高的应用领域^[2-3].

由于静态随机存储器(SRAM)是数字芯片中极为重要的组成部分, 亚阈值 SRAM 的设计引起了广泛的研究^[4-6]. 脉冲生成电路是 SRAM 中很重要的时序控制电路^[6], 它能够有效地检测到时钟信号的上升沿及下降沿, 从而生成脉冲信号, 触发并控制 SRAM 中其他模块的工作时序, 保证 SRAM 有效

的读写数据. 在超阈值(Superthreshold)SRAM 设计中, 传统的脉冲生成电路能正确地生成电路工作所需要的各种时序控制信号. 然而, 在亚阈值状态下, 晶体管电流与电源电压及阈值电压成指数关系, 电路性能对工艺偏差、电源电压以及温度变化(PVT)非常敏感^[7], 这使得传统的脉冲生成电路可靠性下降, 无法生成正确的脉冲信号, 从而导致 SRAM 无法正常工作.

本文基于 SMIC 130 nm 工艺, 首先分析传统脉冲生成电路在亚阈值状态下遇到的问题, 然后结合晶体管的亚阈值特性, 对脉冲生成电路的延时单元进行改进, 提出一种新的面向亚阈值的脉冲生成电路设计方法, 并完成相关电路的版图设计和后仿真.

2 晶体管的亚阈值电流模型

在亚阈值状态下, 晶体管的沟道处于弱反型状

收稿日期: 2013-11-06; 修回日期: 2013-12-27

基金项目: 国家自然科学基金项目(61306039); 中科院先导科技专项(XDA06020401)

态,沟道电流主要是扩散电流.亚阈值电流表达式如下^[8]:

$$I_{ds} = I_0 \exp\left(\frac{V_{GS} - V_T}{nV_{th}}\right) \left[1 - \exp\left(\frac{-V_{DS}}{V_{th}}\right)\right] \quad (1)$$

$$I_0 = \mu_0 C_{ox} \frac{W}{L} (n-1) V_{th}^2 \quad (2)$$

$$n = 1 + \frac{C_{dm}}{C_{ox}} = 1 + \frac{3t_{ox}}{W_{dm}} \quad (3)$$

式中, V_T 是阈值电压; $V_{th} = \frac{kT}{q}$ 是热电压; C_{ox} 是栅氧每单位面积的电容; C_{dm} 是耗尽层每单位面积电容; μ_0 是零偏置下的迁移率; n 是亚阈值斜率系数; W_{dm} 是最大耗尽层宽度; t_{ox} 是栅氧厚度. 由式(1)可以看到,亚阈值电流与 $(V_{GS} - V_T)$ 成指数关系. 这说明在亚阈值状态下,晶体管的电流对电源电压变化和阈值电压变化非常敏感.

3 亚阈值管下传统脉冲生成电路的问题

图1为传统的脉冲生成电路,它能有效检测输入信号的下降沿,并输出脉冲信号. 输入信号 GTPR 为高电平时, GTPN 为低电平, DRP 为高电平,此时与非门输出 SPN 为高电平. 当 GTPR 信号下降沿到来时, GTPN 被上拉为高电平. 由于 GTPN 和 DRP 之间有三级反相器构成的延时链, GTPN 的高电平传输到 DRP, 使 DRP 被下拉为低电平需要一段延时. 在这段延时之内, GTPN 和 DRP 都为高电平, 与非门输出 SPN 由高电平被下拉为低电平. 当 DRP 被拉低以后, SPN 又被上拉至高电平. 与非门输出 SPN 就形成了一个脉冲信号, 有效地捕捉到了输入信号 GTPR 的下降沿. 脉冲信号的脉宽可以由三级反相器构成的延时链以及与非门的延时来控制.

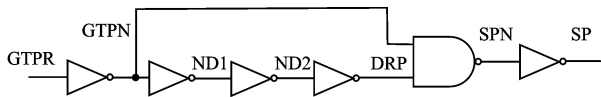
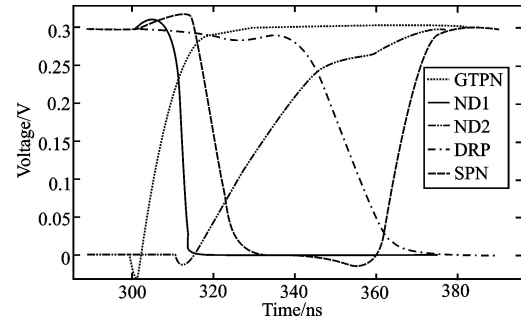
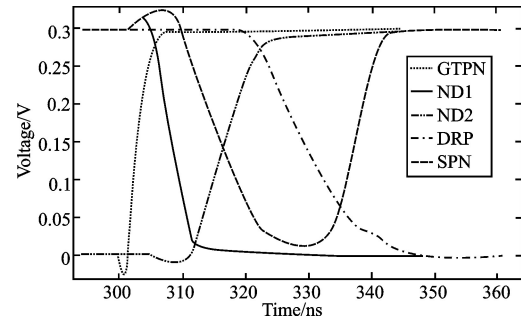


图1 传统脉冲生成电路

图2所示为0.3V工作电压下传统脉冲生成电路的仿真结果,其中图2(a)为TT工艺角的仿真结果,图2(b)为SNFP工艺角的仿真结果. 从图2(a)中可以看出,在TT工艺角下,ND2的上拉延时很长,这是PMOS管在亚阈值状态下的驱动能力明显弱于NMOS管造成的. 由于ND2的上拉延时很长,给了DRP足够的维持高电平的时间,所以SPN能有效形成脉冲电平. 然而该电路的最坏情况发生在SNFP工艺角下,如图2(b)所示. 在SNFP工艺角



(a) TT 工艺角



(b) SNFP 工艺角

图2 传统脉冲生成电路仿真结果

下,对于PMOS管,其阈值电压减小,而晶体管的驱动电流与阈值电压成指数关系,这导致其驱动能力相对于TT工艺角明显的提升,仿真结果表现为ND2的上拉延时明显缩短. 然而对于NMOS管,尽管其阈值电压增大,驱动能力相对于TT工艺角下降,但是由于NMOS管在亚阈值状态下的驱动能力很强,所以ND1的下拉延时相对于TT工艺角并无明显变化. ND1的下拉延时无明显变化,而ND2的上拉延时却明显缩短,这导致DRP维持高电平的时间缩短,与非门输出SPN无法形成完整的脉冲信号.

4 亚阈值脉冲生成电路设计

4.1 结构和尺寸设计

传统脉冲生成电路在亚阈值状态下无法生成稳定的脉冲信号的原因主要有两点:一是在亚阈值状态下,晶体管的驱动电流与阈值电压成指数关系,而阈值电压随工艺偏差和温度变化会产生波动,这使得电路的稳定性变差,在不同工艺角下的性能会有很大的差别;二是传统脉冲生成电路采用反相器作为延时单元,而在亚阈值状态下,PMOS管的驱动能力明显弱于NMOS管,这使得反相器的上拉和下拉延时差别很大.

在超阈值设计中,晶体管处于强反型状态,可以

通过调节 NMOS 管和 PMOS 管的尺寸比(β)来调节反相器的上拉和下延迟时^[8].然而,在亚阈值情况下,晶体管电流与阈值电压成指数关系,阈值电压变化(受工艺偏差及温度变化的影响)可以引起很大的电流变化,从而导致尺寸比(β)产生很大的偏移.

图 3 为不同电压下具有相同驱动能力的 NMOS 管和 PMOS 管尺寸比(β).从图 3 中可以看出,在 TT 工艺角下,电压从 1.2 V 降到 0.2 V 的时候,尺寸比(β)从 ~ 3 增大到 ~ 12 ,这意味着即使不考虑工艺角的影响,在亚阈值的状态下,PMOS 管的驱动能力要明显低于 NMOS 管的驱动能力.然而最坏情况发生在 FNSP 工艺角下,从图 3 中可以看出,在高电压范围内这一比值几乎不受工艺偏差的影响,而 0.2 V 时尺寸比(β)增大到 ~ 93 .这样不仅会造成很大的面积开销,而且会引起功耗变大.同时大尺寸的管子会导致大的漏电,影响电路功能的正确性^[6].所以,在亚阈值状态下,尺寸比(β)对于匹配 NMOS 管和 PMOS 管的驱动能力,调节反相器的上拉和下延迟时的作用相当有限.

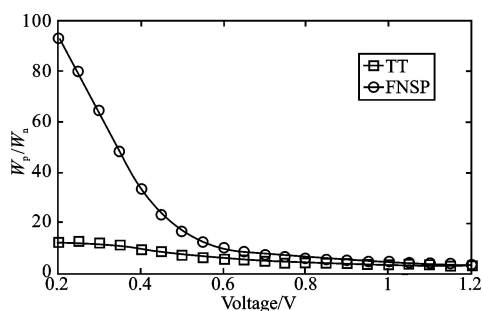


图 3 不同电压下具有相同驱动能力的 NMOS 管和 PMOS 管尺寸比

考虑到尺寸调节在延时单元设计中的局限性,本文对传统脉冲生成电路的结构及尺寸进行了修改.图 4 为本文采用的亚阈值脉冲生成电路原理图,设计中采用了三输入与非门代替反相器作为电路的延时单元.与非门的三个输入端都接在一起,形成一个准反相器.采用三输入与非门作为亚阈值设计中的延时单元有三个好处:一是单元中的三个 NMOS 管串联,在 NMOS 管驱动能力很强的情况下,可以通过串联来降低下拉路径的有效驱动能力,增大该路径的延时;二是在串联的下拉路径中, NMOS 管源端到衬底的电位上升,这会抬高晶体管的阈值电压,进一步抑制下拉路径的有效驱动能力;三是单元中的三个 PMOS 管并联,可以提高上拉路径的有效驱动能力,缩小上拉和下拉的延时差.同时本文设计中结合了反短沟效应 RSCE^[9] 和反窄沟效应

RNCE^[10],适当地增大了三输入与非门中 PMOS 管的沟道长度,增大其驱动电流.同时,适当地增大 NMOS 管的沟道宽度,减小其驱动电流.考虑到工艺偏差造成的阈值电压随机分布的方差与 $(WL)^{-\frac{1}{2}}$ 成正比^[11],而延时链中的第三级反相器尺寸比较大,其性能受工艺偏差的影响较小,所以只对第一级和第二级反相器进行修改.

为了验证三输入与非门构成的准反相器在工艺偏差的影响下,匹配上延迟时和下延迟时的效果,本文在 0.3 V 工作电压下,分别对传统反相器及准反相器在驱动其本身时的上延迟时和下延迟时进行了蒙特卡罗仿真.图 5 中(a)为传统反相器的上延迟时和下延迟时比分布图,(b)为准反相器的上延迟时和下延迟时比分布图.结果显示,传统反相器在亚阈值状态下该比值的平均值为 6.02,方差为 5.18,而准反相器该比值的平均值为 1.16,方差为 0.88.这说明准反相器相比于传统反相器而言,可以更好的匹配上延迟时和下延迟时,而且具有更好地抵抗工艺偏差的能力.

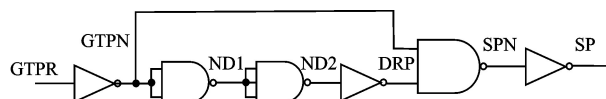
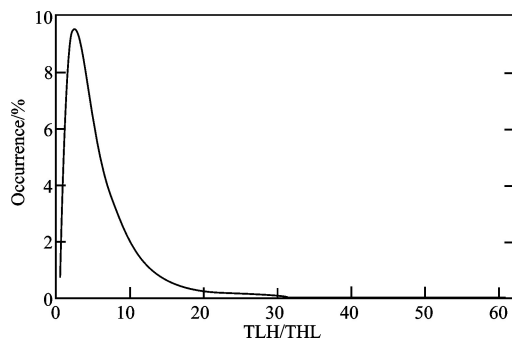
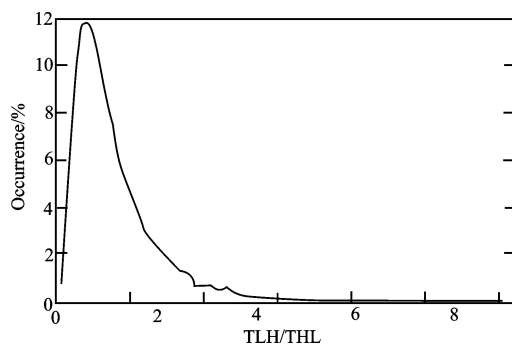


图 4 亚阈值脉冲生成电路



(a) 传统反相器



(b) 准反相器

图 5 反相器上延迟时和下延迟时比

4.2 版图设计及后仿真结果

图6为亚阈值脉冲生成电路的版图设计.图7为25℃,0.3V工作电压下该电路的后仿真结果,其中(a)为SNFP工艺角下的仿真结果,(b)为FNFP工艺角下的仿真结果.从图7(a)可以看出,在SNFP工艺角下,由于设计中减弱了由NMOS管构成的下拉路径的驱动能力,导致ND1下拉延时变长,ND2的上拉被推后,从而使DRP有足够的维持高电平的时间,SPN能形成有效地脉冲信号.图7(b)所示为在FNFP工艺角下,虽然ND1的下拉延时很短,但是由于该工艺角下PMOS管的驱动能力很弱,所以ND2的上拉延时很长,这同样使得DRP有足够的维持高电平的时间,SPN能形成有效地脉冲信号.

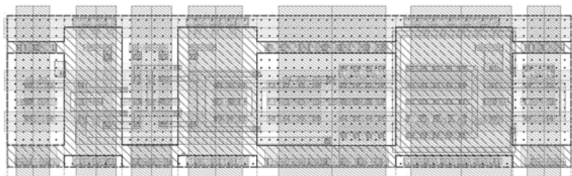
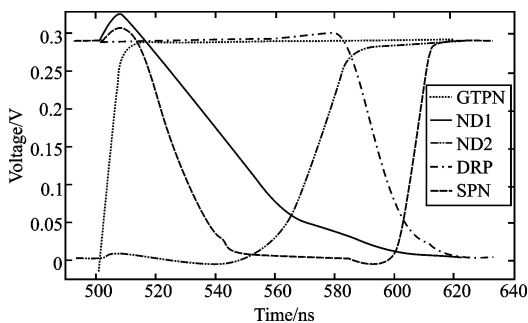
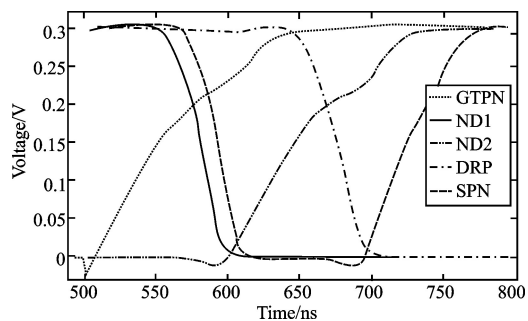


图6 亚阈值脉冲生成电路版图设计



(a)25℃/SNFP工艺角

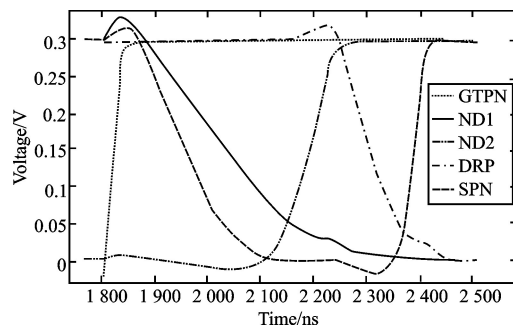


(b)25℃/FNFP工艺角

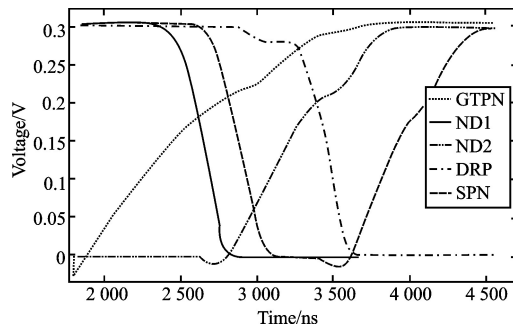
图7 25℃/SNFP与25℃/FNFP工艺角

温度是另一个影响阈值电压的因数,阈值电压随着温度的降低而升高.在亚阈值状态下,阈值电压对晶体管电流的影响比迁移率更显著.当温度降低时,阈值电压升高,晶体管驱动能力变弱,性能变差.图8为-40℃,0.3V工作电压下该电路的后仿真

结果,其中(a)为SNFP工艺角下的仿真结果,(b)为FNFP工艺角下的仿真结果.从图8(a)和图8(b)可以看出,本文所采用的结构在-40℃低温下也可以形成稳定可靠的脉冲信号,只是各信号的翻转延时相比于25℃状态下明显变长,脉冲信号的脉宽变宽.



(a)-40℃/SNFP工艺角



(b)-40℃/FNFP工艺角

图8 -40℃/SNFP、-40℃/FNFP工艺角

5 结束语

本文在SMIC 130nm工艺下,通过分析晶体管在亚阈值状态下的特性以及传统脉冲生成电路在亚阈值状态下遇到的问题,对电路的结构及尺寸进行了修改.采用三输入与非门作为延时单元,其上拉延时和下拉延时比的平均值为1.16,方差为0.88,具有较好的改善,提高了延时路径的稳定性.后仿真结果显示新结构脉冲生成电路功能不受工艺偏差和温度变化的影响,在0.3V工作电压,不同工艺角以及-40~125℃温度范围内都能生成稳定可靠的脉冲信号.

参考文献:

- [1] B Calhoun, A P Chandrakasan, Characterizing and modeling minimum energy operation for subthreshold circuits[C]// Proc Int Symp Low Power Electron Design. USA:IEEE, 2004:90-95.

(下转第125页)



时间	设备名称	设备类型	操作日志	子类型	全部
2013-03-20 00:00:00	2013-03-20 00:00:00	2013-03-20 23:59:59			
1783	6/4/2013 8:22:00	用户登录成功	admin	大华网络	摄像头
1782	7/4/2013 10:00:15	视频停止成功	admin	大华网络	摄像头
1781	7/4/2013 10:00:12	视频停止成功	admin	大华网络	摄像头
1780	7/4/2013 10:00:09	视频停止成功	admin	大华网络	摄像头
1779	7/4/2013 10:00:06	视频停止成功	admin	大华网络	摄像头
1778	7/4/2013 10:00:02	视频停止成功	admin	大华网络	摄像头
1777	7/4/2013 10:00:00	用户登录成功	admin	大华网络	摄像头
1771	7/4/2013 8:20:14	用户登录成功	admin	大华网络	摄像头
1770	2/4/2013 10:10:30	设备大故障, 摄像头配置失败	admin	大华网络	摄像头
1769	2/4/2013 10:10:30	设备大故障, 摄像头配置失败	admin	大华网络	摄像头
1768	1/4/2013 10:10:30	设备大故障, 摄像头配置失败	admin	大华网络	摄像头
1767	1/4/2013 10:10:30	设备大故障, 摄像头配置失败	admin	大华网络	摄像头
1766	1/4/2013 10:10:30	设备大故障, 摄像头配置失败	admin	大华网络	摄像头
1765	1/4/2013 10:10:30	设备大故障, 摄像头配置失败	admin	大华网络	摄像头
1764	1/4/2013 10:10:30	设备大故障, 摄像头配置失败	admin	大华网络	摄像头
1763	1/4/2013 10:10:30	设备大故障, 摄像头配置失败	admin	大华网络	摄像头
1762	1/4/2013 10:10:30	设备大故障, 摄像头配置失败	admin	大华网络	摄像头
1761	1/4/2013 10:10:30	设备大故障, 摄像头配置失败	admin	大华网络	摄像头
1760	1/4/2013 10:10:30	设备大故障, 摄像头配置失败	admin	大华网络	摄像头
1759	1/4/2013 10:10:30	设备大故障, 摄像头配置失败	admin	大华网络	摄像头
1758	1/4/2013 10:10:30	设备大故障, 摄像头配置失败	admin	大华网络	摄像头
1757	1/4/2013 10:10:30	设备大故障, 摄像头配置失败	admin	大华网络	摄像头
1756	30/3/2013 10:11:22	设备大故障, 摄像头配置失败	admin	大华网络	摄像头
1755	30/3/2013 10:11:00	设备大故障, 摄像头配置失败	admin	大华网络	摄像头
1754	30/3/2013 10:10:15	设备大故障, 摄像头配置失败	admin	大华网络	摄像头
1753	30/3/2013 10:10:15	设备大故障, 摄像头配置失败	admin	大华网络	摄像头
1752	30/3/2013 10:10:15	设备大故障, 摄像头配置失败	admin	大华网络	摄像头
1751	30/3/2013 10:10:14	设备大故障, 摄像头配置失败	admin	大华网络	摄像头

图6 日志查询

5 结束语

本文设计了一种基于云的安防监控系统云存储服务器,从该服务器所涉及的相关技术开始、分别对系统总体架构、客户端权限模块、文件存储和视频回放等方面入手设计、实现了安防监控系统录像回放模块、日志查询模块等与云存储服务器相关的功能,解决了海量数据存储的问题。本设计对云计算在安防监控系统上的应用和发展具有一定的引导作用,由于目前在安防监控系统中要全面实现云计算面对着很大的困难,因此我们仍然

需要继续进行研究。

参考文献:

- [1] 王俊修. 基于云计算架构的视频监控系统应用研究[J]. 中国安防, 2011, 8(5): 93-96.
- [2] D A Rodriguez-Silva, L Adkinson-Orellana, F J González-Castaño, et al. Video surveillance based on cloud storage[J]. IEEE Computer Society, 2012, 15(4): 991-992.
- [3] 周可, 王桦, 李春花. 云存储技术及其应用[J]. 中兴通讯技术, 2010, 16(4): 24-27.
- [4] 吴永发, 曾碧. 一种面向移动终端的云存储方法研究[J]. 微电子学与计算机, 2013, 30(6): 48-51.
- [5] 李飞. 视频监控系统中远端视频回放技术的研究[D]. 成都: 电子科技大学, 2004.

作者简介:

文武 男, (1970-), 博士. 研究方向为通信新技术应用研究.
刘敏 女, (1989-), 硕士研究生. 研究方向为通信新技术应用研究.
谭沅军 男, (1989-), 硕士研究生. 研究方向为通信新技术应用研究.
何鹏 男, (1990-), 硕士研究生. 研究方向为通信新技术应用研究.

(上接第121页)

- [2] M Seok, S Hanson, Y-S Lin, et al. The phoenix processor: A 30 pW platform for sensor applications in Symp[C]// VLSI Circuits Dig Tech Papers. Hawaii: IEEE, 2008: 188 - 189.
- [3] B Zhai, L Nazhandali, J Olson, et al. A 2.60pJ/- Inst Subthreshold Sensor Processor for Optimal Energy Efficiency[C]// IEEE VLSI Technology and Circuits. Hawaii: IEEE, 2006: 154-155.
- [4] B H Calhoun, A Chandrakasan. A 256-kb 65-nm Subthreshold SRAM Design for Ultra-Low-Voltage Operation[J]. IEEE Journal of Solide-State Circuit, 2007, 42(3): 680-688.
- [5] B Zhai, S Hanson, D Blaauw, et al. A Variation-Tolerant Sub-200 mV 6-T Subthreshold SRAM[J]. IEEE Journal of Solide-State Circuit, 2008, 43(1): 2338-2348.
- [6] A Wang, B H Calhoun, A P Chandrakasan. Subthreshold Design for Ultra Low-Power Syatems[M]. New York: Springer, 2006.
- [7] K Roy, S Mukhopadhyay, H Mahmoodi-Me- mand. Leakage Current Mechanisms and Leakage Reduction

Techniques in Deep-Submicrometer CMOS Circuits [J]. Proceedings of the IEEE, 2003, 9(12): 305-327.

- [8] J M Rabaey, A P Chandrakasan, B Nikolic. Digital integrated Circuits: a design perspective[M]. 2nd ed. New Jersey: Prentice-Hall, 2003.
- [9] T Kim, J Keane, H Eom, et al. Utilizing reverse short-Channel effect for optimal subthreshold circuit design[J]. IEEE Trans Very Large Scale Integr. (VLSI) Syst, 2007, 15(7): 821-829.
- [10] S Matsuda, T Sato, H Yoshimura, et al. Novel corner rounding process for shallow trench isolation utilizing MSTs[C]// IEDM Tech Dig. USA: IEEE, 1998: 137-140.
- [11] A Pelgrom, M Duinmaijer, A Welbers. Matching Properties of MOS Transistors[J]. IEEE Journal of Solid-State Circuits, 1989, 24(5): 1433-1440.

作者简介:

张苏敏 男, (1988-), 硕士研究生. 研究方向为亚阈值低功耗关键技术研究.