

高稳定性灵敏放大器的电路设计

李 鑫, 钟汇才

(中国科学院 微电子研究所, 北京 100029)

摘 要: 随着半导体工艺节点进入微纳尺度, 微弱的位线电流和较大的器件参数偏差成为制约读取电路速度和良率的主要因素, 由此提出了基于电流采样技术的灵敏放大器, 能够在器件参数失配较为严重、位线电流很小的场合下快速稳定的工作. 在 Silterra 0.13 μm C13G CMOS 工艺下, 采用 Spectre 工具对电路进行仿真, 结果表明: 在电源电压为 0.8 V、位线电流和参考电流分别为 150 nA 和 100 nA 时, 读取过程能够在 4 ns 内完成, 电路可以用于低电压、低功耗存储器的数据读出.

关键词: 参数失配; 锁存; 电流采样; 灵敏放大器

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2014)11-0148-04

Circuit Design of Sense Amplifier with High Robustness

LI Xin, ZHONG Hui-cai

(Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: As the device dimension scales into the nanometer era, the read-out circuits suffer from slow read speed or low yield for the reduced bit-line current and device mismatches. The proposed CMOS Current-Sampling-Based SA can overcome the effect of the device mismatches and operate correctly at a desired speed even if the bit-line current is very weak. The circuit is realized in Silterra 0.13 μm C13G CMOS technology and simulation results show that the random read-out can be finished in 4 ns when the supply voltage is 0.8 V with the cell current and reference current are 150 nA and 100 nA, respectively.

Key words: device mismatch; latch; current-sampling; SA

1 引言

随着工艺节点的进步, 不断缩小的器件尺寸和不断增大的工艺偏差对存储系统读取电路的设计提出诸多挑战.

纳米尺寸存储单元所对应的微弱位线电流使得读出电路对位线电平的失配和噪声十分敏感; 同时, 位线寄生电容的放电时间因位线电流的减小而出现显著的增加.

在纳米器件制造过程中, 光刻以及随机掺杂波动等均会引起较大的工艺偏差^[1]. 工艺偏差导致相同器件之间出现参数失配, 严重制约着读取电路的性能和良率. 随机掺杂波动所导致的 MOS 管阈值电压失配不但会使读出电路的读取速度变慢, 甚至

会影响到电路的正确工作. 因此, 设计快速、高稳定性的读出电路有着重要意义^[2].

2 传统读出电路的局限性

鉴于锁存中正反馈的高效性, 基于锁存结构的灵敏放大器 (Sense Amplifier, SA) 被广泛应用到各种存储设备的读出电路中. 典型的电压敏感型 SA 如图 1 所示^[3].

图中 M1-M4 构成锁存电路, M5 和 M6 为感知位线压差的差分对管. 电路的工作分为预充电和估值两个阶段. 在预充电阶段, M7~M10 导通, 位线 BL、DBL 以及输出节点 O1、O2 被预充电至 VDD. 在此后的估值阶段, M7~M10 关断, M11 开启, 预充电结束后的位线 BL 和 DBL 分别以 I_{CELL} 和 I_{REF} 进

$$I_{SA1} = I_{CELL} - \Delta I_{M1} - \Delta I_{M3} \quad (3)$$

以及

$$I_{SA2} = I_{REF} - \Delta I_{M2} - \Delta I_{M4} \quad (4)$$

式中, $\Delta I_{M1} \sim \Delta I_{M4}$ 为反馈-求值时流过 M1 ~ M4 的电流与采样期间各自的采样电流之差。

采样期间, 如果 M1 ~ M4 静态工作点所对应的过驱动电压分别以 $V_{on1} \sim V_{on4}$ 表示, 对于 M1 可知:

$$\Delta I_{M1} = -\frac{1}{2} \beta_p (\Delta V_{SA2} + V_{on1})^2 + \frac{1}{2} \beta_p V_{on1}^2.$$

将上式展开, 并且忽略 ΔV_{SA2} 的平方项, 可得

$$\Delta I_{M1} = \beta_p \Delta V_{SA2} V_{on1}.$$

分别对 $\Delta I_{M2} \sim \Delta I_{M4}$ 作如上处理, 并代入到节点电流方程(3)和(4)中, 可得

$$I_{SA1} = I_{CELL} + \Delta V_{SA2} (\beta_p V_{on1} - \beta_n V_{on3}) \quad (5)$$

以及

$$I_{SA2} = I_{REF} + \Delta V_{SA1} (\beta_p V_{on2} - \beta_n V_{on4}) \quad (6)$$

将式(5)和式(6)括号中的项用电流表示, 则两式可以写为

$$I_{SA1} = I_{CELL} + 2 \Delta V_{SA2} \left(\frac{I_{M1}}{V_{on1}} - \frac{I_{M3}}{V_{on3}} \right) \quad (7)$$

以及

$$I_{SA2} = I_{REF} + 2 \Delta V_{SA1} \left(\frac{I_{M2}}{V_{on2}} - \frac{I_{M4}}{V_{on4}} \right) \quad (8)$$

如果在 I_{SA2} 变为 0 之前(已假设 $I_{CELL} > I_{REF}$), $I_{SA1} - I_{SA2} > 0$ 总是成立, 那么电路必然能够正确工作. 求解 I_{SA1} 和 I_{SA2} 的差值, 由于 I_{M3} 和 I_{M4} 相差很小, 为简化推导过程, 重点考虑 I_{M1} 和 I_{M2} 对电流差值的影响, 令式(7)与式(8)相减, 可得

$$\Delta I_{SA} = \Delta I + 2 \left[\Delta V_{SA2} \frac{I_{M1}}{V_{on1}} - \Delta V_{SA1} \frac{I_{M2}}{V_{on2}} \right] \quad (9)$$

其中 $\Delta I = I_{CELL} - I_{REF}$.

对于 $\Delta V_{SA1} > \Delta V_{SA2}$, 有

$$\Delta I_{SA} \geq \Delta I + 2 \Delta V_{SA1} \left(\frac{I_{M1}}{V_{on1}} - \frac{I_{M2}}{V_{on2}} \right) \quad (10)$$

令 $V_{eff} = \min(|V_{on1}|, |V_{on2}|)$, 则上式化为

$$\Delta I_{SA} \geq \Delta I - 2 \Delta V_{SA1} \frac{I_{M1} - I_{M2}}{V_{eff}} \quad (11)$$

考虑到 $I_{M1} - I_{M2} \approx \Delta I$, 只要在 I_{SA2} 变为 0 之前 $\Delta V_{SA1} / V_{eff} < 1$ 即可. 在可以预见的 PMOS 阈值电压失配下, 上述条件可以比较容易的满足, 从而决定电路具有很高的稳定性.

3.4 仿真结果分析

在 CMOS 电流采样-反馈 SA 中, 选择 M1 ~ M4 的尺寸, 使 M3、M4 的采样电流在 500 nA 左右; 流过所读取存储单元的位线电流 I_{CELL} 和 I_{REF} 分别为

150 nA 和 100 nA. 结合 Silterra 0.13 μm C13G 标准 CMOS 工艺的器件参数模型, 采用 Cadence Spectre 仿真软件对所设计的 CMOS 电流采样-反馈 SA 进行性能仿真, 仿真结果如图 3 至图 5 所示.

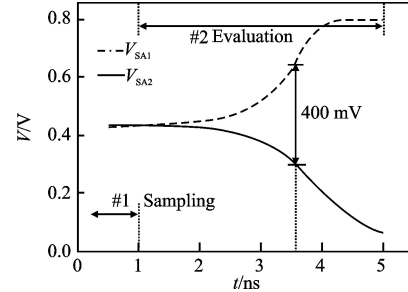


图 3 SA 输出电压曲线

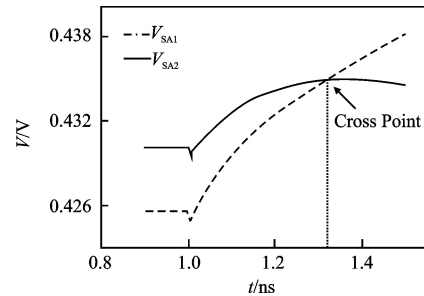


图 4 采样结束输出电压曲线的局部放大

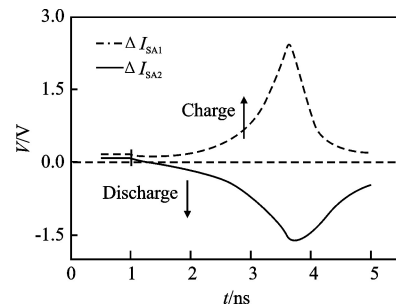


图 5 输出节点的电流变化曲线

图 3 所示为输出节点的电压仿真结果, 从中可知: 当电路器件参数完全匹配时, 电流采样阶段 M1 和 M2 不同的采样电流导致输出节点之间出现电位差, 采样电流较大的输出节点电位略低.

图 4 所示为电路进入反馈-求值阶段输出节点电压的局部放大, 从中可知: 在进入反馈-求值阶段略大于 0.3 ns 处, 输出节点电位即出现交叉, 采样电流较大的输出节点电位超过采样电流较小的输出节点电位. 输出节点的电位差值在求值阶段约 2.6 ns 处达到电路工作电压的一半 (400 mV), 在 4 ns 处有接近最大摆幅的输出. 对于有缓冲输出的电路, 读出过程最迟在求值阶段 3 ns 处即可有正确的

输出。

图5所示为流入输出节点的电流随时间的变化曲线。从图中可以看出,电流采样结束瞬间输出节点均处于充电状态。充电引起输出节点电位升高并通过电容 C_{f1} 和 C_{f2} 的交叉耦合作用反馈到M1~M4栅极。经过较短的时间,SA1的充电电流开始增大,同时节点SA2进入放电状态。最终,节点SA1被充电至VDD,而初始状态中位线电流较小的节点SA2放电至低电平。

3.5 器件参数失配对电路的影响

在CMOS电流采样-反馈SA中,器件的参数失配主要是指采样MOS管之间以及反馈电容之间的失配。

采样MOS对由二极管连接的M1~M4组成,采样的本质是确定将位线电流考虑在内时电路的静态工作点。因此,可以合理的预测:M1~M2以及M3~M4之间的参数失配不会影响电路最终的输出结果。采用Monte Carlo模拟方法对电路进行仿真,仿真过程共采样300个样点,以检验电路在考虑不同工艺角以及器件参数失配时的性能表现,最坏的仿真结果如图6所示。与该仿真结果相对应的M1~M2、M3~M4之间的阈值电压失配分别为40 mV和10 mV。和图3对比可知,在较坏的情形下,M1~M4之间的参数失配会增大电路采样阶段节点SA1和SA2之间的电位差,导致输出节点电压的交叉延迟到来,但输出达到稳定所需要的时间并未显著增加,没有影响到电路的最终输出。

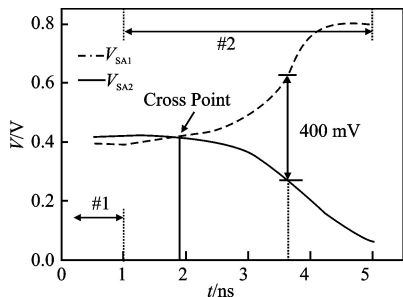


图6 Monte Carlo模拟下SA输出电压曲线

采样-反馈电容的失配不会影响稳定状态电流的采样。但是,在反馈-求值阶段,电流 I_{CELL} 和 I_{REF} 分别充电SA1、SA2节点电容,电容的失配会影响节点电位的变化速率。从仿真结果可以确定,当节点电容的数量级远小于充电电流的数量级时,电容的失

配只会影响输出电压达到稳定所需要的时间,不会导致电路读出错误。

3.6 和传统SA的对比

和传统的SA相比较,CMOS电流采样-反馈SA由于不涉及位线寄生电容的匹配与放电,同时电路对器件参数的失配相当不敏感,在位线电流 $< 1 \mu\text{A}$ 时,表现出高度的稳定性和较快的读取速度。

4 结束语

文中对CMOS电流采样-反馈SA的工作原理进行了分析,采用Cadence Spectre对电路进行仿真,仿真结果表明电路可以在位线电流较小、器件参数失配较为严重的场合下快速稳定的工作。与传统SA相比,CMOS电流采样-反馈SA在功耗和稳定性方面均表现出相当的优势。

参考文献:

- [1] J Yeung, H Mahmood. Robust sense amplifier design under random dopant fluctuations in nano-scale CMOS technologies [C] // IEEE International SOC Conference. [s. l.]:IEEE,2006:261-264.
- [2] 郑曰,李斌,黄裕泉. 一种快速、低压的电流灵敏放大器的设计[J],微电子学与计算机,2006,23(6):130-137.
- [3] B Wicht, T Nirschl, D Schmitt-Landsiedel. Yield and speed optimization of a latch-type voltage sense amplifier [J]. IEEE J Solid-State Circuits, 2004, 39(7): 1148-1158.
- [4] A Choudhary, S Kundu. A process variation tolerant self-compensating sense amplifier design [J]. IEEE Computer Society Annual Symposium on VLSI, 2009(7):263-267.
- [5] Blalock T N, Jaeger R C. A high-speed clamped bit-line current-mode sense amplifier [J]. IEEE J. Solid-State Circuits, 1991,26(4):542-548.
- [6] M Chang, S Shen, C Liu, et al. An offset-tolerant fast-random-read current-sampling-based sense amplifier for small-cell-current nonvolatile memory [J]. IEEE J Solid-State Circuits, 2013,48(3):864-878.

作者简介:

李鑫男,(1988-),硕士研究生.研究方向为存储器的外围电路设计。