

SRAM 型 FPGA 的 SEU 故障注入系统设计

邓先坤, 肖立伊, 李家强

(哈尔滨工业大学 微电子中心, 黑龙江 哈尔滨 150001)

摘 要: 在研究 SRAM 型 FPGA 配置存储器物理结构及配置结构的基础上, 发现对 FPGA 配置文件中的帧数据进行 0/1 翻转可以实现配置存储器的人为翻转, 从而来仿真 FPGA 的 SEU 效应. 基于部分重构技术设计了一种针对 SRAM 型 FPGA 的 SEU 故障注入系统, 通过 ICAP 来实现部分重构, 不需要额外的硬件开销. 故障注入系统在 XUP XC2VP30 开发板上实现, 通过对三个 FPGA 典型设计进行 SEU 敏感性分析, 验证了所设计系统的有效性, 并验证了三模冗余的加固效果.

关键词: FPGA; SEU; 故障注入; 部分重构; ICAP

中图分类号: 302.8

文献标识码: A

文章编号: 1000-7180(2014)03-0134-04

SEU Fault Injection System Design of SRAM-Based FPGA

DENG Xian-kun, XIAO Li-yi, LI Jia-qiang

(Microelectronics Center, Harbin Institute of Technology, Harbin 150001, China)

Abstract: Based on the research of configuration memory and configuration structure of SRAM-based FPGAs, find that if the frame data in FPGA configuration file is 0/1 inverted, the configuration memory will be artificially flipped correspondingly. So single event upset (SEU) effect of FPGA can be simulated. Based on partial reconfiguration technology, propose a fault injection system to evaluate SEU in SRAM-based FPGA. Partial reconfiguration is realized by ICAP, without additional hardware. The fault injection system is implemented on XUP XC2VP30 board. By the analyze of the sensitivity of SEU of three typical FPGA design, verify the effectiveness of the system and the hardening effect of three modular redundancy.

Key words: FPGA; SEU; fault injection; partial reconfiguration; ICAP

1 引言

随着当今电子工业的飞速发展, 现场可编程门阵列(Field Programmable Gate Array, FPGA)由于低成本、高灵活性以及动态可重构特性^[1]等优势在数字电子系统中得到广泛的应用. 传统的反熔丝 FPGA 只能编程一次, 且成本高, 而 SRAM 型 FPGA 则可以重复编程, 且成本低, 开发周期短, 逐渐在空间领域中受到重视. 然而, 由于其结构特性, SRAM 型 FPGA 对单粒子效应^[2] (Single Event Effect, SEE)有着天生的敏感性, 并且随着 FPGA 芯片工艺的不断提高, 空间环境下 SRAM 型 FPGA

受单粒子效应的影响越来越大, 严重制约了 SRAM 型 FPGA 的空间应用. 因此, 如何评估 SRAM 型 FPGA 的可靠性成为 SRAM 型 FPGA 空间应用的关键.

传统的辐射测试可以模拟辐射环境来获得比较真实的可靠性数据, 但测试设备昂贵, 对测试芯片有损害, 且实验周期一般较长^[3]. 而故障注入^[4-5]因为测试时间短、成本低、测试方便等优点在研究 SRAM 型 FPGA 单粒子效应时受到研究人员的青睐. 本文利用故障注入来研究 SRAM 型 FPGA 的单粒子翻转(Single Event Upset, SEU)特性, 基于部分重构技术设计了一个故障注入系统.

2 故障注入系统

2.1 配置存储器

本文研究的是 Xilinx 公司的 Virtex™ 系列 FPGA. 该系列 FPGA 主要由可编程逻辑块 (CLB)、输入输出块 (IOB)、块存储器 (BRAM)、连线资源等组成.

如图 1^[6]所示,为 FPGA 中 CLB 的简化以及一些相连的布线资源. 图中主要显示 FPGA 中的主要存储器. 配置存储单元是 FPGA 中的最基本可编程单元,对 FPGA 内部各种基本单元的配置及电路的拓扑结构进行控制. CLB 中的查找表 (LUT) 是实现用户组合逻辑电路的主要资源;CLB 中用户 D 触发器 (FF) 主要用于用户的时序逻辑设计及保存系统逻辑状态. BRAM 可以向用户设计提供充足的片内存储资源. 所有这些资源中的存储单元或寄存器都是由配置存储器单元控制,基于 CMOS 工艺实现,容易受到 SEU 影响.

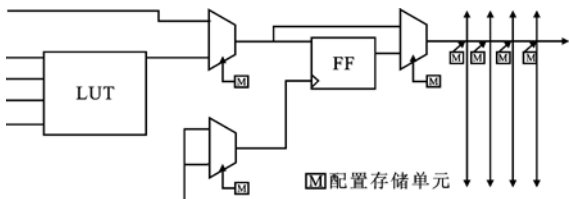


图 1 FPGA 中存储器结构示意图

2.2 配置结构

通常称下载到 FPGA 中的比特流文件为配置文件,配置文件主要包括配置命令和配置数据. 配置存储器是以一个矩形存储阵列形式存在,由单个 SRAM 单元构成. 将一位宽的贯穿 FPGA 顶部到底部的一系列数据称为帧 (Frame). 帧是配置文件中配置数据的最小粒度,同时也是 FPGA 配置存储器进行读写的最小单位. 以 Virtex-II Pro 系列 FPGA 为例,对配置结构进行解析. 如表 1^[7]所示,各个 FPGA 器件的帧数及配置存储器位数都依赖于 FPGA 器件尺寸,以 XC2VP7、XC2VP30、XC2VP70 为例.

表 1 Virtex-II Pro 器件帧数、帧长度、配置位数

器件	帧数	帧长度/字	配置位数	默认配置位数
XC2VP7	1 320	106	4 477 440	4 485 408
XC2VP30	1 756	206	11 575 552	11 589 920
XC2VP70	3 064	266	26 080 868	26 098 976

配置位数等于帧数乘以帧长度/字乘以 32,可以看出配置位数占默认配置位数的 90% 以上. 由于配置存储器占整个 FPGA 中 SEU 敏感单元的绝大

部分,因此,对于 SRAM 型 FPGA 的 SEU 故障注入测试而言,只需要对配置存储器进行位翻转注入就能够保证注入覆盖度和深度.

2.3 故障注入系统总体概述

正文本文设计的故障注入系统是基于 EDK 来实现的,总体方案分为硬件开发、软件开发以及故障列表生成三个部分,如图 2 所示.

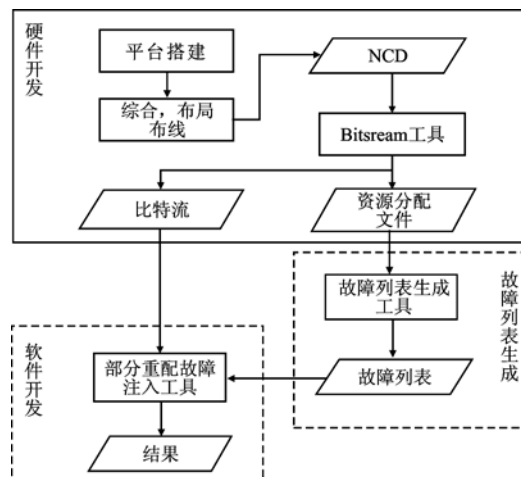


图 2 故障注入系统总体框图

硬件开发部分是 FPGA 的正常设计流程,将测试电路定制成 IP 核,搭建硬件平台,经综合、布局布线,再经比特流工具 BitGen 生成比特流文件和资源分配文件,其中比特流文件指的是硬件比特流文件,用于载入 FPGA 配置存储器,资源分配文件则包含 FPGA 中所有使用的资源情况.

故障列表生成部分以资源分配文件作为输入信息,分析资源分配文件中测试电路 IP 所使用的资源,提取出相关信息,如资源类型、帧地址、对应配置位等,提取出的信息存放在一个可读取的文本文件中.

软件开发部分来实现故障注入功能. 故障注入工具基于部分重构技术来实现,从故障列表信息中,分析要修改的配置位,读取所在的帧数据,并进行 0/1 翻转,然后将修改后的帧数据重配置到 FPGA 中,经过测试,比较黄金运行结果与故障注入后的测试结果,统计故障发生率.

2.4 故障注入系统的硬件实现

故障注入系统的硬件完全在 FPGA 芯片上实现,如图 3 所示的四个组件,它们都通过 FPGA 总线进行互连.

四个组件的功能分别如下:

(1)PowerPC 处理器,在 Virtex-II Pro 开发板中,有两个以硬核形式存在的 PowerPC 处理器.

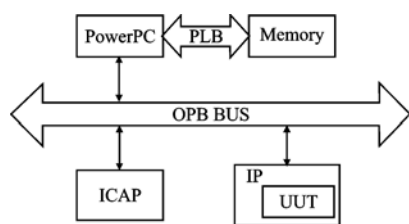


图 3 故障注入系统的硬件实现

首先,用 PowerPC 控制部分重构故障注入工具,把 SEU 故障注入到配置存储器中.其次,它通过串行通信接口把故障注入的结果传递给计算机.

(2)存储器,外部存储器通过 PLB 总线与微处理器相连,是因为 PLB 总线的速度更快,更利于 PowerPC 处理器处理数据.存储器主要用来存储待测单元的测试向量、黄金运行结果以及故障注入结果.

(3)待测单元(UUT)IP,选取测试电路,给定可综合 HDL 文件,利用 EDK 中的 Create or Import Peripheral 向导生成对应的 IP 模板,并作一些必要的修改得到适用于整个故障注入系统的 IP 核.

(4)ICAP,ICAP 的全称是 Internal Configuration Access Port,它是 Xilinx FPGA 提供的内部端口,允许用户设计控制配置和回读操作.为了达到故障注入的目的,配置 ICAP 以后,与待测单元 IP 相关的配置存储器帧都是可存取的,且不用添加额外的硬件,节省设计成本.

2.5 故障注入系统的软件实现

2.5.1 故障列表的生成

故障列表是由故障列表生成工具实现的,大致过程如下:从资源分配文件中识别 UUT IP 核所占的资源,分析 UUT IP 核资源如何分配,分析哪些资源可以用来做故障注入,并分析这些资源对应的帧地址,确定资源对应的比特位位置.故障列表生成工具是用 Perl 脚本实现的.

2.5.2 故障注入算法

本文设计的故障注入系统是基于部分重构技术实现的.具体的故障注入算法如图 4 所示.算法包含三个阶段:预运行(Pre-running),执行(Execution)和传输结果(Communicate Results).

预运行阶段主要由函数 Golden_Run_UUT() 执行 UUT 的黄金运行.黄金运行指的是在没有故障注入情况下,测试电路正常运行的过程,在黄金运行的最后,运行产生的输出结果(GO)被存入到 PowerPC 外部存储器中.

执行阶段执行故障注入过程,选择具体的比特

```

/*Pre-running*/
{ GO }=Golden_Run_UUT()
/*Execution*/
for each fault NF
{
    reset_UUT()
    { FL } = select (FA)
    Frame = read_frame(FL)
    Inject(FL, Frame)
    { GC } = run_UUT()
    FCL = compare_UUT(GC, GO)
}
/*Communicate Results*/
communicate_host(FCL)
  
```

图 4 故障注入算法

位,使之翻转后再回写到相应地配置存储器中.执行阶段有以下步骤:

(1)复位 UUT,消除 Golden Run 可能造成的影响.

(2)故障列表中包含所有的能被注入故障的配置位,这些配置位放置在一起称为有效的故障注入区(FA).考虑有效的故障注入区(FA),从中选择一个配置位(FL).

(3)选取配置位(FL)后,要找到其所在的帧(Frame),因为帧是配置存储器读写的最小粒度.通过 ICAP 端口读取帧(Frame)数据,由函数 read_frame(FL)实现.

(4)读取帧(Frame)数据后,读取配置位(FL)数据,并将它翻转,然后将修改后的该帧数据通过 ICAP 端口回写到配置存储器中.这两个操作通过函数 Inject(FL, Frame)来实现.

(5)在故障注入后,通过与黄金运行相同的测试向量对 UUT 进行测试,得到结果 GC.

(6)函数 compare_UUT()把有故障情况下的结果 GC 与 UUT 黄金输出 GO 一一比对.如果 GC 与 GO 相同,认为注入的 SEU 没有产生错误;如果检测到不匹配,就认为注入的 SEU 产生了错误,并统计故障率.

传输结果阶段,是当故障注入过程结束后,PowerPC 把故障注入结果传输给计算机.

在三个阶段中,计算机和 PowerPC 之间的通信仅有故障注入结果的传输,而故障注入的执行与计算机没有关系,因此故障注入执行的速度不受与计算机的通信限制.

3 故障注入结果及分析

设计的故障注入系统是在开发板上实现,只需要三个模块:安装 Xilinx EDK 开发套件的计算机, Virtex-II Pro FPGA 开发板,连接 FPGA 开发板和计算机的 RS-232 电缆线.计算机主要用来生成配

置 Virtex-II Pro 开发板的比特流文件和实现故障列表的生成,故障注入的执行和故障注入结果的收集都在开发板上实现.

为了评估故障注入系统的性能,使用配置 Virtex-II Pro XCV2P30 器件的 FPGA 开发板对故障注入系统进行测试. 选用的电路有三个,分别为:8 位加法器、16 位加法器以及 8 位乘法器,并对三个电路的三模冗余电路进行了测试.

在故障注入过程中,记录故障注入次数,故障注入后出现错误结果的次数,计算故障发生率,所得结果如表 2 所示.

表 2 故障注入测试的结果

测试电路	故障注入次数	错误结果次数	故障发生率/%
Adder8	1 915	183	9.56
Adder8_TMR	2 388	43	1.80
Adder16	3 324	340	10.22
Adder16_TMR	4 507	82	1.82
Mul8	2 447	280	11.44
Mul8_TMR	3 247	58	1.79

分析故障注入结果,可以得到几个结论:同一类型电路所占用的配置存储器位随电路的复杂度而增加,相应的故障发生率随之提高;三模冗余可以大幅度降低故障发生率,但并不能将故障减少为零. 由此验证了故障注入系统的有效性.

4 结束语

本文设计一种故障注入系统,对 SRAM 型 FPGA 的配置存储器进行 SEU 敏感性分析,系统的故障注入部分基于 Xilinx FPGA 的 ICAP 实现,不需要额外的硬件;注入故障所需的所有操作都可在片上执行;只要 SRAM 型 FPGA 支持 ICAP,就可以利用该故障注入系统对其进行 SEU 敏感性分析. 通

过对三个 FPGA 典型设计作故障注入测试,验证了系统的有效性,并且可以利用此系统验证加固方法的抗辐射效果.

参考文献:

- [1] Banerjee P, Sangtani M, Sur-Kolay S. Floor-planning for partially reconfigurable FPGAs[J]. Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on, 2011, 30(1): 8-17.
- [2] George J S, Koga R, Zakrzewski M. Single event effects tests on the Actel RTAX2000S FPGA[C]//Proceedings of the Radiation Effects Data Workshop. Quebec, lity, QC: IEEE,2009:140-147.
- [3] O'Bryan M V, LaBel K A, Pellish J A, et al. Current single event effects compendium of candidate spacecraft electronics for NASA[C]//Proceedings of the Radiation Effects Data Workshop (REDW). Denver, CO: IEEE,2010:12-12.
- [4] 朱秋岩,王祖林,郭旭静. 一种 SRAM 型 FPGA 单粒子效应故障注入方法[J]. 电子质量, 2011(7): 23-25.
- [5] Portela-Garcia M, Lindoso A, Entrena L, et al. Using an FPGA-based fault injection technique to evaluate software robustness under SEEs: a case study[C]//Test Workshop (LATW),Proceeding of the 2011 12th Latin American. Proto de Galinhas:IEEE, 2011:1-6.
- [6] 费尔南达利马 卡斯腾斯密得,路易吉卡罗,里卡多赖斯. 基于 SRAM 的 FPGA 容错技术[M]. 杨孟飞,龚健,文亮,等译. 北京:中国宇航出版社,2009.
- [7] Xilinx. Virtex-II Pro and Virtex-II Pro X FPGA User Guide[R]. UG012. 2007.

作者简介:

邓先坤 男,(1989—),硕士研究生. 研究方向为集成电路抗辐射加固.