

一种基于中频回放的跟踪通道设计与实现

邹浩杰, 巴晓辉, 李 健, 陈 杰

(中国科学院 微电子研究所通信与多媒体 SoC 研究室, 北京 100029)

摘 要: 提出了一种基于中频回放的跟踪通道设计方案. 该方案采用两块单口 RAM, 对中频数据流进行乒乓操作, 同时采用可测试性设计 (Design For Test, DFT) 中扫描逻辑技术, 将跟踪通道的寄存器信息扫描存储至本地 SRAM, 以实现对卫星信号的连续跟踪, 达到跟踪通道时分复用的效果. 该方案以增加少量 SRAM 和提高跟踪通道工作时钟频率为代价, 大大减少了跟踪通道逻辑资源. 该方案在基于 ARM+FPGA 的硬件平台上验证通过, 并在 65 nm 的 CMOS 工艺下综合, 电路规模约含 23 万逻辑门, 相对于传统并行跟踪通道, 电路规模减少约 44%.

关键词: 中频回放; 跟踪通道; DFT; 时分复用

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2014)08-0144-04

Design and Implementation of an IF-Playback Based Tracking Channel

ZOU Hao-jie, BA Xiao-hui, LI Jian, CHEN Jie

(Department of Communication & Multimedia SoC, Institute of Microelectronics
of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: An Intermediate Frequency (IF) Playback based tracking channel design is presented in this paper. Two single-port RAMs are used for IF ping-pong processing. Meanwhile, the scan logic technique from DFT (Design For Test) is used for storing register information of tracking channels to local SRAM. The continuous tracking of satellite signals is achieved through the time division multiplex (TDM) of the tracking channels. The logic resources of tracking channels are reduced significantly at the expense of a small increase of SRAM and the working frequency of the tracking channel. The tracking channel design is implemented and verified on an ARM+FPGA hardware platform, and synthesized using 65 nm CMOS cell library. The scale of the circuit is about 230 000 logic gates, which is reduced about 44% compared to traditional tracking channel designs.

Key words: IF-Playback; tracking channel; DFT; TDM

1 引言

全球定位系统 (GPS) 具有在全球范围内提供全天候、高精度定位和精确授时的功能, 在各个领域得到了广泛应用. GPS 信号基带处理一般分为捕获和跟踪两个阶段. 跟踪是对捕获得到的载波多普勒和伪码相位粗略估计进行精细同步的过程, 从而获得载波相位的锁定和更高精度的码相位估计, 实现对导航电文数据的解调和更小误差的定位. 目前导航接收机跟踪单元大多采用相关器通道来实现对不同

卫星的跟踪. 文献[1]中给出一种可同时跟踪 12 颗不同卫星的跟踪通道设计结构, 文献[2]中提到为增加跟踪的鲁棒性, 扩展了跟踪通道支路数, 使得单个跟踪通道的规模和复杂度都有所增加.

随着中国的 BD2、俄罗斯的 GLONASS、欧盟的 Galileo 导航定位系统的发展和完善, 多模导航接收机将逐渐成为市场的主流, 而多模导航接收机需要同时跟踪的卫星个数将大大增加, 按照传统的并行跟踪通道设计, 芯片的规模会翻番, 芯片成本也随之大大增加. 文献[3]中提到了一种可配置的多系统兼

收稿日期: 2013-09-29; 修回日期: 2013-11-15

基金项目: 国家自然科学基金项目 (61376027, 61221004)

容导航跟踪通道设计,解决了多模导航接收机跟踪通道的兼容性问题,但是并没有从根本上解决同时跟踪多颗卫星时,如何降低跟踪通道数目的难题.本文借鉴可测试性设计(DFT)中扫描逻辑技术和时分复用(TDM)的思想,提出并设计一种基于数字中频信号回放的跟踪通道结构.该跟踪通道结构有如下特点:

- (1) 仅需较少的物理跟踪通道;
- (2) 当应用于多模导航接收机时,仅需要通过提升跟踪通道的工作频率和增加少量 SRAM 来扩展跟踪通道数目,实现更多卫星同时跟踪.
- (3) 该结构具有资源少、扩展性强的特点.

2 中频回放式跟踪通道整体架构设计

本文设计的基于数字中频回放的跟踪通道整体电路结构如图 1 所示,主要由 RAM1、RAM2 及其读写控制逻辑、跟踪通道、RAM3 及其 Controller、系统时序控制单元、读写 FIFO 等模块构成.

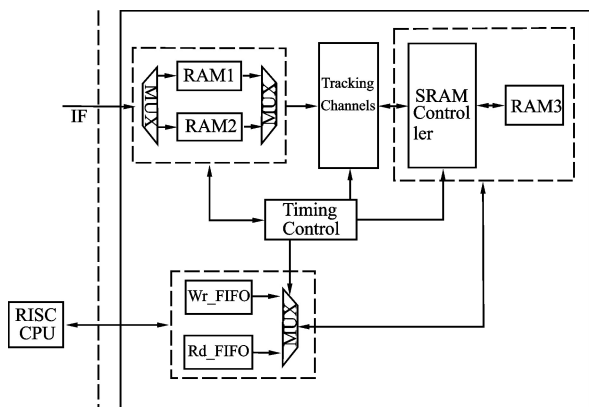


图 1 中频回放式跟踪通道整体架构设计

系统具体工作过程如下:ADC 采样输出的数字中频信号以采样率速度交替存储于 RAM1 和 RAM2 中,然后对这两块 RAM 实行乒乓操作,即当其中一块 RAM 存储满时,比如当 RAM1 存满,以高于采样率时钟的速度回放 RAM1 中的中频数据至跟踪通道,跟踪通道号记为 $CH_1 \sim CH_k$ (k 为物理跟踪通道个数);当 RAM1 中数据回放完后(RAM2 仍没有存满),将跟踪通道中的寄存器信息通过扫描链移入 RAM3 中,将 RAM3 中其他跟踪通道的信息移入当前跟踪通道中,再次回放 RAM1 中的数据至跟踪通道,实现通道 $CH_{k+1} \sim CH_{2k}$ 的跟踪处理.如此循环直至 RAM2 中数据存满,此时 RAM1 存储数据, RAM2 回放数据,跟踪通道号重新调整为 $CH_1 \sim CH_k$. RISC CPU 通过 Wt_FIFO 刷新 RAM3

中寄存器信息完成对跟踪通道的配置,通过 Rd_FIFO 搜集 RAM3 中相应信息, RISC CPU 在中断服务程序中完成对跟踪信息的进一步处理.

2.1 电路参数选择

ADC 中频信号采样速率为 16.367 MHz,乒乓 RAM 回放速率为 62.5 MHz. 电路结构中跟踪通道数目设定为 5 个,对单块乒乓 RAM 重复回放 3 遍,按照上文描述,则可实现 15 个等效跟踪通道.

两块乒乓 RAM 大小均为 2 kByte,可存储 0.5 ms 中频数据. RAM3 大小为 4 kByte,考虑到单个跟踪通道寄存器信息量为 200 Byte,15 个跟踪通道需 3 kByte, RAM3 规整选择为 4 kByte.

2.2 时序控制模块设计

中频回放式跟踪通道结构中,各单元模块的时序由时序控制模块(Timing Controller)统一调度,确保跟踪通道在时分复用条件下,其性能与传统并行跟踪通道性能一致,因此时序控制是整个电路结构的关键.

时序控制模块对整个电路的控制时序如图 2 所示,主要分为正常模式(Normal mode)和间歇模式(Frozen mode)两种主模式,而间歇模式又细分为存储(Store)、等待(Wait)、加载(Load)三种子模式,模式之间的切换由内置状态机完成.

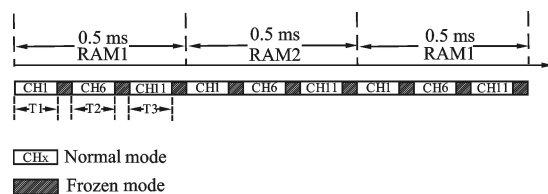


图 2 控制时序

在 Normal mode 下,乒乓操作模块回放其中一块乒乓 RAM 中的数字中频数据至跟踪通道中,各跟踪通道正常处理中频数据. 在 Frozen mode 下,乒乓操作模块停止对一块乒乓 RAM 的回放(另一块乒乓 RAM 仍然正常存储 ADC 之后的中频数据),此时跟踪通道停止对中频数据的正常处理,首先进入 Store mode,在此模式下,5 个并行跟踪通道利用其内部的扫描链,将通道中的寄存器信息扫描存储至 RAM3;存储结束后进入 Wait mode,在此模式下,跟踪通道处于空闲状态, Rd_FIFO 读取 RAM3 中的跟踪信息包, Wt_FIFO 将 RISC CPU 对跟踪通道的配置信息写入到 RAM3 中;读写 FIFO 完成操作后进入 Load mode,在此模式下,扫描链将另外 5 颗卫星的跟踪信息从 RAM3 中加载至 5 个并行跟踪通道中;跟踪信息加载完后,等待再次进入

Normal mode, 开始对同一块乒乓 RAM 的中频数据的再次回放, 从而实现跟踪通道对另外 5 颗卫星的跟踪处理. 如此循环, 达到对 5 个跟踪通道时分复用的目的.

由图 2 可看出, 在对同一块乒乓 RAM 回放 3 遍后, 切换至另一块乒乓 RAM, 每块乒乓 RAM 交替时间间隔为 0.5 ms, 由乒乓 RAM 的深度决定. 间歇时间 (Frozen time) 主要由式 (1) 决定:

$$T_{\text{Frozen}} = (T_S \times 8192 - T_P \times 8192 \times 3) / T_P \quad (1)$$

式中, T_S 为数字中频采样周期, T_P 为回放电路时钟周期, 8192 为每块乒乓 RAM 中频数据采样点个数, T_{Frozen} 为同一块乒乓 RAM 3 遍回放过程中总的间歇时间 (单位: 回放电路时钟周期). 参照扫描链移入、移出、读写 FIFO 处理等开销, 将总的间歇时间分配至每次回放后的间歇里, 即图 2 所示的阴影部分中.

2.3 跟踪通道相关器模块设计

每个跟踪通道相关器对 GPS 数字中频信号进行载波剥离, 得到 I、Q 两路, 每路经过本地扩频码剥离分成超前、准时、滞后等若干支路, 进行积分累加, 载波环和码环对累加结果进行处理, 进而更新本地载波和本地码的产生频率. 通过扩展相关器支路可以扩大牵引范围, 增强环路的稳健性^[2]; 利用窄相关支路技术可以有效提高接收机抗多径性能^[4], 因此本文设计的相关器在传统 E、P、L 三支路的基础上, 扩展了支路数并增加了对窄相关支路的支持. 图 3 所示为本文提到的跟踪通道相关器设计结构.

本文提出的中频回放式跟踪通道结构的核心在于每个跟踪通道的时分复用, 通道时分复用的过程中需要对中间结果作存储, 这里借鉴了 DFT 中的扫描链技术. 文献[5-6]中提到 DFT 的一般思想是构造扫描链, 构造扫描链的关键是用扫描触发器替换原有的普通触发器, 通过控制相应的扫描使能端, 将测试激励移入、移出触发器, 实现扫描观察的目的. 鉴于此思想, 对图 3 所示的跟踪通道相关电路进行相应变动. 触发器的变动如图 4(a) 所示, 电路通路的变动如图 4(b) 所示, 最终 5 个并行相关器通道形成一条扫描链.

在 65 nm 低漏电高阈值 (hvt) CMOS 工艺库下, 用 Synopsis 的 Design Compiler 对跟踪通道电路模块进行综合, 按本文设计指标 62.5 MHz 时钟约束, 5 个跟踪通道的电路规模是 127 653 μm^2 .

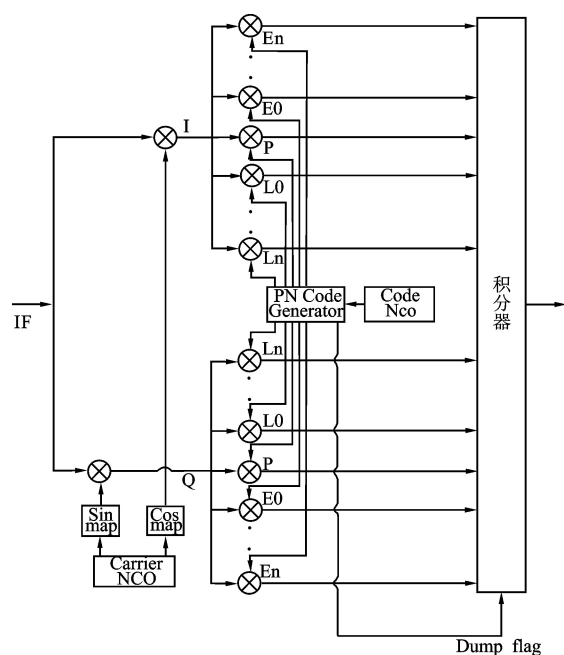


图 3 跟踪通道相关器结构

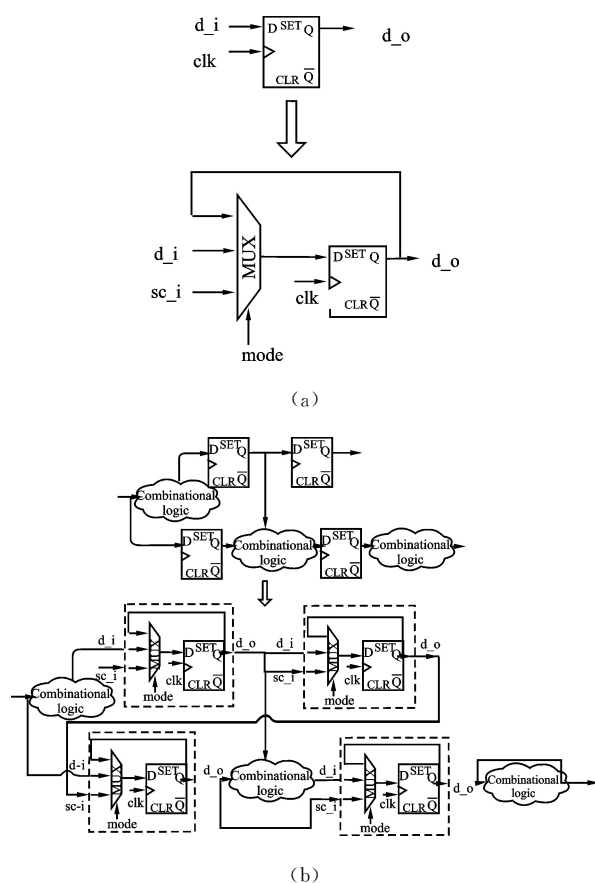


图 4 扫描链逻辑

2.4 SRAM Controller 模块设计

本文通过对 5 个物理跟踪通道的时分复用, 最终达到 15 个等效跟踪通道的效果, 即可实现对 15 颗不同卫星进行跟踪处理. 为实现上述目的, 电路结

构中还需要 1 块 SRAM,用以存储 15 颗卫星跟踪过程中的寄存器信息,在下次回放这颗卫星时,将前一次回放这颗卫星结束时的寄存器信息恢复,最终实现卫星的连续跟踪处理,15 颗卫星的跟踪信息映射至本地 4kByte SRAM 如图 5 所示.

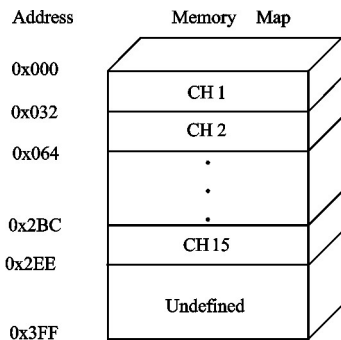


图 5 SRAM 映射

SRAM Controller 模块在 Store mode 下,根据当前回放次数,可计算得到此次回放的 5 颗卫星在 SRAM 中的地址,将扫描链上的数据移入 SRAM 中相应位置.同理在 Load mode 下,寻址将 SRAM 中 5 颗卫星信息通过扫描链移入跟踪通道中.在 Wait mode 下,SRAM Controller 根据读写 FIFO 给出的地址线和卫星编号,寻址 SRAM 得到要操作的寄存器,完成读写操作.

3 硬件测试结果

在 65 nm 低漏电高阈值(HVT)CMOS 工艺库下,用 Synopsis 的 Design Compiler 对文中设计方案(15 个等效跟踪通道)和传统设计方案^[1-3](15 个物理跟踪通道)分别进行综合,时钟约束分别为 62.5 MHz 和 16.367 MHz.两种方案的综合结果对比如表 1 所示.

表 1 65 nm 工艺条件下综合结果对比 μm^2

方案	传统方案	文中方案
逻辑资源	413 417	146 003
存储资源	0	85 215
面积总计	413 417	231 218

对比可见,本文所采用方案的电路规模仅为传统设计方案的 56%.

文中硬件设计在基于 ARM9 和 Altera EP3C120 的定制 SoC 平台^[7]上,功能验证通过.

FPGA 的工作时钟是 62.5 MHz,中频采样率是 16.367 MHz.测试结果表明,文中设计的电路等效于 15 个并行跟踪通道,而电路规模大大减低.

4 结束语

本文借鉴 DFT 的扫描逻辑技术和 TDM 思想,提出并设计了一种基于数字中频回放的跟踪通道电路结构,与传统并行跟踪电路相比,该方案具有电路规模小、易扩展等特点,为今后多模导航接收机设计减少芯片面积提供了思路.

参考文献:

- [1] 巴晓辉,王云,陈杰.高性能低成本"航芯 3 号"GPS 接收机基带芯片的设计[C]//第二届中国卫星导航学术年会.上海:CSNC,2011.
- [2] 杨颖.GPS 接收机基带信号处理核心算法的研究与实现[D].北京:中国科学院大学,2009.
- [3] 俞磊,常青.可配置的多系统兼容导航跟踪通道设计[J].信息与电子工程,2010,8(2):134-138.
- [4] Van Dierendonck A J, Fenton P, and T Ford, Theory and performance of narrow correlator spacing in a GPS receiver[J]. Navigation: Journal of The Institute of Navigation, 1992, 39(2): 265-283.
- [5] 张伟杰,陈亦灏,沈怿皓,等.一个基于扫描方法的 DFT 设计与实现[J].微电子学与计算机,2008,25(5):160-172.
- [6] 韩威,江川.ASIC 集成电路的可测试设计与技术实现[J].计算机科学,2009,36(4):289-292.
- [7] 傅嘉,陈佳品,腾依良.基于 FPGA 和 ARM 的 GPS 信号处理平台[J].微电子学与计算机,2009,26(4):144-147.

作者简介:

邹浩杰 男,(1988-),硕士研究生.研究方向为超大规模集成电路设计.

巴晓辉 男,(1980-),博士,副研究员,硕士生导师.研究方向为导航通信算法.

李健 男,(1981-),博士研究生.研究方向为超大规模集成电路设计.

陈杰 男,(1963-),博士,研究员,博士生导师.研究方向为通信、多媒体处理、VLSI 设计.