

高电源电压抑制、低功耗片上 低压差线性稳压器的研究与设计

金禹铮, 付宇卓

(上海交通大学 微电子学院, 上海 200240)

摘 要: 为了能更适合于片上集成, 在提供稳定电压的同时降低输入电压的噪声, 设计了一种新型片上 CMOS 低压差线性稳压器(LDO), 其显著特点是静态电流很小, 在 3.3 V 供电电压下, 只有 10 μA 的静态电流, 功耗很小, 适合于片上低功耗集成使用. 同时, 对 LDO 的电源电压抑制(PSR)进行了改进, 提出了一种有效地使 PSR 提高的方法, 使 PSR 低频下达到了大约 -45 dB, 最差的情况也能达到 -20 dB 左右, 对输入电源的纹波噪声有比较好的抑制作用, 更加适合于对噪声敏感的电路上集成.

关键词: LDO 线性稳压器; 低功耗; 高电源电压抑制(PSR)

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2014)05-0163-04

Research and Design of High PSR, Low power, Chip-level LDO

JIN Yu-zheng, FU Yu-zhuo

(School of Microelectronics, Shanghai Jiaotong University, Shanghai 200240, China)

Abstract: In order to reduce the input voltage noise while supplying a stable output voltage and integrate on-chip, a kind of new CMOS, chip-level LDO is proposed in this paper. One of the most notable features is that its quiescent current is quite low. With the 3.3 V power supply, the quiescent current is only 10 μA . So the power consumption is considerable for chip-level. Meanwhile, the power supply rejection (PSR) is also promoted with an effective PSR improved method, which can reach -45 dB in low frequency and the worst case can also reach around -20 dB. So it can better reject the power supply noise at the output and is suitable for noise-sensitive circuits.

Key words: LDO linear regulator; low power; high power supply rejection (PSR)

1 引言

随着便携设备应用的快速发展, 电源管理系统已经成为当前集成电路产业中的一个热点. LDO (Low Dropout Regulator) 线性稳压器, 也称低压差线性稳压器, 在电源管理系统中, 能够有效抑制电源噪声电压, 在电源电压不稳定的时候提供稳定纯净的输出电压. 无片外电容的 LDO 可实现片上集成, 已经成为 DRAMs、PLLs 和 EPROMs 等对噪声敏感器件的重要组成部分.

LDO 有很多重要的参数, 如静态电流、跌落电压、负载稳压度(load regulation)、线性稳压度(line regulation)、PSR 和芯片面积等, 其中小面积、低静态电流是

当今越来越小的片上系统的发展趋势^[1], 而比较高的 PSR 也受到越来越人们的关注, 已经有多种不同的方法来提高 LDO 的 PSR^[2-3]. 本文介绍了一种高 PSR、低功耗、小面积的片上 LDO 的设计方法.

2 LDO 的工作原理

图 1 是 LDO 基本结构图, 它包括一个带隙基准(bandgap)、一个误差放大器(EA)、一个 PMOS 传输器件和电阻反馈网络, 其中 I_Q 是 EA 的静态电流, 它和 PMOS 传输器件的静态电流决定了 LDO 的静态功耗. I_{load} 和 C_{load} 是负载电流和负载电容, 代表了 LDO 所驱动负载的状况. 基准电压由带隙基准产生, 它能产生一个与温度无关的, 稳定的参考电压,

用来和反馈电压做校准。

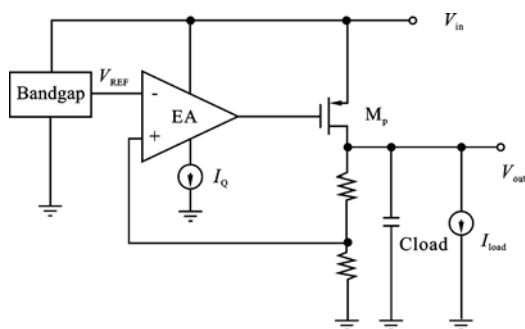


图 1 LDO 的基本结构图

带隙基准产生一个稳定的与温度无关的电压, 由于 EA 的增益比较高, 所以会使正负两个输入端的电压接近相等, 这样便可以通过调整反馈电阻的大小, 来得到想要的输出电压. 输出电压达到期望值时, 当输出电压有微小的升高, 会使 EA 的输出电压也升高, 从而使流过传输 PMOS 器件的电流减小, 输出电压也变小, 起到了反馈调节的作用, 使输出电压稳定. 输出电压降低时同理. 所以, LDO 可以提供一個稳定的输出电压.

3 高 PSR 的 LDO 结构

如图 1 所示, 输入电源噪声主要通过三条路径来传输到 LDO 的输出端. 第一条路径是通过 bandgap 的输出, 经过 EA 的放大和 PMOS 传输器件达到输出端. 对于这条路径, 降低输出噪声的方法主要是提高 bandgap 的 PSR, 使它的输出电压受输入电源电压的噪声干扰减小. 第二条路径是输入电压直接从 PMOS 传输器件的源端直接传输到 LDO 的输出端. 由于基本结构的 LDO 中 PMOS 传输器件的源端是直接输入电压相连, 所以源端会包含所有的输入噪声电压. 第三条路径是输入电压通过 EA 的 VIN 端输入, 从其输出端输出到 PMOS 传输器件的栅端, 然后再传输到 LDO 的输出端, 这条路径与 EA 的 PSR 有关.

图 2(a) 是本文 LDO 中用到的 EA 结构图, 图 2(b) 所示为 EA 第一级 M2 和 M4 的小信号模型, 由图 2(b) 可以得到

$$V_g = \frac{r_{ds2}}{\frac{1}{g_{m4}} + r_{ds2}} \times V_{DD} \quad (1)$$

式中, g_{m4} 是 M4 管的跨导, r_{ds2} 是 M2 管的源漏电阻, 一般情况下 $1/g_{m4} \ll r_{ds2}$, 所以 V_g 近似等于 V_{DD} . 这样 M6 的栅源电压都含有近似相同的电源噪声, 栅源电压差 V_{gs} 便不含电源噪声, 产生的电流也基本不含电源噪声, 使 EA 的输出噪声基本为零^[4].

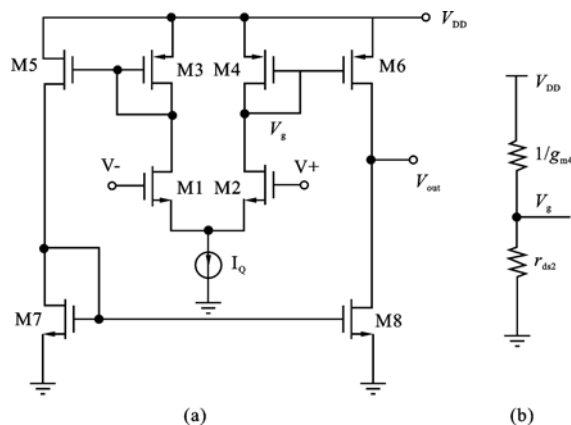


图 2 EA 结构与 EA 第一级小信号模型

由于 PMOS 器件栅端电压基本无电源噪声干扰, 而 PMOS 器件源端是直接输入端相连, 所以栅源电压差会有比较高的噪声电压差, 使流经 PMOS 的电流中也受到比较强的电源纹波噪声干扰. 有两种方法可以降低输出端的噪声干扰. 第一种是使 PMOS 器件栅端电压也含有同输入电压相同的电源噪声电压; 另一种则是使 PMOS 器件源端电源噪声电压基本为零. 这两种方法都会使 PMOS 的栅源电压差对于电源噪声干扰基本为零, 产生不受电源噪声干扰的电流, 进而得到基本不受电源噪声电压干扰的输出电压, 使 EA 的 PSR 得到了提升.

由于 EA 的输出电源噪声基本为零, 所以提高 PSR 的方法是使 PMOS 的源端电压电源噪声为零. 改进的电路图如图 3 所示.

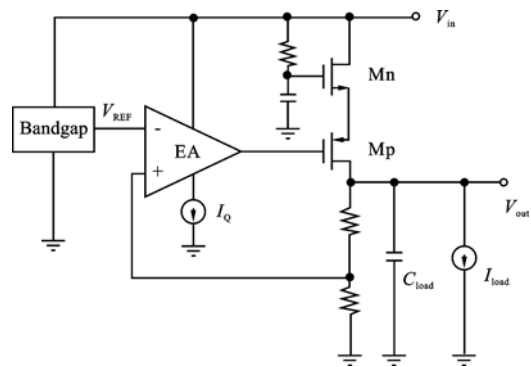


图 3 高 PSR 的 LDO 结构

在 PMOS 器件源端增加了一个 NMOS 器件, 同时在 NMOS 的栅端连接一个 RC 滤波器, 它会将栅端电压中的电源噪声干扰大部分被滤除, 使得栅端不受电源噪声影响, 从而使其源端也不受电源噪声的干扰, 使得 PMOS 器件的源端电压也不受电源噪声干扰, 得到受输入电源电压噪声干扰比较小的 LDO 输出电压.

在 PMOS 的源端增加一个常规 NMOS 器件会

使输出摆幅降低,降低电压余量.但是如果用 native NMOS 可以使这个问题得到解决.因为 native NMOS 的阈值电压很低,约为 $-0.000\ 3\text{ V}$,所以这个 NMOS 会始终保持导通并使源端电压十分接近漏端电压,这样就能保持很好的电压余量的同时,提高了 PSR.

Bandgap 的 PSR 改进结构如图 4 所示.该结构由三部分组成:Bandgap 核心电路、PSR 改进结构和启动电路. Bandgap 核心电路用来产生一个与温度无关的带隙电压,启动电路是为了防止 Bandgap 工作在零电流工作状态,使之正常工作. PSR 改进部

分由一个 NMOS, M10 和一个二极管连接的 PMOS, M11 组成.二极管连接的 M11 有一个很低的阻抗 $1/g_{m11}$,其中 g_{m11} 是 M11 的跨导, r_{ds10} 是 M10 的源漏电阻,可以得到

$$A_{dd} = \frac{v_k}{v_{dd}} = \frac{r_{ds10}}{\frac{1}{g_{m11} + r_{ds10}}} \approx 1 \quad (2)$$

所以, M1 和 M2 的栅源电压差基本不受输入电源电压噪声干扰,产生不受电源噪声干扰的电流,使输出电压 V_{ref} 中基本不含有输入电源噪声电压, Bandgap 的 PSR 得到了提高.

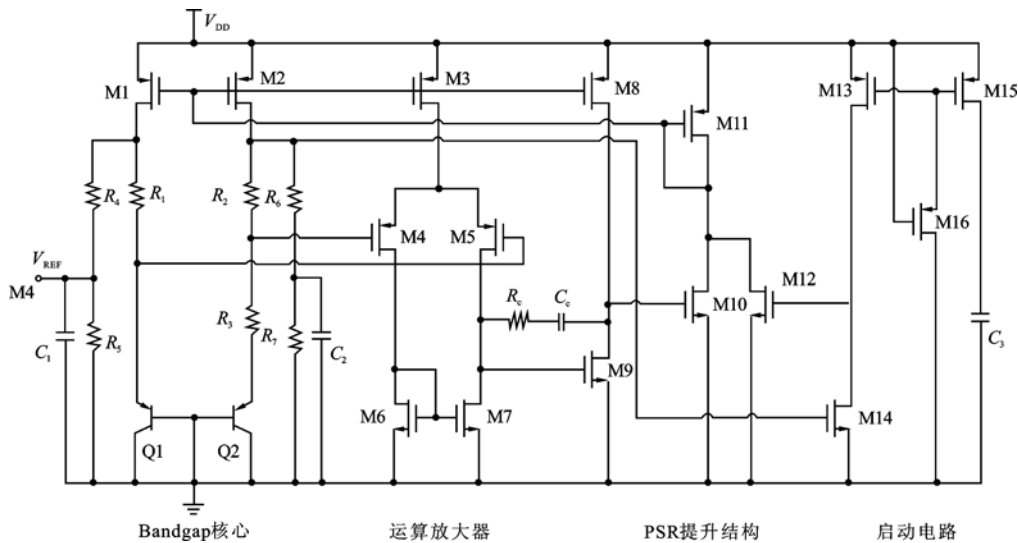


图4 bandgap 的 PSR 改进结构

4 仿真结果

本文设计的 LDO 采用 TSMC $0.18\ \mu\text{m}$ COMS 工艺进行设计,其总体静态电流为 $10\ \mu\text{A}$,输入电压为 $1.8\sim 3.3\text{ V}$.当输入电压高于 2.5 V 时,输出稳定电压为 2.5 V ;当输入电压低于 2.5 V 时,输出电压则与输入电压相同.负载电容范围为 $60\sim 500\text{ pF}$,负载电流范围为 $0\sim 500\ \mu\text{A}$. PSR 对负载电容分别为 60 pF , 200 pF , 500 pF 进行测试,得到低频下 PSR 为 -46.3 dB ,最坏的情况下也能达到 -27.5 dB ,比改进前提高了约 16 dB .对负载电流分别为 0 , $10\ \mu\text{A}$, $500\ \mu\text{A}$ 进行测试,得到低频下 PSR 约为 -45.6 dB ,最坏的情况也能达到 -18.7 dB ,比改进前提高了约 12 dB .这样在输出端得到的输入电源噪声会比较小,对噪声有了比较好的抑制. PSR 测试结果如图 5 所示.

关于稳定性,同样是在负载电流分别为 0 , $10\ \mu\text{A}$, $500\ \mu\text{A}$ 和负载电容分别为 60 pF , 200 pF , 500 pF 进行开环测试,测得的相位裕度(phase margin)

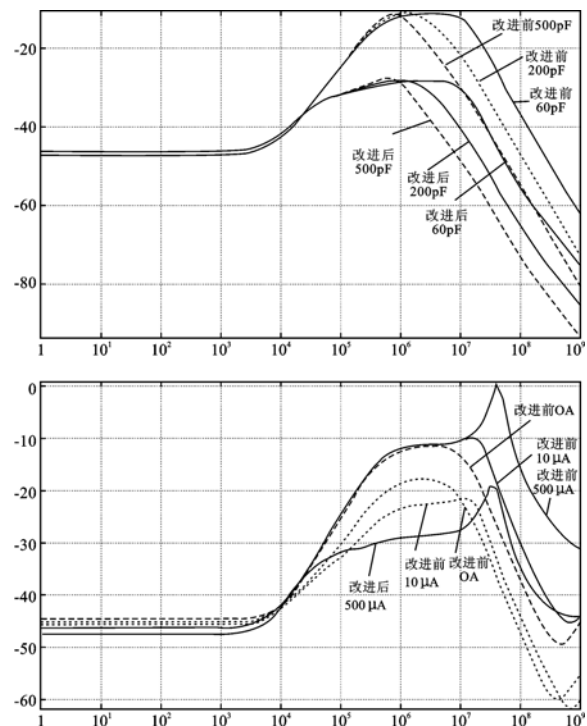


图5 在不同负载电容、负载电流下的 PSR

在负载电流为 0、10 μA 、500 μA 条件下分别为 89.2°、75.9°、49.8°, 在负载电容为 60 pF、200 pF、500 pF 条件下分别为 71.4°、66.5°、48.5°, 保证了系统的稳定。

瞬态测试结果如图 6 所示, 在低于 2.5 V 的情况下, 输出保持和输入电压相同。在高于 2.5 V 的情况下, 输出电压则稳定在 2.5 V, 电压波动会在 2 μs 内稳定, 过冲电压的最大变化为 3.4%, 达到了输出稳定电压的效果。

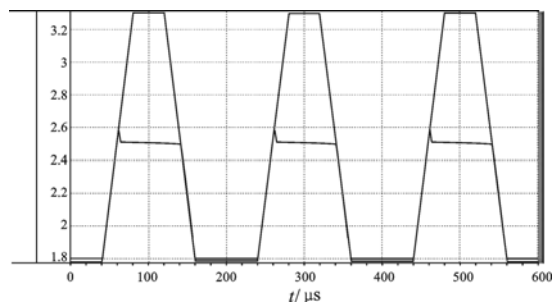


图 6 LDO 的瞬态响应

5 结束语

文中设计了一种低功耗, 高电源抑制比的 LDO, 在 TSMC 0.18 μm CMOS 工艺下, 静态电流仅有 10 μA , 非常低的功耗适合于在芯片上集成。同时, 整体结构的 PSR 也得到了改进, 低频下达到 -45 dB, 最差的情况也达到了 -20 dB 左右, 很好地抑制了输入电源电压的纹波噪声, 更适合于对噪声敏感的电路。

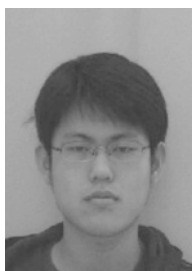
参考文献:

- [1] Tsz Yin Man, Philip K T Mok, Mansun Chan. Design of area-efficient, low-quiescent-current LDOs for chip-

level power management[C]//Integrated Circuits, Singapore: IEEE, 2007, 26-28.

- [2] Huei-Sheng Jhuang, Jia-Hui Wang, Zi-Yu Zeng, et al. A low dropout linear regulator with high power supply rejection[C]// ISIC 09. Proceedings of the 2009 12th International Symposium on Integrated Circuits, 2009: 41-44.
- [3] Wenguan Li, Ruohe Yao, Lifang Guo. A CMOS low-dropout regulator with high power supply rejection[C]// IEEE International Conference of Electron Devices and Solid-State Circuits. Xi'an: IEEE, 2009: 384-387.
- [4] Gupta V, Rincon-Mora G A. A low dropout, CMOS regulator with high PSR over wideband frequencies[C]//IEEE Int Symp Circuits Syst. [s. l.]: IEEE, 2005: 4245-4248.

作者简介:



金禹铮 男, (1988—), 硕士。研究方向为集成电路工程。



付宇卓 男, 教授, 博士生导师。研究方向为系统级芯片设计。

(上接第 162 页)

- [6] 闫源江, 胡光波. 关联维估计在舰船辐射噪声特征提取中的应用[J]. 科学技术与工程, 2010, 10(27): 6756-6759.
- [7] 方露. 浅析物联网技术在科技馆中的应用[J]. 科技通报, 2012, 28(3): 165-168.
- [8] 蔡勇智. 一种改进的神经网络算法车牌识别算法研究[J]. 科技通报, 2012, 28(10): 128-130.
- [9] 周迪斌. 基于多 GPU 的千万级高维空间实时检索

[J]. 科技通报, 2013, 29(1): 118-123.

- [10] 柳虹, 周根贵, 傅培华. 分层供应链复杂网络局部演化模型[J]. 计算机科学, 2013, 40(2): 270-273.

作者简介:

王海荣 女, (1981—), 硕士, 讲师, 软件设计师。研究方向为计算机应用、数据挖掘、图形图像处理。