

一种提高 SRAM 写能力的自适应负位线电路设计

赵训彤, 贺光辉

(上海交通大学 微电子学院, 上海 200240)

摘 要: 随着器件尺寸缩小到纳米级, 在 SRAM 生产过程中, 工艺偏差变大会导致 SRAM 单元写能力变差. 针对这一问题, 提出了一种新型负位线电路, 可以提高 SRAM 单元的写能力, 并通过控制时序和下拉管的栅极电压达到自我调节负位线电压, 使负电压被控制在一定范围内. 本设计采用 TSMC 40 nm 工艺模型对设计的电路进行仿真验证, 结果证明, 设计的电路可以改善写能力, 使 SRAM 在电压降到 0.66 V 的时候仍能正常工作, 并且和传统设计相比, 本电路产生的负电压被控制在一个范围内, 有利于提高晶体管的使用寿命, 改善良率, 节省功耗.

关键词: 负位线; 静态随机存储器(SRAM); 写辅助电路

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2014)05-0167-04

An Adaptive Negative Bit-Line Voltage Scheme for Improving Write-Ability of SRAM

ZHAO Xun-tong, HE Guang-hui

(School of Microelectronics, Shanghai Jiaotong University, Shanghai 200240, China)

Abstract: With the feature size falling into nano-scale, the increased process variation degrades write-ability of SRAM cells in the process of producing SRAM. To solve this problem, a novel negative bit-Line voltage scheme is presented to improve write-ability of SRAM cell. With controlling timing and the gate voltage of pull-down transistor, the negative voltage can be self-adjusted and suppressed in a certain range. The result is verified by using TSMC 40 nm process model. The result shows that the write-ability can be improved by the newly designed circuit. SRAM even can operate normally at 0.66 V. As the voltage increase, the negative voltage is suppressed in a certain range, which can improve the using life of transistors and the product yields.

Key words: negative bit line; static random access memory (SRAM); write-assist circuit

1 引言

近年, 嵌入式存储器占 SOC 的面积越来越大, 约 90% 的面积由不同功能的存储器占据. SRAM 由于其高速、高集成度、低功耗及与工艺的良好兼容性特点, 成为 SOC 重要的组成部分. 随着工艺尺寸缩小, 降低工作电压是最有效地降低功耗的方法. 如果能全比例缩小(恒电场缩小, 即尺寸缩小的比例和电压缩小的比例相等), 可以在提高 SRAM 密度的同时, 电路的速度也有线性增长, 并且功耗将以二次方的关系减小. 然而, 实际情况是电压并不能和器件尺寸等比例缩小, 因为阈值电压的降低会使漏电

流增大, 而且一些材料参数电压是很难降低的. 因此, 降低 SRAM 最小工作电压成了主要的挑战. 工作电压降低, 会对 SRAM 写操作造成负面影响, 为消除这些不良影响, 本文设计一种新型自适应负位线电路, 在改善 SRAM 写能力的同时, 控制负位线电压在一个可接受范围内.

2 负位线电路提升写能力

2.1 四种基本的写辅助电路

随着工艺尺寸的缩小和电源电压的进一步降低, 将数据写入存储单元变得越来越困难, 图 1 分别展示了随着电源电压和工艺尺寸的缩小, 阈值电压

V_{th} 工作窗口的变化. 绝大部分存储单元的 V_{th} 在菱形区域内. 如果菱形的区域超过虚线, 就表明在虚线右侧的存储单元无法完成写操作. 这时, 写辅助电路变得不可或缺^[1].

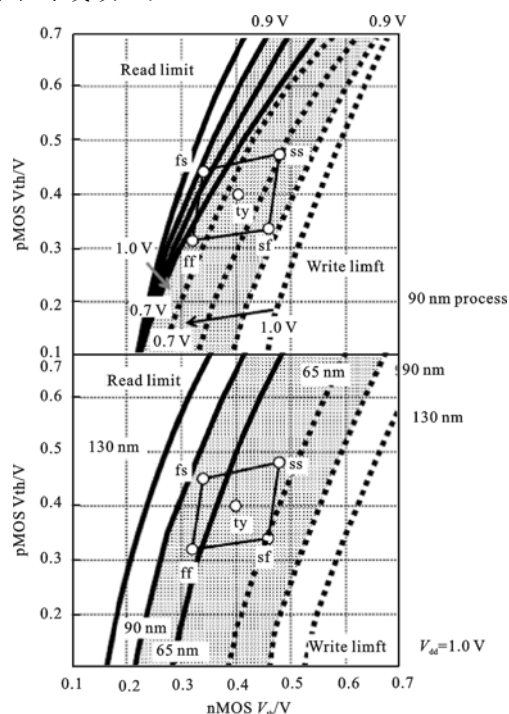


图 1 V_{th} 工作窗口

基本的写辅助方法有如下四种: ①降低电源电压 V_{dd} ; ②抬高 V_{ss} 电压; ③抬高字线(WL)电压; ④负位线(BL)电压.

存储单元的写操作是通过传输管将“0”信号写入的, 写操作的难易程度主要是由传输管和上拉管的强弱决定的. 传输管越强, 写“0”的能力就越强, 反之, 上拉管越强, 就越难写入. 对于降低 V_{dd} 和抬高 V_{ss} 电压的方法, 其根本的原理是使上拉管的 $|V_{gs}|$ 减小, 削弱上拉管的强度, 提高写的能力. 然而, 随着器件尺寸的降低, 这种改善效果变得越来越小, 主要原因是现有的 SRAM 存储单元中 P 管上拉能力不强, 进一步弱化其上拉能力, 对改善写的影响很小^[2]. 对于抬高字线电压和负位线电压的方法, 其原理是使传输管的 V_{gs} 变大, 增大传输管的下拉能力. 这两种方法在改善写能力方面是比较明显的, 但是也会带来负面影响, 其中抬高字线电压的方法和前两种电路一样, 会使存储单元的静态噪声容限(SNM)变差. 而对于负位线电压方法, 如果位线电压降得过低, 同一条位线上其他存储单元传输管的亚域值漏电变大, 甚至可能会导致其他字线为低电平的时候将“0”写入存储单元, 误写其中的数据. 权衡以上四种方法, 负位线电路由于其改善写能力强、负面影响小, 将成为今后 SRAM 写辅助电路主要研究方向.

2.2 传统负位线电路的原理

传统负位线电路是应用电容耦合的原理产生负电压, 先对电容充电, 一端接地另一端接电源, 使电容两端存在电压差, 然后将接地的一端悬空起来, 接电源的一端接地, 由电容耦合的作用将原来接地的一端的电压拉为负值. 文献[3-6]都是基于这种原理采用不同时序控制方式设计的负位线电路.

然而传统负位线电路存在以下问题: 随着电源电压的升高, 由于电容大小不变, 负位线的电压值会变得更低. 首先会使存储单元的传输管关闭的时候写入错误的值; 其次由于传输管的源极电压降为负, 过大的 V_{gs} 使传输管的栅氧层可靠性变差; 再者, 如果源极电压过低, 传输管的 p 衬底和源极就会产生 PN 结正向偏置; 最后, 过低的负位线电压在预充电的过程中功耗更大. 以上 4 个问题是现有负位线电路普遍存在的.

3 新型自适应负位线电路

为了解决上述问题, 本文提出新的负位线电路方案, 如图 2 所示. 该电路主要包含一个高压抑制电路和位线电压追踪电路, 实现了在保证提高 SRAM 写能力的前提下, 消除传统负位线电路的问题; 随着电压的升高, 产生更低地负电压, 造成数据的误写等问题.

3.1 位线电压追踪电路

为了最大化提高负电压的效率, 产生负电压的时间要精确控制. 如果产生的过早, 在位线 BL 还没有放电完全的时候就产生负电压, 这样产生的负电压不够低, 不足以提高 SRAM 写能力, 而且也会造成不必要的功耗. 如果产生的过晚, 虽然产生了足够低的负电压, 但是在产生负电压后不久, 字线 WL 就变为“0”, 没有足够的时间将数据写进去; 或者为了保证写操作的成功, 延长字线的打开时间必然会延长 SRAM 的写周期, 因此必须在 WL 下降沿到来之前给予足够的时间来发挥负位线电路改善 SRAM 写能力的作用. 为了最大化提高负电压的效率, 即保证产生足够低的负电压, 也保留足够的时间完成 SRAM 的写操作, 应该在位线 bl 放电到“0”时后很短的时间内产生负电压. 因此引入了追踪电路. 追踪电路中的虚拟位线 dmy_bl 的负载是实际进行读写操作的位线 bl 负载的两倍, 即将虚拟位线上连接相同数量的 SRAM 存储单元, 并将同一个存储单元的 2 条位线连在一起, 这样做的目的是当虚拟位线 dmy_bl 的电压降到 $1/2V_{dd}$ 时, 实际用来读写的位线 bl 已经降到“0”.

3.2 高压抑制电路

如前文所讨论, 随着电压升高, 负位线电压会更

反地趋势. 图 5 中的虚线显示了在 5 种工艺角、12℃ 温度下的仿真结果, 显示在不同的温度和工艺角都能满足此趋势. 而且可以发现, SS 和 SF 工艺角下产生的电压更负, 很好满足了在这两种工艺角下需要更低的负电压需求.

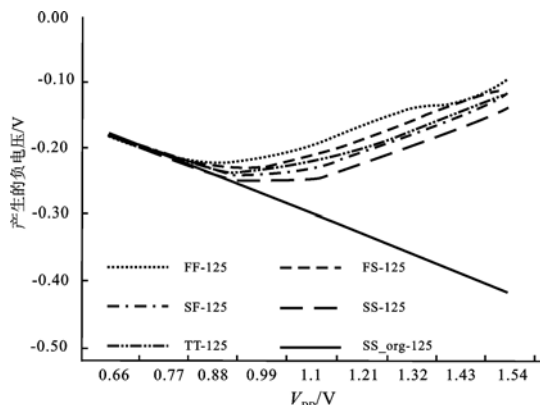


图 4 传统负位线电路与新负位线电路负电压变化趋势及新负位线电路在不同 PVT 下的电压趋势

图 5 分别对比了在不使用负位线电路、传统负位线电路和本文提到的负位线电路在 SF 工艺角的情况下不同的仿真结果. 纵坐标是表示 1 千万个 SRAM 存储单元中的功能失效的个数, 可以发现, 在低压不采用负位线电路的情况下, 有大量的存储单元没有办法写入数据; 采用传统的负位线电路虽然在低压下可以写入数据, 但是在高压下却出现将存储单元误写的情况, 这些都对良率有很大的影响. 而本电路既保证低压下的写功能, 又不影响高压下的数据的稳定性.

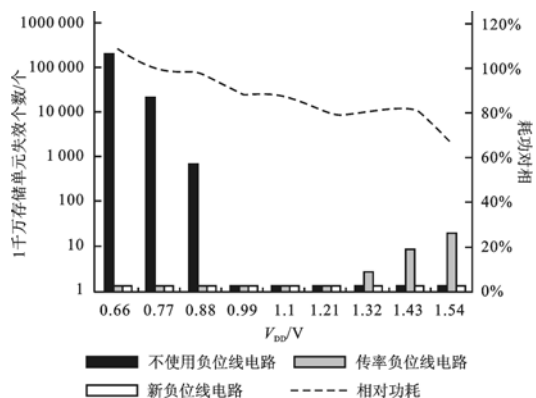


图 5 三种电路下存储单元功能失效的个数的对比和相对传统负位线电路的功耗

在功耗方面, p 管和电阻串联会引入一小段时间的直流通路, 造成功耗. 但是由于高压下负位线电压的抑制作用, 没有产生过低的负电压, 在对 SRAM 位线 BL 预充电的过程中能节省一部分功耗. 因此对比传统负位线电路^[4], 在低电源电压下多消耗 9% 的电, 但是在高电源电压下, 却节省了

35% 的功耗, 如图 5 所示.

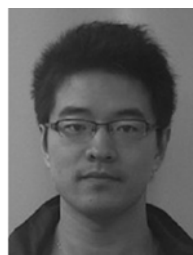
5 结束语

本文阐述了一种新型的自适应负位线电路, 可以提高 SRAM 存储单元在低压下的写能力, 而且消除了传统负位线电路的不良影响, 延长器件的使用寿命, 不会影响高压下的数据稳定性. 因此, 在降低电源电压, 节省功耗方面有很大的意义.

参考文献:

- [1] Yamaoka, Masanao, Maeda N, Shinozaki Y, et al. 90-nm process-variation adaptive embedded SRAM modules with power-line-floating write technique[J]. Solid-State Circuits, IEEE Journal of, 2006 (4): 705-711.
- [2] Chandra V, Pietrzyk C, Aitken R. On the efficacy of write-assist techniques in low voltage nanoscale SRAMs[C] // Proceedings of the Conference on Design, Automation and Test in Europe. European Design and Automation Association, 2010: 345-350.
- [3] Mukhopadhyay S, Rao R M, Kim J J, et al. SRAM write-ability improvement with transient negative bit-line voltage[J]. Very Large Scale Integration (VLSI) Systems, IEEE Transactions on, 2011, 19(1): 24-32.
- [4] Goel A, Sharma R K, Gupta A K. Process variations aware area efficient negative bit-line voltage scheme for improving write ability of SRAM in nanometer technologies [J]. Circuits, Devices & Systems, IET, 2012, 6(1): 45-51.
- [5] Nii K, Yabuuchi M, Tsukamoto Y, et al. A 45-nm single-port and dual-port SRAM family with robust read/write stabilizing circuitry under DVFS environment[C] // 2008 IEEE Symposium on VLSI Circuits. [s. l.]: IEEE, 2008: 212-213.
- [6] Chang J, Chen Y H, Cheng H, et al. A 20nm 112Mb SRAM in High- κ metal-gate with assist circuitry for low-leakage and low-V MIN applications[C] // Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2013 IEEE International. [s. l.]: IEEE, 2013: 316-317.

作者简介:



赵训彤 男, (1987-), 硕士研究生. 研究方向为 SRAM 低功耗设计.

贺光辉 男, (1980-), 讲师. 研究方向为无线宽带通信系统集成电路以及 VLSI 设计.