

低相位噪声压控振荡器的设计及仿真

梁 爽¹, 曹 娟²

(1 空军工程大学 理学院, 陕西 西安 710051; 2 空军工程大学 空管领航学院, 陕西 西安 710051)

摘 要: 随着通信技术对射频收发机性能要求的提高, 高性能压控振荡器已成为模拟集成电路设计、生产和实现的关键环节. 针对压控振荡器设计过程中存在相位噪声这一核心问题, 采用 STMC 0.18 μm CMOS 工艺, 提出了一种 1.115 GHz 的电感电容压控振荡器电路, 利用 Cadence 中的 SpectreRF 对电路进行仿真. 仿真结果表明: 在 4~6 V 的电压调节范围内, 压控振荡器的输出频率范围为 1.114 69~1.115 38 GHz, 振荡频率为 1.115 GHz 时, 在偏离中心频率 10 kHz 处、100 kHz 处以及 1MHz 处的相位噪声分别为 -90.9 dBc/Hz, -118.6 dBc/Hz, -141.3 dBc/Hz, 以较窄的频率调节范围换取较好的相位噪声抑制, 从而提高了压控振荡器的噪声性能.

关键词: 压控振荡器; Cadence; SpectreRF; 相位噪声

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2014)07-0177-04

A LC Voltage-Controlled Oscillator Design and Simulation

LIANG Shuang¹, CAO Juan²

(1 Science College, Air Force Engineering University, Xi'an 710051, China;

2 Air Traffic Control and Navigation College, Air Force Engineering University, Xi'an 710051, China)

Abstract: With the rapid improvement on the communication technology of RF transceiver, high performance voltage-controlled oscillator has been the key link of analog integrated circuit design, production and implementation. Focus on the problem of phase noise, a design for a 1.115 GHz LC VCO is proposed in TSMC 0.18 μm CMOS process. The circuit is simulated by the SpectreRF in Cadence. The simulation results presented that the VCO voltage adjustment range is 4 V to 6 V, and output frequency range is 1.114 69 GHz to 1.115 38 GHz. Phase noise at an offset of 10 kHz, 100 kHz and 1MHz are -90.9 dBc/Hz, -118.6 dBc/Hz and -141.3 dBc/Hz, respectively. In order to enhance the VCO noise performance, the paper's purpose is as much as possible to exchange narrow frequency for good phase noise.

Key words: Voltage-Controlled Oscillator(VCO); Cadence; SpectreRF; phase noise

1 引言

随着无线通信产业的迅猛发展, 推动了射频前端电路设计向着高性能、低成本、低功耗、高集成度的方向演化的进程. CMOS 工艺凭借其低廉的价格、高集成度以及与数字工艺较好的兼容性在产业界获得越来越广泛地应用. 近几年来, CMOS RF 集成电路的研究成为电路设计的热点.

当前, 各种通信系统对频率合成器的相位噪声

要求越来越高. 相位噪声是信息传输质量和可靠性的最重要参数. 压控振荡器(Voltage Controlled Oscillator)作为射频收发器中的一个核心模块, 频率合成器的相位噪声主要由 VCO 决定, 而 VCO 的调节范围的宽窄和相位噪声的大小直接决定锁相环的工作性能, 进而影响整个通信系统的质量^[1-2]. 所以说, 如何利用 LC 压控振荡器自身带有的储能元件, 对相位噪声进行抑制, 进而设计出高性能的压控振荡器已成为模拟集成电路设计的重大挑战.

收稿日期: 2013-10-29; 修回日期: 2013-12-22

基金项目: 军内科研重点资助项目(KJ2011148)

从电路结构来划分,压控振荡器主要有环形振荡器和电感电容(LC)压控振荡器两种典型电路形式. 环形振荡器可以采用纯数字 CMOS 工艺实现,不需要电感器件,节省大量的芯片面积,且可通过延时单元的电位变化量实现非常宽的调谐范围,但其相位噪声性能远不如 LC 振荡器. LC 振荡器通过调节比值 $C_{\max}/C_{\min}$ 大的 MOS 变容管获得较宽的调谐范围,当片上电感的 Q 值较高时,可得到较好的相位噪声,但电路芯片面积较大. 为了获得好的相位噪声抑制,本文在 0.18 μm 标准 CMOS 工艺模型基础上,探讨 LC 压控振荡器的相位噪声理论,设计了一种 1.115 GHz 的 LC 压控振荡器,并采用 Cadence 软件中的 SpectreRF 对该电路进行仿真,仿真结果表明:在外接电源电压为 5 V 时,其本征频率为 1.115 GHz,输出功率为 1 mW,在偏离中心频率 10 kHz 处相位噪声为 -90.9 dBc/Hz,在偏离中心频率 100 kHz 处相位噪声为 -118.6 dBc/Hz,在偏离中心频率 1 MHz 处相位噪声为 -141.3 dBc/Hz.

2 相位噪声理论及模型

振荡器对于噪声的变化相当敏感,从而输出的信号在振幅、相位和频率上产生变化. 假设振荡器的原始输出信号是 $A\cos(\omega_c t + \theta)$,由于温度和环境的变化,输出的信号变为 $A'\cos(\omega'_c t + \theta')$. 通常振荡器输出振幅受温度和外界环境的影响变化不大,而且变化会在短时间内趋于稳定,因此振幅的变化可以忽略. 主要的偏移是相位方面的,这就是所谓相位噪声. 相位噪声可以表示为

$$S(t) = A\cos[\omega_c t + \theta(t)] \quad (1)$$

式中, $\theta(t)$ 表示相位的变动,当 $\theta(t)$ 很小时,可以把上式进行泰勒级数展开近似为下式:

$$S(t) = A\cos(\omega_c t) - A\theta(t) - A\theta(t)\sin(\omega_c t) \quad (2)$$

式中,后一项就是相位噪声,它在载波 $A\cos(\omega_c t)$ 附近形成噪声分布. 定义偏离载波 Δf 处的相位噪声为

$$L\{\Delta f\} = \frac{f_c + \Delta f \text{ 处 } 1 \text{ Hz 频宽内噪声总功率}}{\text{总的载波功率}} \quad (3)$$

其单位为 dBc/Hz 或 dBm/Hz.

根据噪声对时间的变化率可将振荡器相位噪声的理论分为时变模型和非时变模型. 非时变模型认为噪声无论在什么时刻造成振荡器的相位偏差都是相同的,而时变模型则认为噪声对相位的影响和时

间有关.

2.1 非时变模型

假设谐振腔的热噪声是唯一的噪声源. 这个噪声可以用一个电流源来模拟,则相位噪声的方程是

$$L(\Delta f) = 10\log\left[\frac{2kT}{P_{\text{sig}}} \cdot \left(\frac{\omega_b}{2Q\Delta\omega}\right)^2\right] \quad (4)$$

上式表明对于中心频率偏移 Δf 处,单位频率内的噪声相对于总载波的分贝值. 显然,可以得出噪声与频率的偏移量成反比. 这是由于谐振腔的阻抗呈 $1/Q\Delta\omega$ 关系减小,而噪声电压的平方与阻抗成正比. 同时得出增加载波的功率,可以降低相位噪声,因为热噪声固定不变.

Lesson 噪声模型如图 1 所示. 该模型中没有给出 F 的计算或减小的方法,而且使用非时变模型无法对 $1/f$ 区域做出合理的解释,虽然有关研究显示由闪烁噪声造成的结果. 另外由这种模型导出的公式只能通过增加谐振腔的 Q 值来降低相位噪声.

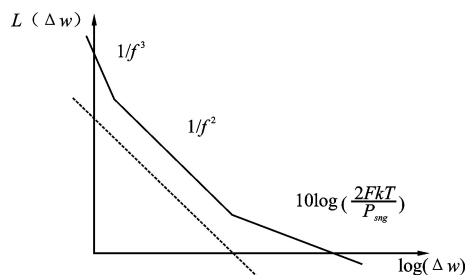


图 1 Leeson 噪声模型

2.2 时变模型

谐振腔的相位噪声不仅与输入噪声的大小有关而且和输入的时间有关,这是非时变相位噪声模型不能完全描述的. 时变模型中认为,热噪声造成的相位噪声为

$$L(\Delta\omega) \approx 10\log\left[\frac{4kT}{P_s}\Gamma_{\text{rms}}^2\left(\frac{\omega_b}{Q\Delta\omega}\right)^2\right] \quad (5)$$

闪烁噪声引起的相位噪声:

$$L(\Delta\omega) \approx 10\log\left[\frac{\bar{i}_n^2}{8q_{\text{max}}^2\Delta\omega^2} \cdot \frac{\omega_{1/f}}{\Delta f}\right] \quad (6)$$

上式描述了 $1/f^3$ 区域的相位噪声. 它的拐点频率为

$$\Delta\omega_{1/f^3} \approx \omega_{1/f} \cdot \left(\frac{c_0}{c_1}\right)^2 \quad (7)$$

在时变模型的分析中,解释了 $1/f^2$ 和 $1/f^3$ 区域形成的原因,并对这两个区域的相位噪声做出了预测. 而且时变模型的分析带来更多的提高相位噪声的方法. 除了提过 Q 值外,可以通过改善输出的波形,或者采用 PMOS 管降低闪烁噪声来提高

VCO 的性能.

3 基于电感及电容结构的压控振荡器电路的设计仿真

Cadence 软件是集成电路设计和仿真的平台,应对纳米工艺电子设计的各个方面.其中,Virtuoso SpectreRF 仿真选项为电路仿真提供射频和高频集成电路的快速、精准仿真.本文以所述压控振荡器为例,说明如何构建一个电容电感振荡器以及如何运用 Cadence 软件 Virtuoso SpectreRF 仿真选项对构建的电路进行周期稳态分析运算和仿真.

3.1 VCO 电路拓扑模型

如图 2 所示,该压控振荡器是用来为混频器提供本振信号,由偏置电路、放大电路、谐振电路三部分组成.

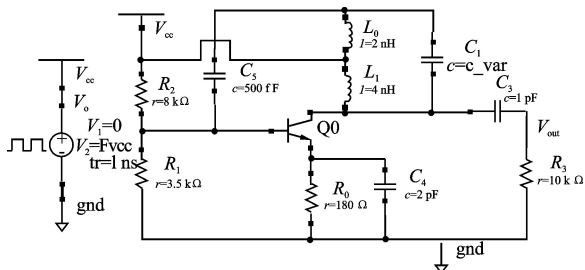


图 2 1.115 GHz 压控振荡器电路示意图

3.2 瞬态仿真分析

采用的周期稳态分析为大信号分析,其分析工作的过程是进行瞬态分析,同时寻找其周期性的稳态;在寻找到稳定周期之后,在周期中取点进行直流分析,确定每个点的直流偏置状态,然后在各个直流偏置上进行小信号分析.

在 Choosing Analyses 中设置 PSS 参数:拍频为 600 MHz,谐波个数为 3,截止时间为 120 ns,此时控制电压是 5 V.控制选择 Simulation $\rightarrow$ Netlist and run 运行并生成网表,运行结束,对仿真结果绘图,如图 3 所示,为压控振荡器的仿真振荡波形.

从波形上可以看出,振荡器已经很好地起振起来,在电路中信号由弱变强,并且存在一定的振荡时间,从抽样点 M0, M1 可以看出,该振荡波形是相当稳定的,幅度差可以忽略不必考虑,频谱纯度也较高.此时控制电压是 5 V 输出波形上下对称,输出的振幅为 8.72 V.

由于变容二极管的可调谐电压的变化范围是 0 到 6 V,因此对应调谐频率从 720 MHz 变化到 1.115 GHz.压控振荡器的输出功率谱如图 4 所示,显示了当前调谐电压为 5 V 时的振荡器的振荡频率

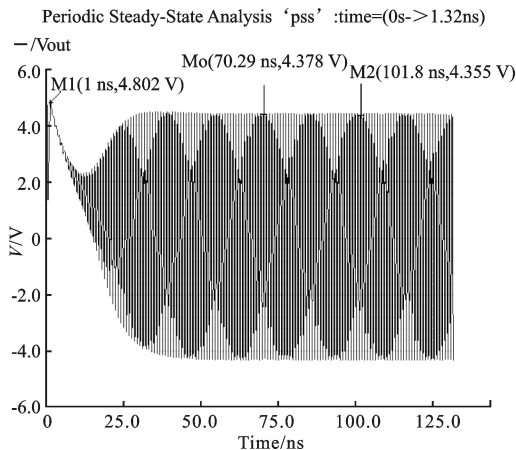


图 3 压控振荡器的仿真振荡波形

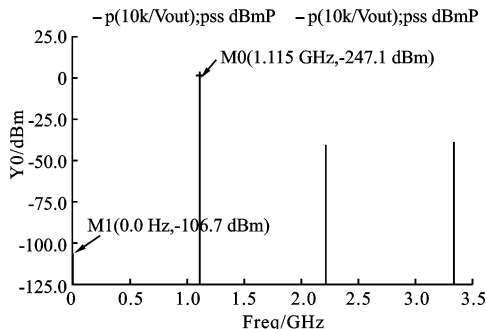


图 4 压控振荡器的输出功率谱 ($F_{vcc}=5$ V)

是 1.115 GHz,此时对应输出功率接近 0 dBm,即 1 mW.从输出功率谱中可以看出二次谐波和三次谐波都得到了很好的抑制.谐波抑制是测量 LC VCO 输出波形线性度的参数,输出谐波的能量越小说明输出的线性度越高.

3.3 相位噪声 (phase noise) 的仿真分析

本文所采用的周期性噪声分析,在计算输出相位噪声时,可同时计算时变噪声并考虑噪声折叠.图 5 所示为调节电压为 5 V 时的电路的相位噪声的分析结果,相位噪声随频率偏移的变化而变化的关系,仿真设置的频率偏移范围是 1 Hz 到 100 MHz.

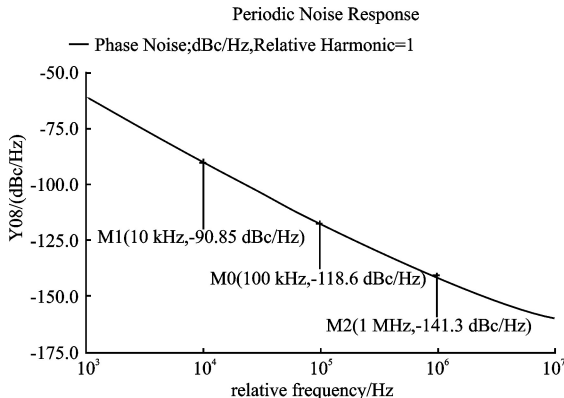


图 5 压控振荡器的相位噪声 ($V_{cntl}=5$ V)

一个振荡器在某一偏移频率处的相位噪声定义为在该频率处 1 Hz 带宽内的信号功率与信号的总功率比值,通常定义为在某一给定偏移频率处的 dBc/Hz 值,其中,dBc 是以 dB 为单位的该频率处功率与总功率的比值。

由图 5 可以看出电路在 10 kHz, 100 kHz, 1 MHz 频率偏移处的相位噪声分别为 -90.9 dBc/Hz, -118.6 dBc/Hz, -141.3 dBc/Hz, 这些指标完全符合 VCO 设计(IEEE802.11b)的要求。

振荡频率的随机起伏称为瞬时频率稳定度,频率的瞬变将产生调相噪声(PM Pnoise)和相位抖动(Pnoise jitter)。振荡幅度的随机起伏将引起调幅噪声(AM Pnoise)。

MOS 器件的闪烁噪声其频谱密度是与 $1/f$ 成比例关系的,在低频段构成相位噪声的 $1/f^3$ 部分;而振荡器的白噪声对相位噪声的贡献与 $1/f^2$ 成比例;前两部分都是由于谐振器或环形振荡器环路内部的器件噪声引起的,如果输出信号后接的缓冲器或测量装置上有白噪声,它在输出相位噪声频谱上的表现就是最后的平坦部分。

-20 dB/dec 直线可以设置于相位噪声曲线的任意频率处。根据 -20 dB/dec 曲线斜率,容易区分 $1/f^3$, $1/f^2$ 和 $1/f$ 相位噪声谱密度(PSD)的区域。图 6 所示为 1 MHz 频率处的 -20 dB/dec 直线。

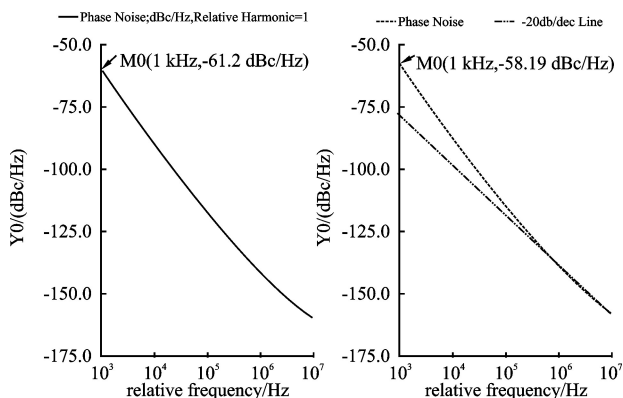


图 6 1 MHz 频率处的 -20 dB/dec 直线

4 结束语

本文在阐述电感电容结构压控振荡器噪声理论的基础上,利用 Cadence 软件对该电路进行设计与

仿真。设计仿真结果表明:设计的电路可以获得比较完美的正弦波输出和比较大的输出摆幅。同时,LC VCO 的相位噪声指标非常好。进一步证明 LC VCO 由于自身带有储能元件,因此相位噪声性能较好。不足之处在于集成电路中可变电容的可调范围有限,压控频率范围比较小。

参考文献:

- [1] 池保勇,余志平,石秉学. CMOS 射频集成电路分析与设计[M]. 北京:清华大学出版社,2006:369-454.
- [2] 胡宴如,耿苏燕. 高频电子线路[M]. 北京:高等教育出版社,2004:81-118.
- [3] 李建恒. 应用于小数频率合成器的电感电容压控振荡器设计[D]. 天津:天津大学,2007.
- [4] Ken Kundert. Predicting the Phase Noise and Jitter of PLL-Based Frequency Synthesizers. The Designer's Guide [EB/OL]. [2013-08-13] www.designers-guide.com.
- [5] Cadence Design Systems, Virtuoso SpectreRF Simulation Option User Guide[M]. San Jose, CA: Product Version, 2005.
- [6] Lin T H, Kaiser W J, A 900MHz 2.5mA CMOS frequency synthesizer with an automatic SC tuning loop [J]. IEEE J Solid State Circuit, 2007(2):340-349.
- [7] Behzad Razavi. A study of phase noise in CMOS oscillators[J]. IEEE J Solid State Circuit, 2006, 31(3): 331-343.
- [8] Demir A. Phase noise and timing jitter in oscillators with colored noise sources[J]. IEEE Trans. Circuits and Systems I: Fundamental Theory and Applications, 2008, 49(12):1782-1791.
- [9] MAO Hong-ge, LIU Chang-wang, LIU Xiang-wei, et al. A signal control model based on two-layer signal fuzzy neural network[J]. Journal of Xi'an University of Science and Technology, 2012, 32(5): 662-666.
- [10] Hardware circuit application design mine personnel location system[J]. Journal of Xi'an University of Science and Technology, 2012, 32(3): 324-329.

作者简介:

梁爽女,(1974-),博士研究生,讲师。研究方向为电路与系统学科方面的教学与科研工作。