

10 Gb/s 自适应均衡器设计

黄灿灿, 刘辉华

(电子科技大学 电子科学技术研究院, 四川 成都 610054)

摘 要: 提出了一种改进型的自适应均衡器结构, 通过在自适应环路中引入频谱均衡技术, 分离出随机性二进制数据中的高频与低频分量, 并将二者之间的平均功率进行比较, 产生表征信道衰减程度的电压信号, 据此调整高频增益的大小. 本次设计采用 SMIC 0.13 μm 标准 CMOS 工艺, 在 1.2 V 电源电压下, 能够对长度达 80 cm 的 FR4 基板传输线进行有效的补偿, 从而完成对 10 Gb/s 随机性二进制数据的最优均衡.

关键词: 自适应均衡器; 均衡滤波器; 容性负反馈; 高速链路; 有损信道

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2014)03-0173-04

A Novel Architecture for 10 Gb/s CMOS Adaptive Equalizer

HUANG Can-can, LIU Hui-hua

(Research Institute of Electronic Science and Technology, UESTC, Chengdu 610054, China)

Abstract: An adaptive equalizer incorporates spectrum-balancing technique to obviate the using of slicers. This circuit compares the low and high frequency components of the data spectrum and adjusts the boosting accordingly. Realized in SMIC 0.13 μm CMOS technology, this circuit achieves a data rate of 10 Gb/s while compensating the 80 cm FR4 transmission line from a 1.2 V supply.

Key words: adaptive equalization; equalizing filter; capacitive degeneration; high-speed links; lossy channel

1 引言

FR4 基板上的传输线对信号衰减的幅度跟信号本身的频率有关(趋肤效应和介质损耗). 特别是当数据率达到 10 Gb/s, 以及走线长度达到十英寸时, 接收端的信号眼图完全闭合. 发送端的预加重电路可以对信道损耗进行一定程度上的补偿, 但大多以高功耗、低动态范围为代价, 并且无法预知信道衰减的程度, 因此预加重电路具有一定的盲目性. 接受端的均衡器不仅避免了这一些问题, 同时还可以根据信道衰减的程度, 进行自适应补偿. 文献[1-2]中采用了非线性均衡器(如判决反馈均衡器), 该类均衡器能够避免噪声积累和高速过冲但其功耗较大, 结构复杂, 因而未能广泛应用.

为了解决上述问题, 本文提出一种改进型自适应均衡器结构. 该结构由三级模拟均衡器级联而成, 并且在反馈环路中采用自比较(self-comparison)电

路代替功耗和面积都较大的限制器(slicer)电路.

2 均衡器设计

2.1 整体结构

传统均衡器在带宽、自适应性、高频增益等方面无法满足愈来愈高数据速率的要求. 采用容性负反馈的电路, 每级只能产生一个零点, 高频增益表现不佳. 在反馈环路设计方面, 文献[2-3]中缺少平衡限制器输入摆幅和输出摆幅的机制, 文献[4]中采用双环结构对限制器的输入输出摆幅进行匹配, 但电路结构的高复杂度不仅带来高功耗, 而且存在工作状态的不确定性.

经均衡器补偿的随机二进制数据频谱必须尽可能地接近理想值, 因此, 可根据数据高频部分的补偿程度来调节增益, 提升强度. 理想二进制随机数据的功率谱归一化表达式为

$$S_x(f) = T_b [\sin(\pi f T_b) / \pi f T_b]^2 \quad (1)$$

式中, T_b 表示数据流的位宽, 将其在 0 到正无穷的频率进行积分可得到

$$\int_0^\infty S_x(f) df = \frac{1}{2} \quad (2)$$

设频率点 f_m 能够将频谱分割成具有相同功率的两个部分, 即

$$\int_0^{f_m} S_x(f) df = \int_{f_m}^\infty S_x(f) df = \frac{1}{4} \quad (3)$$

解得

$$f_m \approx 0.28/T_b. \quad (4)$$

假设经过均衡器补偿的数据高频和低频部分的功率分别为 P_H 和 P_L , 若 $P_H > P_L$, 则补偿过度; 若 $P_H < P_L$, 则补偿不足. 图 1 为均衡器整体框图. 三个压控增益提升单元 (boosting stage) 通过容性耦合级联起来以提供较大的高频增益提升. 功率鉴别器 (power detector) 采用一阶高通滤波器、一阶低通滤波器和高增益整流器 (rectifier) 来获得低频和高频部分的功率均值. V/I 转换器连同电容 C_F 将功率转换器的输出电压信号转化为均衡滤波器的控制电压, 用以调节高频补偿强度.

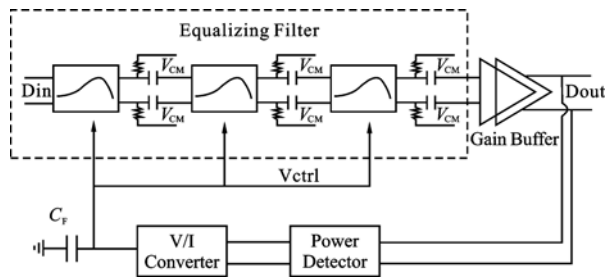


图 1 自适应均衡器整体结构

2.2 环路分析

为简化分析, 假设 PD、V/I 组合及均衡器滤波器和增益缓冲级呈现线性特性. 其开环传输函数为

$$H(s) = K_{PV} K_F / (s C_F) \quad (5)$$

式中, K_{PV} 和 K_F 分别表示 PD、V/I 组合以及均衡滤波器、增益缓冲级组合的增益. 由于传输函数中只存在一个极点, 此负反馈环路具有 90° 的相位裕度, 因此能够无条件保持稳定. 闭环传输函数为

$$\frac{H(s)}{1 + H(s)} = \frac{K_{PV} K_F}{C_F} / \left(s + \frac{K_{PV} K_F}{C_F} \right) \quad (6)$$

可以看出, 环路时间常数为 $\tau = C_F / (K_{PV} K_F)$. 当环路受到突发干扰时, 该自适应机制能迅速地将环路带回平衡状态. 由于滤波电容 C_F 过小可导致控制电压的漂移, 而过大则导致长建立时间, 本设计取 $C_F = 8 \text{ pF}$ 作为以上两者之间的折衷, 又由式 (4) 可确定 $f_m = 2.8 \text{ GHz}$. 图 2 和图 3 为晶体管级仿真结果, 分别为控制电压 V_{ctrl} 的锁定过程 (传输线长为

0.8 m 时), 以及 V_{ctrl} 自适应曲线 (以传输线长度表征衰减程度). 结果表明该环路不仅能够在极端情况下保持稳定, 而且能够在大范围内作出自适应均衡.

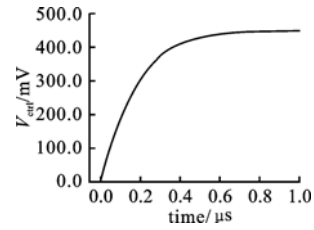


图 2 控制电压 (V_{ctrl}) 的锁定过程

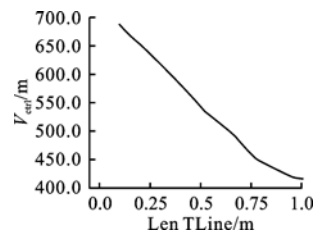


图 3 V_{ctrl} 的自适应调谐曲线

2.3 模块电路

2.3.1 均衡滤波器

通过容性源极负反馈可有效地提升高频增益. 图 4 所示为传统电路结构. 其中 R_L , R_S , C_L 和 C_S 分别表示负载电阻, 源极负反馈电阻, 负载电容, 源极负反馈电容. 传输方程为

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{g_{m1} R_L}{1 + (g_{m1} + g_{mb1}) R_S / 2} \cdot \frac{1 + S / \omega_{k1}}{(1 + S / \omega_{p1})(1 + S / \omega_{p2})} \quad (7)$$

该传输方程存在两个极点, 分别为 $|\omega_{p1}| = [1 + (g_{m1} + g_{mb1}) R_S / 2] / (R_S C_S)$, $|\omega_{p2}| = 1 / (R_L C_L)$, 一个零点 $|\omega_{k1}| = 1 / (R_S C_S)$. 其低频增益为 $A_O = g_{m1} R_L / [1 + (g_{m1} + g_{mb1}) R_S / 2]$, 提升因子 (boost factor), $\omega_{p1} / \omega_{k1}$. 将零点设置为远小于极点的值, 可获得高频峰化. 由以上各式可以得到

$$A_O (\omega_{p1} / \omega_{k1}) \omega_{p2} \approx g_{m1} / C_L \quad (8)$$

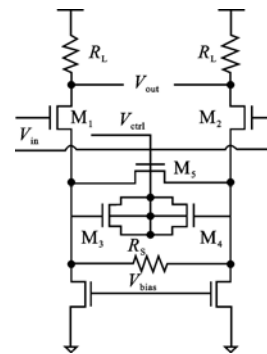


图 4 传统均衡滤波器

由式 (8) 可知, 低频增益、提升因子以及带宽被

工艺截止频率 f_T 所限制,其中任一者的提高均以两外两者的降低为代价.仿真表明在 $0.13 \mu\text{m}$ 工艺下,要想使得 5 GHz 处提升因子达到 22 dB 、整体带宽达到 5.5 GHz ,需要三级级联,但是每一级的低频衰减高达 6 dB .如此大的衰减会导致摆幅明显减小以及链路上噪声积累.

因此,在滤波器输出端引入感性峰化和负米勒电容^[5],如图5, C_M 为米勒电容,产生新的传输方程:

$$\frac{V_{\text{out}}(s)}{V_{\text{in}}(s)} = \frac{g_{m1} R_L}{[1 + (g_{m1} + g_{mb1}) R_S / 2]} \cdot \frac{1 + S/\omega_{z1}}{(1 + S/\omega_{p1}) \cdot \frac{1 + S/\omega_{z2}}{1 + 2s/Q\omega_0 + s^2/\omega_0^2}} \quad (9)$$

式中, ω_{z1} 、 ω_{p1} 不变, $|\omega_{z2}| = 2\omega_0/Q$, $Q = (2/R_L) \sqrt{L_D/C_L}$, $|\omega_0| = 1/\sqrt{L_P C_L}$, 此处的 C_L 包含了负米勒电容效应.第二个零点 ω_{z2} 增大了提升因子,并且增大了带宽.感性峰化技术使限制带宽的输出端电容与电感谐振,负米勒电容抵消了一部分输入端电容,降低了前一级的负载,由此提高单级带宽.由于引入了一对复极点,为避免严重的相位扭曲,应保证较低的 Q 值.

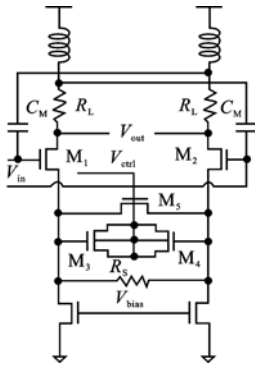


图5 具有感性峰化和负米勒电容的均衡滤波器

高频增益提升级间通过电容耦合以避免前一级输出共模电平的波动影响后一级 $M_3 - M_5$, 这样保持了恒定的调谐范围. 耦合电容的选取须在低频损耗和带宽之间折衷. 由于采用了三个均衡滤波器级联, 产生的低频损需要耗额外两个增益级来补偿. 如果 m 相同单元级联, 整体的带宽由下式确定^[6]:

$$BW_{\text{tot}} = BW_0 \sqrt[2^{1/n}]{1}$$

式中, BW_0 表示单级带宽, m 的取值由单级的阶数决定. 采用三级增益提升滤波器和二级增益级时, 整体带宽降低为单级的 0.62 倍. 为避免整体带宽的大幅减小, 引入了比例缩小技术^[7], 每一级的大小相对前一级缩小了 β 倍. 考虑到最后一级的负载电容, 以及第一级的输入电容大小的限制, 本设计中 β 取 1.4 .

2.3.2 功率鉴别器(power detector)和 V/I 转换器

如图6所示, 功率鉴别器比较低频和高频部分的功率, 并以电压信号作为输出, 结合电流摆技术, 得到较大的输出信号摆幅. 两个具有相同转折频率的一阶 RC 滤波器用于分离低频信号和高频信号. 阻值为 $10 \text{ k}\Omega$ 电阻 R_{CM} 用于产生共模电平. 如图7所示, V/I 转换器由一对差分对管和三组电流镜组成, 具有输出摆幅大的优点, 能够满足环路对控制电压调谐范围的要求.

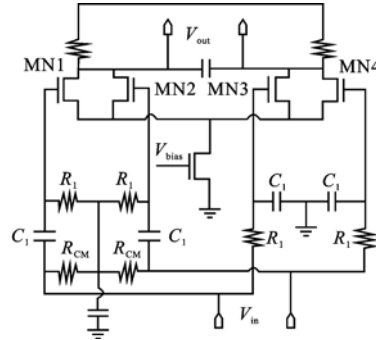


图6 功率鉴别器

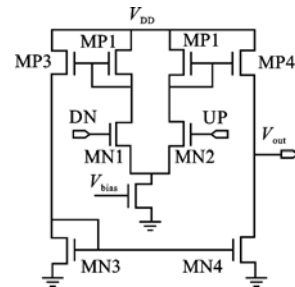


图7 V/I 转换器

图8显示, 当摆幅为 800 mV 的 10 Gb/s 差分伪随机二进制信号经过 0.8 m FR4 传输线后, 眼图完全闭合. 图9为其经过自适应均衡后的眼图.

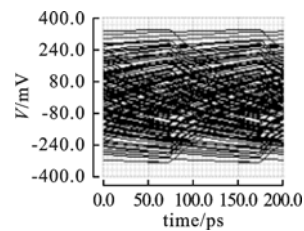


图8 经过 0.8 m 传输线衰减后未均衡信号眼图

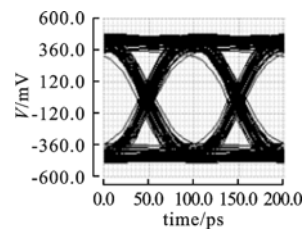


图9 经过 0.8 m 传输线衰减且均衡的信号眼图

3 比较结果

本设计与文献[3]、文献[5]中设计的几项关键指标进行比较,如表 1 所示.

对比表明:相对文献[5],本设计在相同工艺下,各项指标均有改进,尤其是面积大幅减小;相对文献[3],本设计产生的抖动(Jitter)明显减小,大大减小了误码率.

表 1 综合对比结果

	本文	文献[3]	文献[5]
Technology	0.13 μm CMOS	0.11 μm CMOS	0.13 μm CMOS
InputData Rate/(Gb/s)	10	10	10
Supply Voltage/V	1.2	1.2	1.2
Bandwidth/GHz	5.7	5.5	5.5
Boost Factor/(dB @5GHz)	22	20	20
Area/($\mu\text{m} \times \mu\text{m}$)	380×265	47×85	450×360
Power Dissipation/mW	22	13.2	25
Peak to Peak Jitter/ps	13	27.8	15

4 结束语

本设计采用频谱平衡技术,极大地简化了反馈环路的设计,降低了功耗和面积,同时能够提供 22 dB 的提升因子,可以广泛应用于高速串行通信链路中.

参考文献:

- [1] Krishna K, Yokoyama—Martin D A, Wolfer S, et al. A multigigabit backplane transceiver core in 0.13- μm CMOS for serial data transmission across high loss legacy backplane channels[J]. IEEE J Solid-State Circuits, 2005(9):2658-2666.
- [2] Zhang G, Green M M. A BICMOS 10 Gb/s adaptive cable equalizer[J]. IEEE Journal of Solid-state Circuits, 2005, 40(11):2132-2140.
- [3] Tomina Y. A 10 Gb/s receiver with equalizer and on-chip ISI monitor in 0.11- μm CMOS[C]//Proceedings of the 2004 Symposium on VLSI Circuits. [s. l.]:

IEEE, 2004:202-205.

- [4] Gondi S. A 10 Gb/s CMOS adaptive equalizer for backplane applications[C]//proceedings of the IEEE international solid-state Circuits Conference. San Francisco, CA:IEEE, 2005:328-329.
- [5] Mataya J A, Haines G W, Marshall S B. IF amplifier using Cc compensated transistors[J]. IEEE J Solid-State Circuits, 1968(5):401-407.
- [6] Jindal R P. Gigahertz-band high-gain low-noise AGC amplifiers in fineline NMOS[J]. IEEE J Solid-State Circuits, 1987, 22(8):512-521.
- [7] Sackinger E, Fischer W C. A 3-GHz 32-dB CMOS Limiting Amplifier for SONET OC-48 Receivers[J]. IEEE J Solid-State Circuits, 2000, 35(9):1884-1888.

作者简介:

黄灿灿 男, (1990—), 硕士. 研究方向为高速 SerDes 设计.
刘辉华 男, (1978—), 博士. 研究方向为高速串并并串接口设计、数模混合 IC 设计.