

一种异步电路设计的 FPGA 全流程验证方法

王 康, 黄乐天, 李广军

(电子科技大学 通信与信息工程学院, 四川 成都 611731)

摘 要: 以往异步电路在 FPGA 上的设计验证采用 HDL 设计的 Muller 门搭建电路, 在实现时需要手动布局布线来完成时序约束, 设计繁琐复杂. 对此完善了异步电路设计平台 Balsa 与 FPGA 设计工具相结合的设计验证流程, 采用四相双轨延迟不敏感的握手协议, 避免了手动布局布线的繁琐步骤. 同时, 在不同 FPGA 平台间具有良好的可移植性. 重点设计了遵循异步握手协议的输入电路, 完成了行为级到板级的全流程设计及验证.

关键词: Balsa; 异步电路; Booth 乘法器; Xilinx FPGA

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2014)05-0184-04

An Full-flow Verification Method of Asynchronous Circuit Based on FPGA

WANG Kang, HUANG Le-tian, LI Guang-jun

(School of Communication and Information Engineering, University of
Electronic Science and Technology of China, Chengdu 611731, China)

Abstract: Asynchronous circuit was designed and verified by the Muller gate designed by HDL on FPGAs previously, and it was implemented with manual P&R to accomplish timing constraint, which is so complex. In this paper, the flow combining Balsa asynchronous circuits design platform and Xilinx FPGA P&R tools was perfected. The four phase dual-track handshake protocol was used to avoid the complex flow of manual P&R and this design has well performance of transplant. This paper focused on the design of the input circuit which follows the asynchronous handshake protocol and completed a behavioral level to board-level design and verification of the whole process.

Key words: Balsa; asynchronous circuits; Booth multiplier; Xilinx FPGA

1 引言

异步电路的发展起源于上世纪 60 年代, 但由于设计复杂, 缺乏工程化的设计和验证手段, 以及缺乏异步相关 EDA 工具的支持, 异步电路发展一直很缓慢. 相比同期出现的同步电路则因设计相对简单, 并且具有丰富的工程化设计手段以及 EDA 工具的强力支持而逐渐占据电路设计的主流^[1]. 近年来, 半导体工艺不断进步, 电路的设计规模越来越大, 同步电路中的功耗、全局时钟树、关键路径、亚稳态^[2]、电磁兼容性问题日趋严重. 异步电路没有全局时钟, 系统各模块之间的数据交换通过相互之间的握手(handshaking)过程完成. 异步集成电路的低功

耗、运行速度快、电磁兼容性好、可靠性强、可避免时钟偏斜(skew)问题等优点逐渐显现^[3].

ASIC 芯片的流片是不可重复的, 如果出现错误, 整个芯片将会完全报废, 大大增加了芯片制造时间和成本, 甚至导致芯片错过最佳的上市时机. 所以在数字芯片流片(tape-out)前对设计进行充分的验证是十分必要的. 在同步电路设计流程中, 利用 FPGA 对整个设计进行功能和时序验证已经是业界广泛采用的步骤. 异步电路流片(tape-out)前的 FPGA 验证在业界和学术界也有大量的研究, 但大都工作量大, 实现困难, 并且缺乏通用性.

本文对异步电路在 FPGA 上的验证进行了回顾, 总结了原有方法在实现上的复杂性, 完善了 Bal-

sa 异步设计工具和 Xilinx FPGA 结合的异步全流程设计验证方法. 分析了异步握手协议的选择, 并对 FPGA 上四相双轨协议的模拟进行重点设计. 以异步 Booth 乘法器为例, 完成异步电路 FPGA 全流程的设计及验证.

2 FPGA 中实现异步电路验证的方法

FPGA 具有设计周期短、开发费用低等特点, 是数字电路设计及芯片验证中非常通用的器件. 但是, 目前商用的 FPGA 结构和 EDA 工具只支持同步数字电路, 因此, 有大量的研究致力于在 FPGA 上实现对异步电路的验证. 文献[5]采用了 Actel 的 FPGA 为自定时电路设计了库单元, 但是没有对电路风险和特点进行分析, 并且, 设计的库没有要求布局布线工具控制逻辑模块的位置. 文献[6]利用 Xilinx XC4000 设计了一组具有延迟时间约束函数的无冒险的单元. 由于逻辑模块在不同器件中具有不同的延迟时间, 所以这个库单元不能移植到其他 FPGA 系统中. 文献[7]在采用 Verilog 设计的 Muller 门及控制单元, 在 Virtex-5 FPGA 上完成了异步 MIPS 处理器的设计, 但是需要在握手通路中插入延迟单元匹配延迟时间, 设计复杂.

目前, 在商用 FPGA 上实现异步电路有以下两种方法. 第一种方法是利用传统的 FPGA 设计流程, 采用 HDL 语言设计无冒险的 Muller 门. 采用结构模型和预定义的 Muller 门搭建异步电路, 由于 FPGA 上连接线延迟不能忽略, 这要求在对等时交叉进行布线的时候必须平衡以避免冒险和最小化延迟^[8]. 另外, Muller 门中的延迟信号不能在一个可编程逻辑单元里布线. 因此, Muller 门必须被强制映射到一个 CLB 中. 由于限制条件的存在, 时序约束不能通过自动布局布线来保证, 等时交叉必须靠手工实现时序约束, 增加了设计实现的难度和复杂度.

第二种方法是利用异步电路前端设计工具及标准 FPGA 设计工具的结合. 文献[8]给出了结合 Balsa 和 Xilinx FPGA 的异步设计流程, 但文中只给出了功能仿真结果, 没有在 FPGA 上进行全流程的验证. 在 FPGA 上对异步电路进行实际的板级验证时, 需要按异步接口的协议处理输入的数据和相关信号, 本文对文献[9]的流程进行了完善, 实现流程如图 1 所示, 重点在握手协议选择四相双轨握手协议以及异步握手协议信号及输入数据电路在 FPGA 上的模拟.

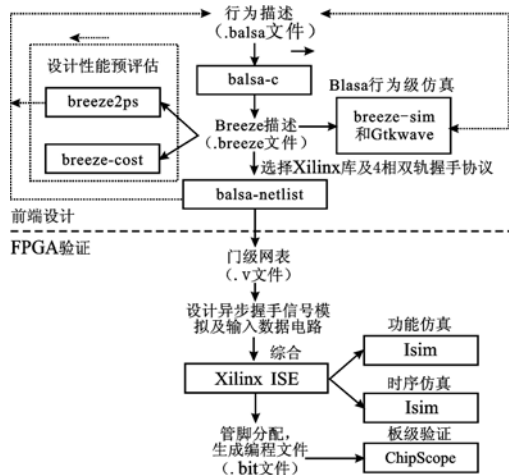


图1 Balsa 与 Xilinx FPGA 组合的异步电路设计流程

另外, 文献[9]的设计中选择的是四相单轨握手协议, 此协议是依赖于延迟匹配的, 在 FPGA 实现的时候需要手动控制布局布线, 在相关线路上需要插入缓冲器匹配时序, 操作十分复杂. 本文选择的是四相双轨握手协议, 此协议是延迟不敏感的协议, 同时电路过程中的毛刺信号对结果不会造成影响. 异步电路在 FPGA 上完成验证需要对异步输入接口进行模拟, 本文针对选择的四相双轨握手协议, 采用少量的器件完成了此项工作.

3 FPGA 中对异步电路端口握手信号的模拟

异步电路大致可以从握手协议、数据编码方式和延时模型三个方面进行分类, 这样可以组合出很多种异步电路的工作模式. 根据握手协议和数据编码方式的不同, 异步电路可分为延迟敏感电路和延迟不敏感电路. 双轨握手协议采用两条线来表示 1 位信息, 只有当两条线的逻辑相反时数据有效, 这种独特的编码方式有很强的鲁棒性, 不受线延迟的影响. 而单轨握手协议, 需要在 Req 通道上插入缓冲器来匹配线延迟, 这在 FPGA 实现中, 需要利用实际的线延迟信息来手动干预布局布线, 过程相当繁琐.

如图 2 所示, 双轨编码中每个数据信息 d 都采用两个请求线表示: 一个请求线 d.t 用来表示逻辑真(1), 另一个请求线 d.f 用来表示逻辑 0(假), 其中 (0,0) 表示空闲状态, (0,1) 和 (1,0) 代表逻辑“0”和逻辑“1”, (1,1) 是非法的. 其工作过程示意图如图 3 所示: ①发送端发送一个有效码字; ②接收端接收这个码字并置应答信号为高; ③发送端通过产生一个空码字作为响应; ④接收端通过置应答信号为低作

为响应,这时发送端可以进行下一次通信周期.在通道上观察到的是被空码字隔开的有效码字数据流,并且只有 d. t 和 d. f 的数据每位是相反时才为有效码字数据,所以不同线延迟对电路没有影响.

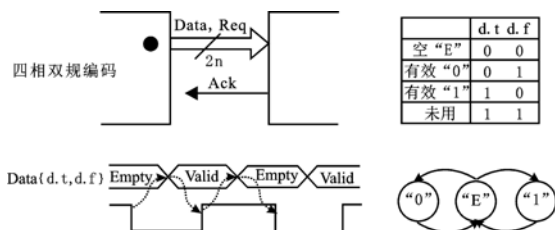


图2 四相双轨协议的延迟不敏感通道

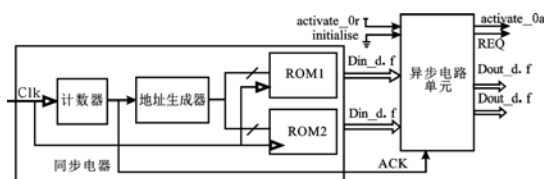


图3 FPGA 中对异步电路单元输入接口的模拟

由于四相双轨协议将请求信号与数据信号放在一起编码,电路的输入端口就只有应答信号 ACK 以及两路互为反码的数据信号,简化了 FPGA 中对异步单元电路输入/输出端口的处理.

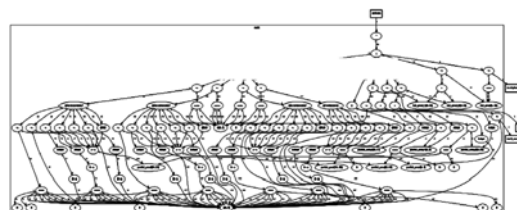
本文设计的异步电路采用的是拉通道,应答信号 ACK 是由上游电路提供,在 FPGA 中通过一个计数器来模拟此信号.原始输入数据 1 以间隔 0 的方式存储在 ROM1 存储中,原始数据的反码电路同样以间隔 0 的方式存储在 ROM2 中.当 ACK 信号为高时,ROM1 和 ROM2 的地址同时加 1,输出数据送至异步单元电路的 d. t 和 d. f 端口.在后仿真及板级验证部分,根据输出结果的有效性,不断调整计数器的计数门限来确定所设计的异步电路的速度性能.

由图 3 可知,对四相双轨握手协议的模拟仅用了 2 个计数器和两个存储相反数据的 ROM 完成.异步握手协议的模拟对异步电路在 FPGA 上的验证起着至关重要的作用,本文采用的设计同时完成了握手信号的传递及数据的输入,设计方便快捷,同时不用手动布局布线及插入缓冲器等复杂的操作.

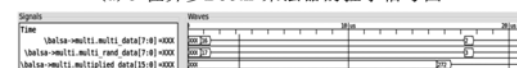
4 Booth 异步乘法器设计及验证

在 Linux 系统中,建立 Balsa 工程,编写 Booth 乘法器的 Balsa 代码,完成 8 位异步乘法器的行为级描述.两个输入端口 multi_rand 和 multi 为 8 位有符号数,输出端口 multiplied 为 16 位有符号数.对 8 位异步乘法器的代码进行编译生成 Breeze 格

式的文件,利用 Breeze2ps 工具生成异步乘法器的握手信号流图,如图 4(a)所示.完成以上工作后,对所设计的 8 位异步乘法器进行行为级仿真,测试激励通过文本方式输入,输出数据可由数据和波形图两种方式来查看,仿真波形如图 4(b)所示.



(a) 8 位异步 Booth 乘法器的握手信号图



(b) GtKwave 显示乘法器仿真波形

图4 握手信号图及仿真波形

利用 Balsa-netlist 工具,基于 Xilinx FPGA 的门级库生成可用于 Xilinx FPGA 的网表文件,完成工艺映射和握手扩展,握手协议选择四相双轨协议.在 Xilinx ISE Design Suite 13.2 中建立工程,将通过 Balsa 得到的网表作为一个模块例化,利用前文所讲的握手模拟方法,对输入端口的握手操作进行模拟.

功能仿真的波形如图 5 上半部分所示.添加时序约束文件,完成引脚分配后将设计生成编程文件下载到 NEXYS 3 开发板中,利用内嵌数据逻辑分析仪 ChioScope Pro 抓取数据,如图 5 所示.可知,所设计的异步乘法器工作完全正常.



图5 FPGA 中的功能仿真波形及板级波形

其中,initialise 是初始化信号,activate 是来自外部分激励信号,activate_or 置高意味着模块开始工作,activate_0a 标志模块工作完成,由于实际模块在连续不断的工作,所以此信号一直为 0. multi_rand_0a1d 为被乘数的 d. t 数据(即原始数据),multi_0a1d 为乘数的 d. t 数据,multiplied_0r1d 为乘积的 d. t 数据,可知,所设计的异步乘法器工作完全正常,电路中产生的毛刺信号没有对乘法功能造成影响.通过不断调整计数器的门限值,得出所设计的异步乘法器在 Xilinx Spartan-6 FPGA 上的等效速度为 150 MHz.

5 结束语

本文针对异步电路在FPGA上的验证问题,完善了异步电路设计工具Balsa和Xilinx FPGA相结合的全流程设计方法,重点设计了FPGA中对四相双轨所握手协议的模拟.此设计流程避免了以往异步电路在FPGA上验证需要利用HDL设计Muller门及需要手动布局布线来完成时序约束的繁琐步骤,同时,所设计的异步电路在不同的FPGA平台上具有良好的可移植性,避免了重复设计.本文以8位Booth异步乘法器为例,进行了异步电路全流程设计,最后在NEXYS 3开发板上成功运行异步乘法器,证明了流程以及握手电路的正确性,验证了异步电路在实际硬件上的可行性.

参考文献:

- [1] 茅剑锋,赵千川.异步电路验证算法[J].计算机学报,2004,27(1):67-78.
- [2] 杨平中,孙义和.视频信号处理SoC中异步时钟处理技术[J].微电子学与计算机,2010,27(6):24-27.
- [3] Furber S. Principles of asynchronous circuit design[M]. Berlin:Springer,2001.

- [4] Doug Edwards, Andrew Bardsley, Lilian Janin, et al. Balsa: A Tutorial Guide [EB/OL]. [2013-04-20]. <ftp://ftp.cs.man.ac.uk/pub/amulet/balsa/3.5>
- [5] Brunvand E. Using FPGAs to implement self-timed systems[J]. Journal of VLSI signal processing systems for signal, image and video technology, 1993, 6(2):173-190.
- [6] Maheswaran K. Implementing self-timed circuits in field programmable gate arrays[D]. Daris:University of California, 1995.
- [7] Lee S J, Lee D Y, Ko Y W, et al. Asynchronous Circuit Design on an FPGA: MIPS Processor Case Study [M]. Berlin Heidelberg:Springer,2012:480-487.
- [8] 谷佳华,周端,杨延飞.基于Balsa—Xilinx FPGA的异步设计流程[J].微电子学与计算机,2012,29(6):18-22.

作者简介:

王康男,(1988—),硕士研究生.研究方向为数字电路设计及低功耗设计技术.

黄乐天男,(1984—),博士,讲师.研究方向为能量自适应及动态可重构计算.

李广军男,(1950—),教授,博士生导师.研究方向为信号与信息处理、通信ASIC设计、嵌入式系统.

(上接第183页)

- [2] Li Z S, Li J S. Design and implementation of operational effectiveness valuation simulation system for ECM [C]//Proceedings of the IEEE First International Conference on Innovative Computing, Information and Control-Volume 3. DC, USA: IEEE Computer Society Washington,2006:356-359.
- [3] 陈守煜.多目标系统半结构性决策理论与方法[J].辽宁工程技术大学学报,2001,20(5):578-582.
- [4] 张昌龙,周林,张文.基于模糊综合评判的防空作战演习效果评估[J].火力与指挥控制,2011,36(12):

48-50.

- [5] 基于灰色层次分析法的水声对抗系统效能评估[J].兵工学报,2012,33(4):432-436.

作者简介:

郑敏娇女,(1984—),助教.研究方向为复杂系统建模与仿真,作战效能评估.

郑安卡男,(1958—),教授.研究方向为运筹学分析、作战效能评估.