

一种结合路由器旁路通道的低延迟 NoC 容错机制

刘 江¹, 张金艺^{1,2,3}, 周 多², 周文强¹

(1 上海大学 微电子研究与开发中心, 上海 200072; 2 上海大学 特种光纤与光接入网省部共建教育部重点实验室, 上海 200072; 3 上海大学 教育部新型显示与系统应用重点实验室, 上海 200072)

摘 要: 提出一种结合路由器旁路通道的低延迟 NoC 容错机制, 该机制首先在路由器内部增加了旁路通道和检错装置, 来实现 NoC 的容错; 其次在容错路由算法中引入了多级拥塞控制的理念, 来降低 NoC 的网络延迟. 通过使用 NIRGAM 平台进行仿真, 实验结果表明, 所提出的容错路由算法与 ASL-XY 算法以及低延迟可靠传输算法相比, 网络平均延迟有明显的降低, 并且随着数据包注入速率的增大, 并且此算法的网络平均延迟增长率要明显缓于其他两种算法.

关键词: 片上网络; 容错; 低延迟; 路由器

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2015)04-0010-05

A Kind of Low Latency NoC Fault-Tolerant Mechanism Combined with Router Bypass Channel

LIU Jiang¹, ZHANG Jin-yi^{1,2,3}, ZHOU Duo², ZHOU Weng-qiang¹

(1 Microelectronic Research and Development Center Shanghai University, Shanghai 200072, China;

2 Key Laboratory of Special Fiber Optics and Optical Access Networks, Ministry of Education Shanghai University, Shanghai 200072, China; 3. Key Laboratory of Advanced Displays and system Application, Ministry of Education, Shanghai University, Shanghai 200072, China)

Abstract: This paper comes up with a kind of low delay NoC fault-tolerant mechanism which is based on router bypass channel. Firstly, the bypass channel and error detection device are added into this mechanism to achieve fault-tolerance in the router. Secondly, the multilevel congestion control concept is introduced to reduce the NoC delay in fault-tolerant routing algorithm. The simulation was conducted by using the NIRGAM platform. The experimental results show that, comparing the fault-tolerant routing algorithm proposed in this paper with the ASL-XY algorithm and low delay and reliable transmission algorithm, the network average delay is reduced significantly, and with the packet injection rate increasing, the network average delay rate growth in the proposed algorithm is obviously lower than the one in the other two algorithms. It's effectively proved that its excellent performance of NOC fault tolerance mechanism is designed in this paper.

Key words: network-on-chip; fault-tolerance; low delay; router

1 引言

由于芯片的集成度不断提高, 其面积不断减小, 使得芯片上的故障率也逐渐上升. 故障的出现, 导致了原有的路由算法不再适合固有的 NoC 体系结构^[1-2], 数据不能完成正常的传输, 丢包率迅速上升,

NoC 的可靠性也大大降低. 为此研究者提出了具有容错功能的机制和容错路由算法, 他们通过对路由器或路由算法的改进, 使数据包在路由过程中避免了故障路由节点的影响, 解决了故障给 NoC 带来的低可靠性的问题. 但伴随而来的是路由器和路由算法变得更复杂, 数据包传输过程更为繁琐, 从而增加

收稿日期: 2014-06-20; 修回日期: 2014-08-16

基金项目: 国家“八六三”计划项目(2013AA03A1121, 2013AA03A1122); 上海市教委重点学科项目(J510104)

了 NoC 的网络延迟,因此,为提高 NoC 的可靠性和降低网络延迟,有必要设计出较为完善的容错机制和容错路由算法。

近年来,研究者主要从设计容错路由算法方面,来解决故障给 NoC 带来的低可靠性的问题。文献[3]中提出的基于链路状态的自适应 XY 路由算法(Adaptive State-Link XY routing, ASL-XY),ASL-XY 路由不仅能达到容错的目的,而且也是没有死锁的。但该算法没有考虑网络延迟问题,在单位周期内注入数据包的数量增加,即注入速率增高时,该算法的网络延迟也会大幅度地升高。在文献[4]中作者设计了片上网络的低延迟可靠传输算法,该算法相对文献[3]来说,具有较低的网络延迟,它将数据以包集的形式发送,有效地提高了链路的利用率,而且利用发送端主动发送冗余数据包来获得较小的网络延迟。为了保证 NoC 的高可靠性,规定只有当发送端确认接收端收到当前包集后才开始发送下一个包集的数据。通过连续不断地发送数据包和发送端到接收端的反馈信息来保证传输的正确性。但是该算法需要冗余大量的数据包,不断地发送数据包,这样会造成 NoC 的拥塞状况,影响到 NoC 的吞吐量。

本文提出了一种结合路由器旁路通道的低延迟容错机制。通过实验,有效证明了本文设计的 NoC 容错机制性能的优越性。

2 容错路由器

2.1 NoC 容错架构

NoC 的拓扑结构种类繁多,本文使用 2D-Mesh 拓扑结构^[5],作为容错路由模型和容错路由算法的基础。2D-Mesh 拓扑结构,是一种常规的片上网络通信结构,是现在研究较为广泛、成熟的一种拓扑结构,它是由负责通信的路由器(Router, R)、本地的 IP 核、连通路器的双向通道(Channel)和网络接口(Network Interface, NI)组成^[6],如图 1 所示。

在 2D-Mesh 结构上有 3 种位置的路由器节点,即中间位置、边缘位置(上下边缘,左右边缘)和顶点位置,本文在此结构上提出了 2 种具有容错功能的路由器节点,来形成一个能实现容错的网络模型结构。一种是边缘位置的路由器节点,左边缘和右边缘位置的路由器节点添加了南-北方向的双向旁路通道,上边缘和下边缘位置的路由器节点添加了东-西方向的双向旁路通道;另一种是处在中间节点的路由器,需要传输四个方向,因此分别添加了连接路由

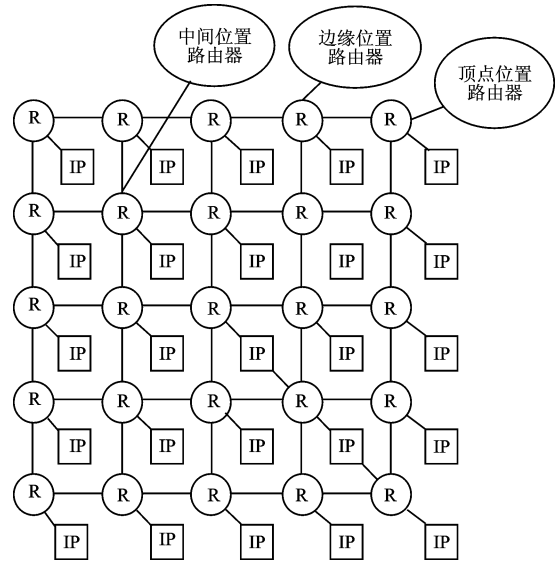


图 1 2D-Mesh 结构的 NoC

器的东-西方向端口的双向旁路通道与南-北方向端口的双向旁路通道,如图 2 中的圈内箭头所示。

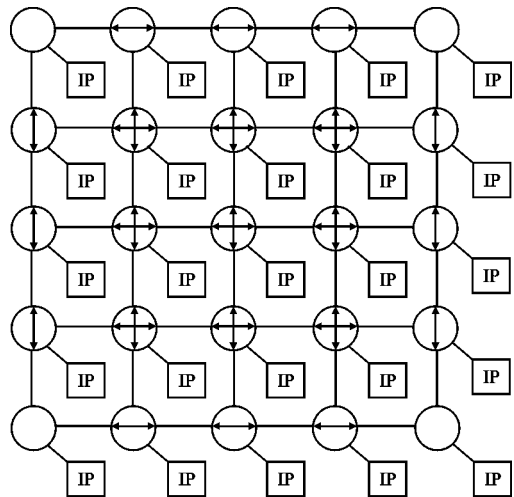


图 2 容错的网络模型

2.2 基于旁路通道的容错路由器设计

本文提出的 NoC 容错机制是基于路由器实现的,为此在电路层面上路由器的设计是非常重要的。路由器负责片上网络通信,它主要任务是实现片上网络中任意节点间的数据传输,因此路由器的性能直接影响着整个片上网络的通信性能。

路由器结构主要由负责存储数据包的输入/输出缓存、连通输入与输出的交叉开关、判断数据包转发方向的路由计算模块和仲裁器组成。其中图 3 所示为典型的 5 输入 5 输出的基于虫孔交换的路由器结构^[7]。根据本文提出的 NoC 容错机制,所设计的基于旁路通道的容错路由器在图 3 的基础上增加了

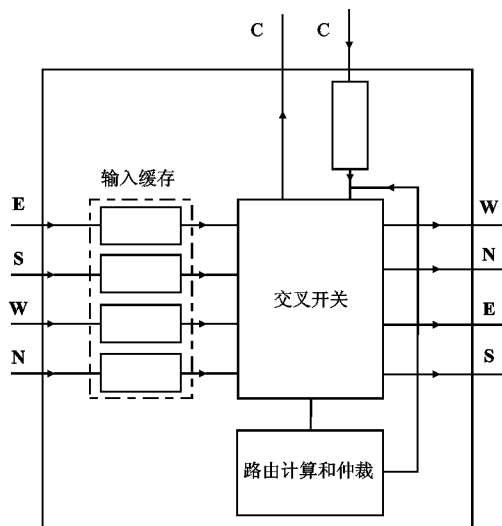


图3 典型路由器结构

检错装置、4个旁路通道选择器和4条旁路通道,重点以中间路由器节点的设计为例,如图4所示。

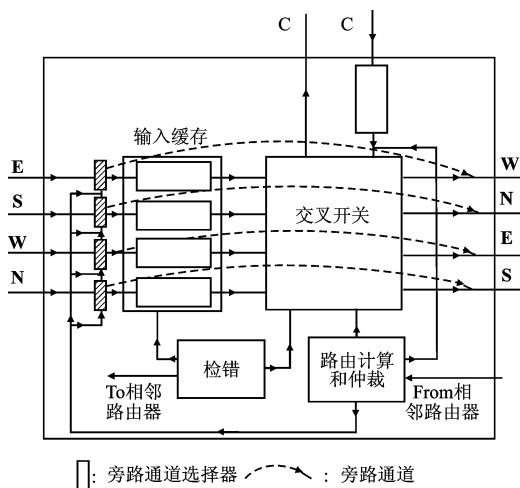


图4 基于旁路通道的容错路由器

其中检错装置主要是检查路由器的故障情况,由于交叉开关和输入缓存在 NoC 路由器结构中占据面积的比例较大,因此在 NoC 路由器所有模块中,它们出现故障的概率也是最大的^[8],所以本文设计的检错装置是针对输入缓存和交叉开关模块进行故障检查。图5为检错装置检查路由器输入缓存和交叉开关的原理图。把故障信息发往相邻路由器,使得每个路由器都知道相邻路由器的故障情况,这样在了解 NoC 各个路由器的故障情况下路由能够降低网络延迟。

旁路通道选择器的控制端口由路由计算和仲裁模块控制。当某个输入端口有数据输入,而且检测模块检查出当前路由器又出现了故障,即路由器内部

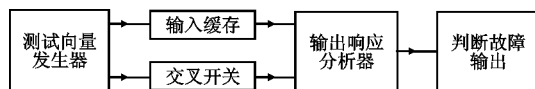


图5 检错模块检查路由器故障原理图

某模块无法正常工作,数据则通过旁路通道选择器选择旁路通道进行数据传输。如果路由器无故障,则正常传输,首先数据包传输给输入缓存模块,然后数据包头微片经过路由计算判断转发方向,仲裁器控制交叉开关,搭建输入和输出端口的互连通路,使数据包传出。

3 基于旁路通道的低延迟容错路由算法

在 NoC 中,容错路由算法可以在路由器出现故障的情况下仍具有路由能力,能将数据包准确地发送到目的节点。容错路由算法的好坏,直接决定了 NoC 网络时延和吞吐,影响 NoC 性能的可靠性^[9]。根据本文所提出的 NoC 容错机制,基于旁路通道的低延迟容错路由算法,是在增加了旁路通道的容错路由器基础上提出的,利用路由器内部的旁路通道来实现容错。并且,为了能在网络繁忙时避免网络拥塞,降低网络延迟,在算法中引入了多级拥塞控制的理念,所谓的拥塞值=数据包的个数/输入缓存的大小^[10-11],本文设计的路由器输入缓存由四个虚通道组成,当四个虚通道里都没有存储数据包时,定义拥塞等级为0,存储一个数据包时,定义拥塞等级为1,以此类推,根据拥塞的大小,从小到大分为0、1、2、3、4、5个等级。在路由过程中,拥塞等级可作为判断数据包转发方向的一个指标,选择等级较小的方向转发。

本文设计的容错路由算法描述如下:设 (C_x, C_y) 为当前节点坐标, (D_x, D_y) 为目的节点坐标,以靠近目的节点的方向称为最优路径的方向,路由开始每当节点接收到数据包时就会比较目的节点地址和当前节点地址。

(1) 当 $(C_x = D_x, C_y = D_y)$ 就转发到本地 IP 核,否则路由计算模块根据数据包的目的节点地址计算判断数据包的转发方向。

(2) 当 $(C_x \neq D_x, C_y \neq D_y)$,最优路径的方向有两个,首先判断这两个方向上的下一个路由器是否有故障(这个可以由检错装置发来的故障信号得知)。①如果发现只有一个方向上的路由器是有故障的,则选择路由无故障的节点,作为下一节点转发数据包。②如果这两个方向上的路由器都有故障,则开启 X 轴方向上故障路由器的旁路通道,使数据从旁路通道传输到下一个路由节点。③如果这

两个方向上的下一个路由器都没有故障,则根据多级拥塞控制的理念,优先选择拥塞等级较小的路由器转发数据包,如果此时拥塞等级一样,那么选择 X 轴方向的节点,作为下一节点转发数据包。

(3) 当 $(C_x \neq D_x, C_y = D_y)$ 或 $(C_x = D_x, C_y \neq D_y)$, 最优路径的方向只有一个。① 如果该方向上的下一个路由器没有故障,那么正常传输数据。②

如果该方向上的下一个路由器有故障,那么就开启该故障路由器的旁路通道,使数据通过旁路通道传输到下一路由节点。算法的流程图如图 6 所示。

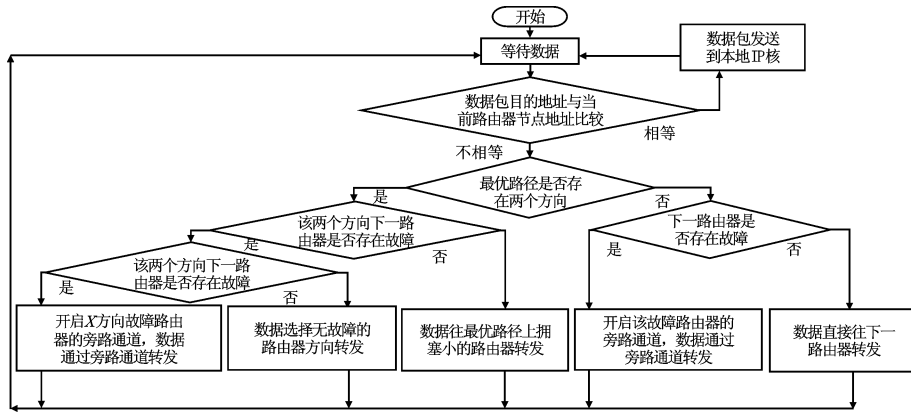


图6 基于旁路通道的低延迟容错路由算法流程图

图7所示为文献[3]的ASL-XY算法和本文容错路由算法的一个实例。S表示源节点,D表示目的节点,带箭头的直线表示ASL-XY算法从S到D的路由途径,带箭头的弧形虚线表示本文算法从S到D的路由途径。从图中可以看出ASL-XY算法在遇到故障节点时候是以绕开的方式到达目的节点D,而且在路由途中没有避开通信较为拥塞的节点。而基于本文算法,根据上面算法描述(2)中的③,数据包从S转发到了a点,避开了通信较为拥塞的节点,根据(2)中的①,数据包从a点转发到了b点,避开了故障节点,同样根据(2)中的③,数据包转发到了c点,根据(3)中的②,数据包从c点经过故障路由器的旁路通道传输到了D,再根据(1),数据包传送到目的节点D的本地IP核。这样既避开了通信较为拥塞的节点和故障节点,又缩短了通信的传输路径,实现了NOC的容错和降低了网络延迟。

4 验证与分析

本文通过在NIRGAM^[10]仿真平台上,针对文献[3]中的ASL-XY算法、文献[4]中的低延迟可靠传输算法以及本文的基于旁路通道的低延迟容错路由算法进行仿真,得到数据包的延迟数据进行比较。

NIRGAM是一种基于SystemC的仿真器,在该仿真平台下用户可以定制拓扑结构,路由规则以及仿真时所用到的各种参数,并且它可以得到每个数据包传输过程中的平均延迟^[11],是片上网络的主流仿真器。

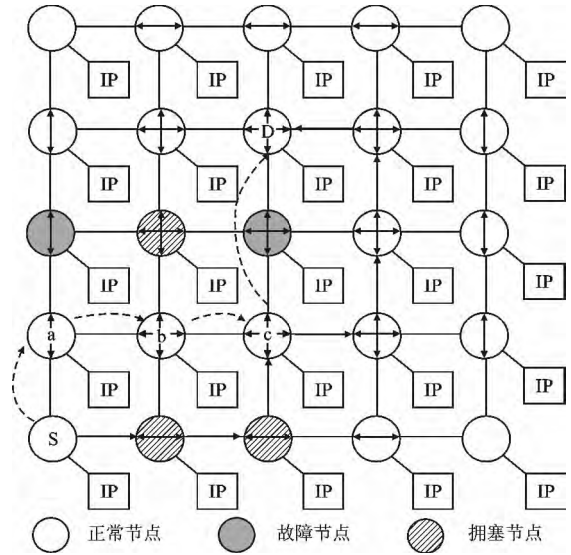


图7 数据包传输途径

在NIRGAM仿真平台上,本文选用的仿真网络结构是 5×5 的2D-Mesh结构,交换机制采用虫孔交换机制,一个数据包包含了3个Flit(Header Flit、Data Flit、Tail Flit),数据传输的最小单元是Flit。把仿真实验的工作频率设置为1 GHz,以2 ns为Flit之间的时间间隔,也就是两个周期,通道带宽的利用率固定在100。本实验在 5×5 的二维Mesh结构中随机选取了6个路由节点挂载通信生成器,其中数据包目的地随机选择,并且随机的加入3个故障路由节点,选取恒码率随机模式进行仿真。

仿真结果如表1所示,图8中给出了时延仿真

曲线图,可以明显地看出本文设计的容错路由算法具有更低的延迟.注入速率在 0.3 之前时,看到三种算法的延迟基本一致,随着注入速率增大到 0.4 的时候,文献[3]中算法和文献[4]中算法的延迟急剧增加,反观本文所设计的算法,延迟虽有提高,但是相对于另两种算法来说延迟增加得很少,这是由于随着注入速率的增加,单位周期内的数据包个数增加了,NoC 中的拥塞节点也相应的增加了,文献[3]和文献[4]中的算法没有引入多级拥塞控制的理念,在传输距离相同的情况下,不会特意去选择拥塞等级较小的路由节点转发,因此碰到拥塞的路由节点延迟会大幅度增加.反观本文设计的算法,首先是引入了多级拥塞控制的理念,使得网络平均延迟有明显的降低.其次还增加了检错装置,使得每个路由节点都知道相邻路由器的故障状况,让数据包传输过程中能更好的选择无故障路由节点转发,从而实现了容错功能提高 NoC 可靠性.而且随着数据包注入速率的增大,网络平均延迟增长率明显缓与文献[3]和文献[4]中的算法,有效证明了本文设计的 NoC 容错机制性能的优越性.

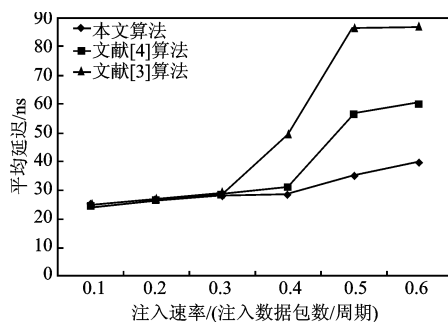


图 8 延迟仿真曲线图

表 1 延迟仿真实验数据

数据包数	858	1 062	1 385	1 637	1 891	2 004
平均延迟 / ns	算法类型					
文献[3]	25.201 6	27.067 5	28.915 3	48.953 5	86.295 4	86.713 5
文献[4]	24.608 1	26.533 6	28.643 8	31.167 2	56.538 5	59.914 3
本文算法	25.259 9	26.453 2	28.015 3	28.902 8	35.058 7	39.982 4

5 结束语

本文针对 2D-Mesh 结构的 NoC 中出现的故障问题,以及故障引起的网络高延迟问题,提出了一种基于路由器旁路通道的低延迟 NoC 容错机制.该机制主要通过把引入了多级拥塞控制理念的容错路由算法与增加了检错装置、旁路通道的容错路由器相结合,来实现 NoC 的容错和降低网络延迟.通过

NIRGAM 仿真平台^[12-13],对文献[3]中的算法、文献[4]中的算法以及本文设计的算法进行仿真.实验结果表明,本文设计的算法具有较低的网络延迟,网络传输性能更好.有效证明了本文设计的 NoC 容错机制性能的优越性.

参考文献:

- [1] Jerraya A, Tenhunen H, Wolf W. Multiprocessor system-on-chips[J]. IEEE Computer, 2005, 38(7): 36-40.
- [2] James A W. Calibration development with production intent electronic control units, delphi delco electronics systems[C]//Proc. of SAE World Congress. Detroit, Michigan, USA; [s. n.], 2000.
- [3] 张泽奇, 韩国栋, 黄万伟, 等. 基于链路状态感知的 NoC 自适应路由机制[J]. 计算机工程, 2009, 35(24): 1-3.
- [4] 罗莎莎, 徐成, 刘彦. 一种用于一种片上网络的低延迟容错算法[J]. Computer Engineering, 2010, 1216(36): 1-4.
- [5] 周东红. 基于 3×3 NoC 的路由器设计与网络性能分析[D]. 西安: 西安电子科技大学, 2011: 16-20.
- [6] 陈玉平. 片上网络容错路由器的设计[D]. 哈尔滨: 哈尔滨工业大学, 2010: 31-34.
- [7] 刘炎炎, 倪晋照. 基于 FPGA 的 NoC 中容错路由器设计与仿真[J]. 计算机研究与发展, 2010, 35(13): 1-4.
- [8] Lin S Y, Hsu C C, Wu A Y. A scalable built-in self-test/self-diagnosis architecture for 2D-mesh based chip multiprocessors Systems//Proc of IEEE Int Symp on Circuits and Systems (ISCAS). Taiwan: Taipei, 2009: 2317-2320.
- [9] 刘家俊. 片上网络容错路由算法研究[D]. 西安: 西安电子科技大学, 2009.
- [10] 欧阳一鸣, 屠强, 梁华国, 等. 基于重构的片上网络容错机制[J]. 电信科学, 2010, 26(8): 76-81.
- [11] 屠强. NoC 可靠性与容错路由方法研究[D]. 合肥: 合肥工业大学, 2011.
- [12] Lavina Jain. A simulator for NoC interconnect routing and application modeling [D]. UK: University of Southampton, 2007.
- [13] 潘震宇. 2D-MESH 片上网络容错路由算法研究[D]. 长沙: 中南大学, 2011: 20-21.

作者简介:

刘江男, (1989—), 硕士研究生. 研究方向为数字集成电路设计. E-mail: 18817873008@163.com.