

一种优化低电压 SRAM 灵敏放大器时序的 4T 双复制位线延迟技术

叶亚东, 吴秀龙, 蔺智挺

(安徽大学, 安徽 合肥 230601)

摘 要: 提出一种减少 SRAM 存取时间的 4T 双复制位线延迟技术. 该技术主要降低灵敏放大器使能信号的时序变化. 该设计通过增加另外一根复制位线并提出一种新的 4T 复制单元, 以优化低电压 SRAM 灵敏放大器的时序. TSMC 65 nm 工艺仿真结果表明, 在 0.6 V 电源电压下, 与传统复制位线设计相比, 该技术的灵敏放大器使能信号时序的标准偏差降低 30.8%, 其读周期减少 12.3%. 除此之外, 由于 4T 复制单元的 MOS 管数与传统复制单元相比降低 1/3, 减小了整体面积开销.

关键词: 低电压 SRAM; 灵敏放大器使能; 复制位线技术

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2015)03-0028-03

A 4T Dual Replica-Bitline Delay Technique For process-Variation-Tolerant Low Voltage SRAM Sense Amplifier Timing

YE Ya-dong, WU Xiu-long, LIN Zhi-ting

(Anhui University, Hefei 230601, China)

Abstract: A 4T dual replica-bitline delay technique for reducing access time by suppressing enable timing variation of a sense amplifier was developed. This strategy suppresses the timing variation by adding one another replica-bitline and introducing a novel 4T replica cell which has 4 MOS transistors. At the supply voltage of 0.6V, the simulation results show that the standard deviation of the SA-enable timing and cycle time with the proposed technique is 30.8% and 12.3% smaller than that with a conventional RBL technique in Taiwan Semiconductor Manufacturing Company 65-nm CMOS technology respectively. Moreover, for the MOS number of 4T replica cell is 1/3 smaller than conventional replica cell, it will reduce the overall area overhead.

Key words: low voltage SRAM; sense amplifier enable; replica bitline technique

1 引言

低电压 SRAM 因为它超低功耗的优点被广泛应用于节能领域, 例如移动设备、无线局域网以及便携式生物医学设备. 在 SRAM 读周期中, 位线放电是最消耗时间的过程. 通常, 使用灵敏放大器 (SA) 放大位线对上微小的电压差以实现高速操作. 如果灵敏放大器的使能信号 (SAE) 在位线电压差大于灵敏放大器的失调电压之前到达, 灵敏放大器的输出端将会出现读失效; 反之, 它将会增加不必要的存取

时间和功耗. 因此, 得到较优的 SAE 时序在高速低功耗 SRAM 中是非常重要的. 但是, SAE 的时序变化在更低的电源电压下将会恶化.

为了降低 SAE 的时序变化, 有的学者提出复制位线 (RBL) 技术^[1-2]. 复制单元与复制位线用于确定 SAE 时序, 它的延迟追踪 SRAM 阵列中的正常位线. 然而, 由于等比例缩放技术的发展, 晶体管 V_{TH} 的随机变化将会变得更加严重. V_{TH} 变化并不能被 RBL 技术追踪, 它将会使 SRAM 的存取时间恶化, 尤其是在低电源电压下工作.

为了在低电源电压下降低 SAE 的时序变化,本文提出一种 4T 双复制位线延迟技术.该设计在传统复制位线技术的基础上,增加另外一根复制位线并提出一种新的 4T 复制单元,不仅降低 SAE 的时序变化,也减小面积开销.

2 传统复制位线设计与现有技术

如图 1 所示,传统复制位线设计的复制单元使用额外的一列产生 SAE 信号.在读操作开始时,复制位线和读位线预充电到电源电压.首先,读控制信号和读字线信号分别同时激活复制单元和存储单元.然后,复制位线和正常位线的电压被图中复制单元和存储单元的电流拉低.当复制位线电压降低到反相器逻辑输入 V_{TH} 以下时,SAE 电压将会升高并开始有效.同时,如果正常位线电压差比灵敏放大器的失调电压大,输出是正确的;否则,读操作失效.

可配置复制位线技术^[3]通过使用变化小的复制单元驱动复制位线以减小复制位线的延迟变化.该技术可以有效降低 SAE 的时序变化,但是它需要给每个 SRAM 做额外的流片测试.由于该设计的测试成本太高,这使得该技术很难在实际设计中应用.

在多级复制位线技术^[4]中,复制位线被分为多级,而且在前级与后级之间插入反相器.该设计的缺点是当复制单元一定时,复制位线与正常位线之间的延迟差将会变大,这是因为在低电压操作时插入了反相器的门延迟.除此之外,为了降低较大的随机 V_{TH} 变化,该技术的级数也会变得非常大.

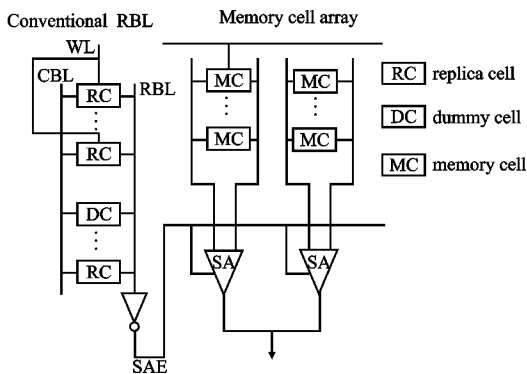


图 1 传统复制位线技术控制时序

数字复制位线技术^[5-6]用于减小 SAE 的时序变化.该设计的缺点是当复制单元数增加时,时序乘法器电路(TMC)的量化噪声将会变大.最后,由于该设计的复制单元数有一个最优值,它限制了时序变化的进一步减小.

多级并行复制位线延迟累加技术^[7]可以有效降

低 SAE 的时序变化.该设计每一级带有足够多的复制单元,多级复制位线并行使用,然后每级的复制位线延迟被量化并在时序累加电路(TAC)中进行相加操作.该设计的缺点是随着复制单元数的增加,其量化噪声会变大.除此之外,时序累加电路在很大程度上增大了面积开销.

3 提出的 4T 双复制位线延迟技术

本文提出一种 4T 双复制位线延迟技术,图 2 所示为本文提出的设计与传统设计的延迟分布.在传统设计中,只有一个复制位线产生 SAE 的延迟时序信号.复制位线延迟由整体负载电容 $C_{bitline}$ 和复制单元放电电流 nI_{cell} 共同决定.在本文提出设计中,每个冗余单元和复制单元有两条位线入口以连接两条复制位线.其中,这两条复制位线是并行连接的.因此,与传统设计相比,提出设计的位线电容负载和复制单元的放电电流分别是 $2C_{bitline}$ 和 $2nI_{cell}$,但是 SAE 时序延迟的平均值并没有变化.然而,由于增加了放电路径,提出设计中 SAE 时序的标准偏差 σ 降低为传统设计的 $1/\sqrt{2}$.

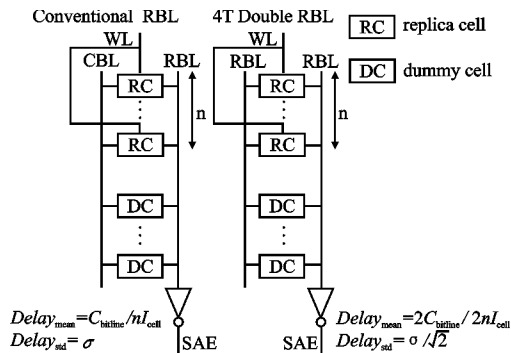


图 2 传统设计与提出设计延迟分布

图 3 所示为传统复制单元与提出 4T 复制单元的原理图.在传统设计中,使用 6 个 MOS 晶体管实现复制单元. N3 的栅输入与电源电压连接.晶体管 N3 和 N4 构成了放电路径并与复制位线连接在一起.在本文提出设计中,复制单元仅需要 4 个 NMOS 晶体管,但是有两个放电路径(N1-N4 实现). N2 和 N3 的栅输入均与电源相接.两个放电路径大大降低 SAE 的时序变化.

4 仿真结果

图 4 所示为传统设计与本文提出设计的蒙特卡罗仿真结果.仿真条件是:0.6 V 电源电压、tt 工艺角、27℃ 以及 64 行存储单元.传统设计与提出设计

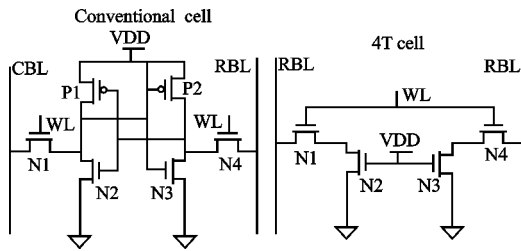


图3 传统复制单元与提出的4T复制单元

的复制单元数均是2。从图4可以看出,提出设计的SAE时序变化的标准偏差是2.16 ns,与传统复制位线设计相比降低30.8%。

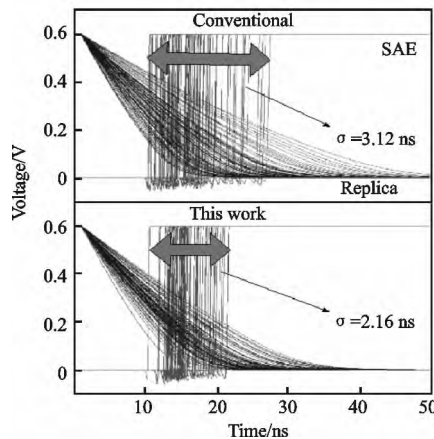


图4 传统设计与提出设计的蒙特卡罗仿真结果

表1所示为传统复制位线设计与本文提出设计在不同电源电压下SAE时序变化标准偏差的比较。从表1可以看出,与传统复制位线设计相比,本文提出的设计在不同电源电压下均降低了SAE时序变化的标准偏差。由于等比例缩放技术的进一步深入,工艺随机变化将会更大,使用该设计将在很大程度上改善存取时间,尤其是在低电源电压下工作。在有时序裕度的情况下,理想周期时间一般是SAE时序延迟的两倍。对于SAE的时序裕度,传统设计周期时间与提出设计周期时间均有3倍的标准偏差。在0.6 V电源电压下,传统复制位线设计的时序裕度是18.72 ns,与传统复制位线设计相比,提出设计的时序裕度降低5.76 ns,它的周期时间降低12.3%。

表1 传统复制位线设计与提出设计在不同电源电压下的比较

电源电压/V	0.6	0.7	0.8	0.9	1.0
传统设计时序变化/ns	3.12	0.986	0.391	0.193	0.114
提出设计时序变化/ns	2.16	0.722	0.287	0.141	0.82
降低百分比/%	30.8	26.8	26.6	26.9	28.1

图5所示为传统复制位线设计与本文提出设计在不同复制单元数下SAE时序变化的标准偏差比

较。从图5可以看出,随着复制单元数的增加,传统设计与本文提出设计的SAE延迟变化均在降低。当复制单元数是2到4时,与传统复制位线设计相比,提出设计的SAE时序变化标准偏差降低27.4%~32.3%。

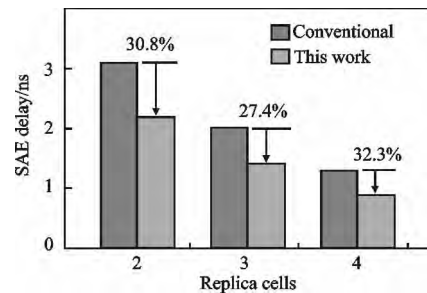


图5 传统复制位线设计与提出设计在

不同复制单元数下的比较

表2所示为不同复制位线设计的比较。尽管之前报道研究降低了SAE的时序变化,然而却在一定程度上增加了面积开销。与之相比,本文设计不仅降低了SAE的时序变化,同时也减小了面积开销。

表2 不同复制位线设计比较

设计类型	面积开销
传统复制位线设计	6T复制单元
多级复制位线设计	6T复制单元+反相器
可配置复制位线设计	6T复制单元+可配置电路
数字复制位线设计	6T复制单元+TMC
多级并行延迟累加复制位线设计	6T复制单元+TAC
4T双复制位线设计	4T复制单元

提出设计中新增加的复制位线会带来额外的功耗,然而这种功耗代价是可以接受的,这是权衡SAE时序变化的显著降低以及复制单元面积的减小的情况。由于SRAM的功耗与电源电压是成正比的,更高的电源电压会导致更高的功耗,本文设计在更低的电源电压下具有较大的优势。

5 结束语

本文提出一种优化低电压SRAM灵敏放大器时序的4T双复制位线延迟技术。与之前的工作不同,该设计不仅降低了SAE的时序变化,而且在一定程度上减小了面积开销。仿真使用TSMC 65 nm工艺技术,与传统复制位线设计相比,在0.6 V电源电压以及不同复制单元情况下,SAE时序变化降低26.6%到32.3%,其读周期减少12.3%。

(下转第35页)

构转发策略网络中的路由安全问题,从而提高车联网中数据传输的成功率,并避免路由安全隐患。

参考文献:

- [1] Lu Rongxing, Lin Xiaodong, Zhu Haojin, et al. ECPP: Efficient conditional privacy preservation protocol for secure vehicular communications[C]// Proceedings of the IEEE INFOCOM'08. Canada: Waterloo, IEEE, 2008: 1903-1911.
- [2] 冯涛, 郭显, 马建峰, 等. MANET 节点不相交多路径安全源路由协议[J]. 计算机学报, 2009, 32(6): 1126-1133.
- [3] 陈晶, 崔国华, 洪亮, 等. 一种 Ad Hoc 网络中的安全匿名按需路由协议[J]. 计算机科学, 2007, 34(1): 29-34.
- [4] 阮星华, 徐敬东, 于博洋. VANET 中位置路由协议的安全和隐私保护[J]. 计算机工程, 2008, 34(14): 166-168.
- [5] Yang Yue, Anthony GarOn Yeh, Li Qingquan. Road network model for vehicle navigation using traffic direction approach[C]// Proceedings of SDH'08, Chi-

na, Beijing, IEEE, 2008: 613-629.

- [6] Qianhong Wu, Josep Domingo Ferrer, Ursula Gonzalez-Nicolas. Balanced trustworthiness, safety and privacy in vehicle-to-vehicle communications[J]. IEEE Transaction on Vehicular Technology, 2010, 59(2): 559-573.
- [7] Lei Zhang, Qianhong Wu, Agusti Solanas, et al. A scalable robust authentication protocol for secure vehicular communications[J]. IEEE Transaction on Vehicular Technology, 2010, 59(4): 1606-1617.

作者简介:

樊娜女, (1978-), 博士, 副教授. 研究方向为交通信息安全技术. E-mail: fnsea@chd.edu.cn

赵祥模男, (1966-), 博士, 教授. 研究方向为交通信息及控制.

段宗涛男, (1977-), 博士, 教授. 研究方向为交通信息及控制.

王青龙男, (1972-), 博士, 副教授. 研究方向为交通信息安全技术.

(上接第 30 页)

参考文献:

- [1] Bharadwaj S Amrutur, Mark A Horowitz. A replica technique for wordline and sense control in low-power SRAM's [J]. IEEE Journal of Solid-State Circuits, 1998, 33(8): 1208-1218.
- [2] Christensen D C Arandilla, Joy Alinda R Madamba. Comparison of replica bitline technique and chain delay technique as read timing control for low-power asynchronous SRAM [C]// IEEE Asia Modelling Symposium. Kuala Lumpur, 2011: 275-278.
- [3] Umut Arslan, Mark P McCartney, Mudit Bhargava, et al. Variation-tolerant SRAM sense-amplifier timing using configurable replica bitlines[C]// IEEE Custom Intergrated Circuits Conference. San Jose, CA, 2008: 415-418.
- [4] Shigenobu Komatsu, Masanao Yamaoka, Masao Morimoto, et al. A 40 nm low-power SRAM with multi-stage replica-bitline technique for reducing timing variation [C]// IEEE Custom Intergrated Circuits Conference. San Jose, CA, 2009: 701-704.
- [5] Yusuke Niki, Atsushi Kawasumi, Azuma Suzuki. A

digitized replica bitline delay technique for random-variation-tolerant timing generation of SRAM sense amplifiers [C]// IEEE Asian Solid-State Circuits Conference. Beijing, 2010: 151-154.

- [6] Yusuke Niki, Atsushi Kawasumi, Azuma Suzuki. A digitized replica bitline delay technique for random-variation-tolerant timing generation of SRAM sense amplifiers [J]. IEEE Solid-State Circuits, 2011, 46(11): 2545-2551.

- [7] JianHui Wu, JiaFeng Zhu, Yingcheng Xia, et al. A multi-stage parallel replica-bitline delay addition technique for reducing timing variation of SRAM sense amplifiers [J]. IEEE Transactions on Circuits and Systems-II: Express Briefs, 2014, 61(4): 1-5.

作者简介:

叶亚东男, (1990-), 硕士研究生. 研究方向为超大规模集成电路设计. E-mail: yeyd19900628@163.com

吴秀龙男, (1979-), 副教授, 硕士生导师. 研究方向为超大规模集成电路设计.

蔺智挺男, (1981-), 副教授, 硕士生导师. 研究方向为超大规模集成电路设计.