

一种 2.45GHz 高线性度 CMOS 功率放大器设计

李 聪,任志雄,万美琳,韩 爽,戴 葵

(华中科技大学 光学与电子信息学院, 湖北 武汉 430074)

摘 要: 设计了一种带电容补偿的 2.45 GHz 高线性度、低功耗 CMOS 功率放大器(PA)。电路设计采用了差分结构,工作在 AB 类放大状态下。驱动级采用共源共栅结构,为下一级提供大的电压输出摆幅。功放级采用共源结构,负载采用 LC 谐振网络,提供大的输出功率。此外,设计从 MOS 管级对 PA 进行了优化,提出了 PMOS 管电容补偿技术,通过补偿栅源电容(C_{gs}),使得三阶交调失真(IMD3)减小了 10 dBc,从而提高了 PA 的线性度,并实现低功耗。电路采用 TSMC 0.18 μm RF CMOS 工艺设计仿真,结果表明:在 2.45GHz 工作点处,PA 的输入反射系数小于 -20 dB,功率增益为 25 dB,功率附加效率(PAE)为 27%,三阶交调失真小于 -42 dBc。

关键词: 功率放大器;射频;三阶交调失真;线性度提高;电容补偿;低功耗

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2015)04-0065-05

Design of a 2.45 GHz High Linearity CMOS Power Amplifier

LI Cong, REN Zhi-xiong, WAN Mei-lin, HAN Shuang, DAI Kui

(School of Optical and Electronic Information, Huazhong University of Science and Technology, Wuhan 430074, China)

Abstract: A 2.45 GHz high linearity and low power CMOS power amplifier (PA) with capacitance compensation is designed in this paper, which uses differential constructor and works in class of AB. The driver stage uses common source common gate architecture to provide large output voltage swing for the next stage, and the power stage uses common gate architecture with LC resonance as load impedance to provide large output power. Besides, the PA is optimized from MOSFETs, and PMOS capacitance compensation is raised to enhance linearity and realize low power through compensating the gate-source capacitance (C_{gs}) and decreasing the third-order inter-modulation distortion (IMD3) by 10 dBc. The proposed PA is designed and simulated on the basis of TSMC 0.18 μm RF CMOS process. Simulation results show that the PA's reflection coefficient is less than -20 dB, power gain is 25dB, power-added efficiency(PAE) is 27%, and the third-order inter-modulation distortion (IMD3) is less than -42dBc at 2.45 GHz.

Key words: power amplifier; radio frequency; the third-order intermodulation distortion; linearity enhancement; capacitance compensation; lower power

1 引言

基于 CMOS 工艺设计的单片集成无线收发器,因其具有低成本、低功耗、应用广泛和高集成度等特点,相关领域的研究成果越来越多^[1]。功率放大器(PA)是无线射频收发机器中最关键的工作模块,它影响着整个系统的性能,采用 CMOS 工艺设计的 PA 通过采用创新技术达到设计要求^[2],并将其集

成在射频收发机上。

现在大多数射频收发机系统都采用了多进制正交调幅(MQAM)、四相相移键控(QPSK)以及多元线性幅度等调制方案,提高了频谱利用率,能够在有限的频谱范围内容纳更多的信道和传输更多的数据。然而,这些信号都是非恒定包络的调相信号,且具有较大的动态范围,对系统的非线性非常敏感。PA 是无线射频收发机系统中非线性最强的模块之

收稿日期:2014-06-13;修回日期:2014-08-05

基金项目:湖北省自然科学基金(ZRZ0051);武汉市科技攻关重点项目(20115069919)

一,其非线性失真会导致眼图的眼睛闭合,输出信号星座图的实部和虚部发生偏移,从而带来信号频谱扩展,干扰相邻信道信号并恶化误码率.此外,非线性失真还会降低系统的容量、传输数据率,增大信道频率间距,导致系统频谱利用率下降^[3].因此,线性 PA 设计就成为无线射频收发机系统设计的关键.

“功率回退”作为一种简单的线性度提高技术,使 PA 工作在线性区,且工作点远小于饱和功率点.对于采用恒定包络调制的射频收发机系统而言,可以通过适当的功率回退来获得系统所需的线性度,输出功率会相应下降,因此必须采用多级放大器级联来满足额定输出功率要求.这样就增大了直流功耗,导致 PA 的效率下降,减少了便携式通信设备的电池供电时间,从而增加了芯片的使用和制造成本.因此,必须采用其他方法来降低系统的非线性,而当前唯一的途径就是采用功率放大器线性化技术^[3].常用的 PA 线性化技术有前馈、反馈、预失真、包络对消和恢复(EER)等技术.但是,这些线性化技术都是基于系统级的,价格高、电路复杂且较难实现,不适用于低功耗、低成本的 PA 设计.

为了设计出满足要求的低功耗、低成本 PA,本文没有采用系统级的线性化技术,而是基于 RF MOS 管级对电路进行补偿优化. PA 的线性度由 RF MOS 管的非线性特性决定,主要来源于 RF MOS 管的栅源电容(C_{gs})、跨导(g_m)、输出导纳(g_{ds})和漏极结电容(C_{jd}).在高频范围内,无论负载阻抗的高低, C_{gs} 都是主要的非线性源,因此,本文采用了 PMOS 管电容补偿方法,利用 PMOS 管电容和输入 NMOS 管电容随输入信号幅值变化趋势相反的特点,通过调整 PMOS 管的偏置电压及尺寸,使得两者电容之和在一定范围内保持恒定,从而减小了由 C_{gs} 带来的非线性,提高了线性度.

本文所述的 PA 采用 TSMC 0.18 μm RF CMOS 工艺设计仿真,结果表明在 2.45 GHz 工作点处,PA 的输入反射系数小于 -20 dB,功率增益为 25 dB,功率附加效率(PAE)为 27%,三阶交调失真小于 -42 dBc,芯片面积仅为 0.66 mm^2 .

2 传统的 2.45 GHz PA 电路设计

功率放大器处于通信系统中信号发射机的最末端,与传统的小信号放大器不同,PA 用来放大功率信号,对系统的整体性能有着很大影响.为了延长电池的使用寿命,PA 需要具有尽可能高的效率.另外,对于采用非恒包络调制方式的系统而言,如

Bluetooth 等,包络中包含了有用信号,需要 PA 具有一定的线性度,使得有用信号不至于因为失真而丢失.一般设计中,效率提高时会牺牲线性度,因此电路设计要根据实际需要在这两个指标之间进行折衷.

为了满足非恒包络系统中高线性度和适当效率的要求,设计中一般采用传统的线性功率放大器结构.传统的线性 PA 根据导通角的大小,通常分为 A 类、B 类和 AB 类. A 类功率放大器具有最好的线性度,但是其效率也最低,理想情况下最大能够达到 50%,实际中最大也能达到 30%. B 类功率放大器具有较高的效率,理想情况下能够达到 78.5%,实际中最大也能达到 50%,但是由于 MOS 管只在半个周期内导通,所以其线性度比较差.为了在线性度和效率之间进行折衷设计,对线性度要求不高的系统,一般选择 AB 类功率放大器,其原理图如图 1 所示.

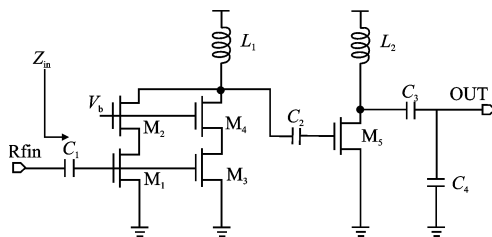


图 1 PA 电路原理图

电路设计采用了驱动级和功放级两级放大结构,其中驱动级采用共源共栅结构,由 $M_1 \sim M_4$ 构成,为下一级提供大的电压输出摆幅,同时保证良好的输入、输出隔离度;而功放级采用共源结构,由 M_5 构成,提供大的输出功率.驱动级和功放级都采用了 LC 谐振网络作负载:一是避免了电阻负载需要消耗电压,减小输出电压摆幅,限制了输出电压的 DC 值;二是 LC 谐振网络不消耗直流功率,提高了效率;三是 LC 谐振网络具有滤波作用,进一步抑制频带外杂波,减小带外干扰,限制了功率频谱.另外, C_3 、 C_4 和输出电感 L_2 构成了输出匹配网络.

PA 工作在 AB 类放大状态下,使得在保证一定线性度的条件下具有相对较高的效率. M_1 、 M_3 和 M_5 的偏置电压为

$$V_{\text{thn}} + V_{\text{in}} \geq V_{\text{bias}} > V_{\text{thn}} \quad n = 1, 3, 5 \quad (1)$$

式中, V_{in} 、 V_{thn} 、 V_{bias} 分别是 M_1 (M_3 、 M_5) 的栅极输入电压,阈值电压和栅极偏置电压.

对电路进行小信号分析,计算高频下功放级的

输入阻抗为

$$\begin{aligned} Z_{in} &= \frac{1}{j\omega(C_{gb} + C_{gs} + C_{gd1})} \\ &= \frac{1}{j\omega[C_{gb} + C_{gs} + (1 - A_v)C_{gd}]} \\ &= \frac{1}{j\omega(C_{gg} - A_v C_{gd})} \end{aligned} \quad (2)$$

式中, C_{gs} 、 C_{gb} 、 C_{gd} 分别为功放管的栅源、栅衬和栅漏寄生电容,且

$$C_{gg} = C_{gb} + C_{gs} + C_{gd} \quad (3)$$

寄生电容 C_{gs} 在 AB 类工作状态下不是常量, C_{gd} 也会发生变化,所以 Z_{in} 也不是常量,而且

$$V_{gs} = \frac{Z_{in}}{R_s + Z_{in}} V_{in} \quad (4)$$

式中, R_s 为源阻抗. 由于 Z_{in} 不是常量,则 V_{gs} 与 Z_{in} 不是线性关系,从而产生了非线性失真,影响了功率放大器的线性度. 所以, C_{gg} 是此时 PA 的主要非线性源,且由于 C_{gb} 、 C_{gd} 变化较小, C_{gs} 决定了 PA 的非线性,如果能够使得其保持恒定,那么 PA 的线性性能就会大大改善.

3 PMO 管电容补偿技术

由上文可知,在高频下,AB 类 PA 的非线性主要来自于 C_{gs} ,这是因为高频下电容并联,减小了输出阻抗,输出电压摆幅也减小了,从而抑制了 g_m 和 g_{ds} 的非线性特性. 因此,保证大信号输入下 C_{gs} 恒定,将会有效地改善 PA 的线性度. 图 2 是 C_{gs} 补偿技术的原理图,将 PMOS 管和输入 NMOS 管并联在一起,则电路输入端的总电容为

$$C_{in} = C_{gsn} + C_{gsp} \quad (5)$$

式中, C_{gsn} 是 NMOS 管的栅源寄生电容, C_{gsp} 是 PMOS 管的栅源寄生电容, C_{in} 是输入端的总寄生电容. 随着输入信号的变化,要使得 C_{in} 保持恒定,则 C_{gsn} 和 C_{gsp} 必须恒定或者具有完全相反的变化趋势.

图 3 是 NMOS 管和 PMOS 管的栅源电容随栅源电压变化的仿真图. 仿真采用 TSMC 0.18 μm RF CMOS Spice 模型, PMOS 管和 NMOS 管的尺寸为 $W/L = 15\ 360\ \mu\text{m}/0.18\ \mu\text{m}$, PMOS 管偏压 $V_{pp} = 1.1\ \text{V}$. 由图 3 可以看出, NMOS 的输入电容随 V_{gs} 增大而增大, PMOS 的输入电容随 V_{gs} 增大而减小,两者的变化趋势是相反的. 因此,将 NMOS 管和 PMOS 管并联在一起,当选择合适的 NMOS 管和 PMOS 管的尺寸以及偏置电压时,可以使两者的电容之和保持恒定,即 C_{in} 保持恒定,从而提高

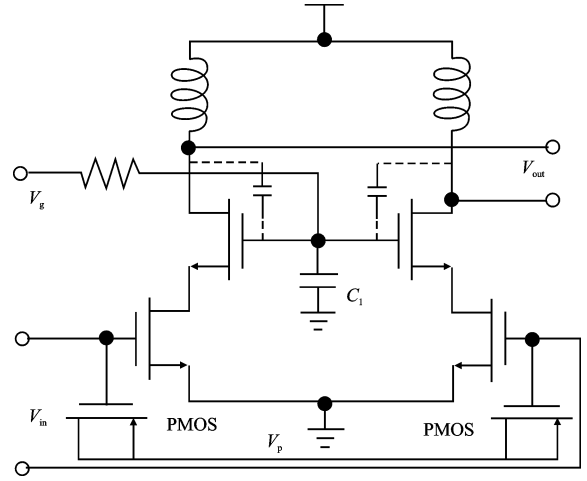


图 2 C_{gs} 补偿电路原理图

线性度^[4].

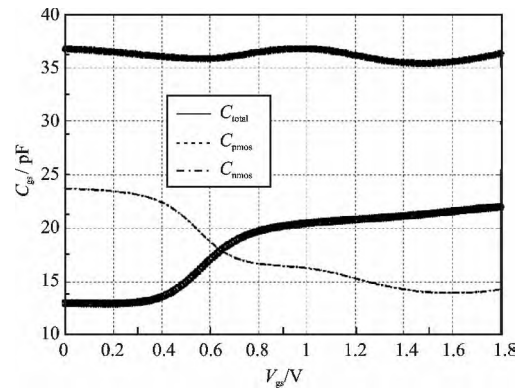


图 3 NMOS 管和 PMOS 管栅电容随 V_{gs} 的变化

由于 NMOS 管和 PMOS 管的栅电容都是在其各自的阈值电压处发生改变,所以,为了让两者在相同的偏置点处,电容同时朝相反的方向变化,则 PMOS 管的偏置电压 V_{pbias} 应取值为

$$V_{pbias} = V_{thn} - V_{thp} \quad (6)$$

注意到, NMOS 管是交替工作在弱反型区和强反型区的,而 PMOS 管工作在三极管区. 因此,如果忽略 C_{gbn} 、 C_{gdp} 和外部电容对总体栅电容的贡献,可以近似得到 PMOS 管的尺寸,如式(7)所示,以及 NMOS 管和 PMOS 管电容的变化值,如式(8)^[5]所示.

$$\Delta C_{ggn} \sim \Delta C_{gsn} \approx \frac{2}{3} W_n L_n C_{oxn} \quad (7)$$

$$\begin{aligned} \Delta C_{gdp} \sim \Delta(C_{gsp} + C_{gdp}) &\approx 2 \left[\frac{W_p L_p C_{oxp}}{2} \right] \\ &= W_p L_p C_{oxp} \end{aligned} \quad (8)$$

式中, W_n 、 L_n 和 C_{oxn} 分别是 NMOS 管的栅宽、栅长和氧化层电容, W_p 、 L_p 和 C_{oxp} 分别是 MOS 管的栅

宽、栅长和氧化层电容. 假设电容的变化是突变的, 那么可以得到式(9), 从而可以确定出合适的 PMOS 管的尺寸.

$$\frac{\Delta C_{\text{ggp}}}{C_{\text{ggp}}} \sim \frac{2}{3} \frac{W_n L_n C_{\text{oxn}}}{W_p L_p C_{\text{oxp}}} \sim 1 \quad (9)$$

4 PA 电路实现及仿真结果

2.45 GHz 高线性度 CMOS 功率放大器的设计实现如图 4 所示. 该 PA 工作在 AB 类放大状态, 采用了全差分结构, 主要由驱动级放大电路、功放级放大电路、偏置电路、匹配电路和电容补偿电路组成. $M_1 \sim M_8$ 构成了驱动级放大电路, 用来提供大的输出摆幅, 且采用了共源共栅结构, 增大了增益, 同时增大了输入、输出的隔离度. $M_9 \sim M_{10}$ 构成了功放级放大电路, 采用简单的共源结构, 以 LC 谐振网络作为负载, 为输出负载提供大的输出功率. I_{bias} 、 V_b 、 V_{b1} 分别是输入级、输出级的偏置电流源、电压源, I_{bias} 由带隙提供, 准确度高, 温度特性好, 而 V_b 和 V_{b1} 采用了有源动态偏置, 根据输出幅值的大小来自动调整其电压值的高低, 从而提高了 PA 的效率. L_1 、 C_3 (L_2 、 C_4) 是输入级负载, 同时也起到级间匹配的作用, 且 LC 谐振网络不消耗直流功率, 避免了输出摆幅的限制. L_3 、 C_4 和 C_5 (L_4 、 C_7 和 C_8) 构成了输出匹配网络, 使得功率能够最大传输到负载上.

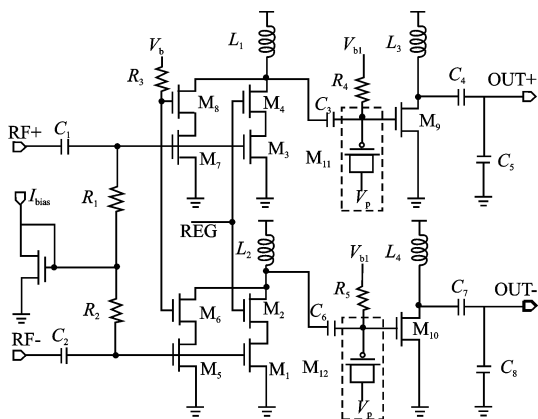


图 4 PA 电路图

另外, 设计中使用了 PMOS 管电容补偿技术, M_{11} 和 M_{12} 两个 PMOS 管用来作为 MOS 电容, 其电容值由 MOS 管的 W 、 L 值以及偏置电压 V_p 来确定. 当取合适的 W 、 L 和 V_p , 使得 M_{11} (M_{12}) 和 M_9 (M_{10}) 的栅极电容相等时, 则栅极总电容 C_{gg} 随 V_{gs} 的变化保持恒定, 从而提高线性度.

基于 TSMC 0.18 μm RF CMOS 工艺对设计的

PA 电路进行仿真. 图 5 所示为使用 PMOS 管电容补偿技术前和补偿优化后三阶交调失真 (IMD3) 随输入功率 (P_{in}) 的变化曲线. 可以看出采用此补偿技术对 PA 进行线性度优化后, 电路的 IMD3 在一定输入功率范围内提高了接近 10 dB.

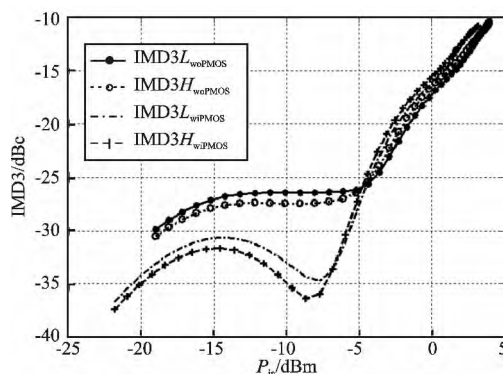
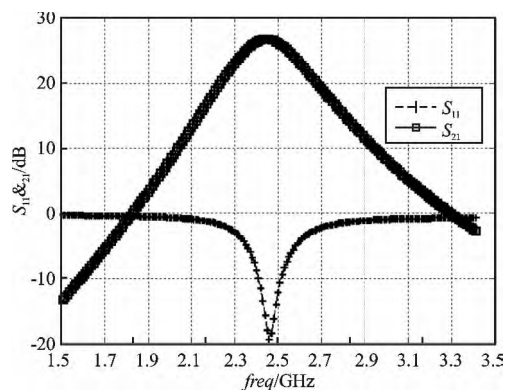
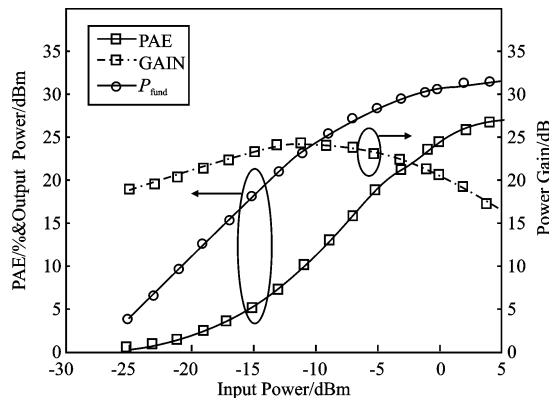


图 5 PMOS 管电容补偿前后 IMD3 仿真结果比较

进一步, 对 PA 的重要性能指标进行了仿真, 仿真结果如图 6 中 (a)、(b)、(c) 所示. 结果表明: 在 2.45 GHz 工作点时, PA 的输入反射系数小于 -20 dB, 功率增益为 25 dB, 功率附加效率为 27%, 三阶交调失真小于 -42 dBc, 满足电路设计要求.



(a) S 参数



(b) 输出功率、功率增益和 PAE

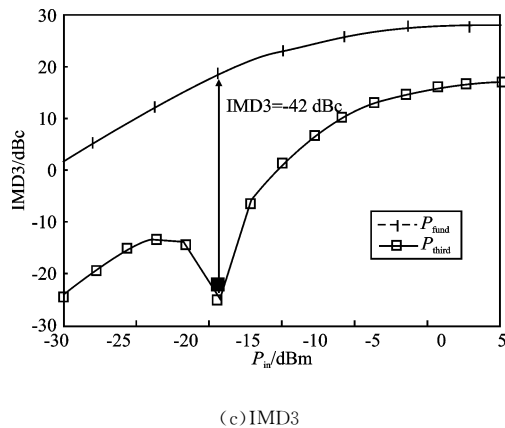


图6 PA 电路的仿真结果

表1中列出了本文设计的PA和文献中的PA性能参数的比较.从表中可以看出,在最大输出功率下,PA消耗的直流电流仅为80 mA, P_{sat} 达到28 dBm, IMD3为-42 dBc, 芯片面积仅为0.66 mm², 具有高线性度、低成本、低功耗等特点.

5 结束语

文中设计实现了一种带电容补偿的2.45 GHz高线性度、低功耗CMOS PA. 电路采用差分结构,工作在AB类放大状态下,驱动级采用共源共栅结构,为下一级提供大的电压输出摆幅,功放级采用共

表1 PA 性能指标对比

工艺	中心频率/ GHz	S_{11} / dB	P_{sat} / dBm	IMD3/ dBc	PAE/ %	功耗(电流)/ mA	面积/ mm ²	工艺尺寸
文献[6]	5.25	-18	19.5	-27	32	174	—	0.18 μm
文献[7]	2.5	-20	27.5	-35	27	130	2.4	0.18 μm
文献[8]	5.8	<-10	24.3	<-20	27	—	0.81	90 nm
文献[9]	1.85	<-10	23.5	<-40	43.1	170	0.88	0.18 μm
本设计	2.45	-20	28	-42	27	80	0.66	0.18 μm

源结构,负载采用LC谐振网络,提供大的输出功率.此外,为了提高PA的线性度,从MOS管级对其进行了优化,提出PMOS管电容补偿技术,通过补偿栅源电容(C_{gs}),使得三阶交调失真(IMD3)减小了10 dBc,提高了功率放大器的线性度,并实现低功耗.该电路采用TSMC 0.18 μm RF CMOS工艺设计,芯片面积仅为0.66 mm²,具有结构简单、线性度较好、匹配良好、增益较高以及功耗低的优势,非常适合高线性度、低功耗、低成本的应用.

参考文献:

- [1] 陈晓飞,沈军,张力,等. 高线性度CMOS射频AB类功率放大器设计[J]. 微电子学与计算机, 2014, 31(6): 145-148.
- [2] Tsai K, Gray P R. A 1.9 GHz, 1 W class-E CMOS power amplifier for wireless communications[J]. IEEE J. Solid-State Circuits, 1999, 34(7): 962-970.
- [3] Raab F H, Asbeck P, Cripps S, et al. Power amplifier and transmitters for RF and microwave[J]. IEEE Trans Microwave Theory Tech, 2002, 50(3): 814-826.
- [4] Cripps S C. Advanced technique in RF power amplifier design[M]. New York: Artech House, 1999.
- [5] Wang Chengzhou, Vaidyanathan M, Larson L E. A capacitance-compensation technique for improved linearity in CMOS classAB power amplifier[J]. IEEE J. Solid-State Circuits, 2004, 39(11): 1927-1937.
- [6] Wang Wei, Zhang Yueping. 0.18-μm CMOS push-pull

power amplifier with antenna in IC package[J]. IEEE Microwave and Wireless Components Letters, 2004, 14(1): 13-15.

- [7] Jin Boshi, Li Lewei, Wu Qun, et al. A highly linear fully integrated CMOS power amplifier with an analog predistortion technique[J]. Journal of Semiconductors, 2011, 32(5): 1-4.
- [8] Haldi P, Debopriyo D, Faraone L, et al. A 5.8 GHz 1 V linear power amplifier using a novel on-chip transformer power combiner in standard 90 nm CMOS[J]. IEEE J. Solid-State Circuits, 2008, 43(5): 1054-1063.
- [9] Jeon H, Lee K S, Lee O, et al. A 40% PAE linear CMOS power amplifier with a feedback bias technique for WCDMA applications[C]// Radio Frequency Integrated Circuits Symposium. Anaheim: IEEE, 2010: 561-564.

作者简介:

李聪女, (1990-), 硕士研究生. 研究方向为射频集成电路设计.

任志雄男, (1989-), 博士. 研究方向为射频集成电路设计.

万美琳(通讯作者)男, (1988-), 博士. 研究方向为射频集成电路设计. E-mail: 327078223@qq.com.

韩爽女, (1989-), 硕士研究生. 研究方向为数字集成电路设计.

戴葵男, (1968-), 教授. 研究方向为计算机体系结构、集成电路设计和信息安全.