

可重构专用处理器周期精确建模

包志忠, 鲁亚楠, 樊恩辰, 李可生, 杨 博, 沙 金, 李 丽, 潘红兵

(南京大学 电子科学与工程学院, 江苏 南京 210046)

摘 要: 介绍了一种基于 SystemC 的可重构专用处理器核周期精确建模. 该模型采用模块化设计, 基于 SystemC 事务级建模, 将运算功能和通信功能分开, 模块之间的通信通过函数调用来实现. 通过该模型, 为可重构专用处理器核提供一种仿真验证平台, 与传统 RTL 验证方法相比, 大大提高了可重构专用处理器核的仿真验证效率.

关键词: 可重构专用处理器; SystemC; 周期精确模型

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2015)03-0077-04

Reconfigurable Application Specific Processor Cycle-accurate Modeling

BAO Zhi-zhong, LU Ya-nan, FAN En-chen,

LI Ke-sheng, YANG Bo, SHA Jin, LI Li, PAN Hong-bing

(Nanjing University, School of Electronic Science and Engineering, Nanjing 210046, China)

Abstract: In this paper a SystemC based cycle-accurate model for Reconfigurable Application Specific Processor is presented. The model uses a modular design, based on SystemC transaction-level modeling, separating the communications functions and the computing functions, and the communication between modules is achieved through function calls. The model provides a simulation platform for the Reconfigurable Application Specific processor core, compared with the traditional RTL verification methods, greatly improving the efficiency of the processor core simulation.

Key words: reconfigurable application specific processor; systemC; cycle-accurate model

1 引言

随着 SoC 复杂度指数级的增长, RTL 级的设计复杂度大、设计周期长, 而软件的设计必须等到硬件设计完成后才能集成测试, 这使整个设计的周期变得很长. 传统的 RTL 级设计已经满足不了设计的需求, 迫使设计者们寻求一种新的设计方法即 ESL (电子系统级) 设计. 在 ESL 设计中, SoC 系统的描述和仿真速度快, 使设计工程师可以快速地分析 SoC 系统结构的优劣. 一方面, 功能正确和时钟精确

的执行环境使提前开发软件成为可能, 缩短了软硬件集成的时间^[1-3]; 另一方面, 系统设计更早的与验证流程相结合, 能确定工程开发产品的正确性^[4].

本文根据可重构专用处理器核, 从系统建模^[5-7]角度出发, 提出了一种基于 SystemC 事务级周期精确建模^[8-10], 为可重构专用处理器核的仿真验证提供了一种测试仿真验证平台.

2 可重构专用处理器核的硬件架构

可重构专用处理器核主体结构包括可重构计算阵列、主控制器、配置控制器、存储器、DMA、AXI 接

收稿日期: 2014-05-20; 修回日期: 2014-07-11

基金项目: 国家自然科学基金项目 (61176024, 61006018, 61370040, 61376075); 高等学校博士学科点专项科研基金项目 (20120091110029); 江苏省产学研联合创新资金—前瞻性联合研究项目 (BY2013072-05); 江苏高校优势学科建设工程项目

口,如图 1 所示。

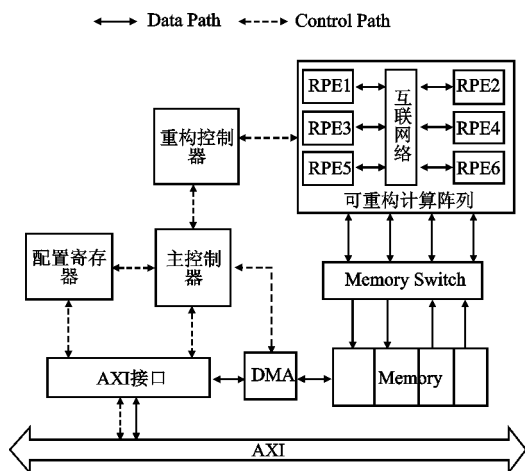


图 1 可重构专用处理器核体系架构图

通过粗粒度的静态配置方式可改变 RASP 中基本运算单元的拓扑结构和互连关系,以资源复用的方式实现特定算法的硬件加速。在可重构专用处理器核内部主要包括控制通道、数据通道,分别如下所示。

控制通道:主要指 AXI 总线和配置通道。本设计中控制单元采用自主设计的主控制机。主控制器通过对重构控制器进行操作,设定配置模式。再经由重构控制器对 RPE 内部、RPE 之间结构、访存开关网络以及数据存储器连接网络进行配置,得到各种重构的模式,同时配置单元对地址生成单元得到对存储器的各种读写方式。

数据通道:(1)数据存储器由 Memory Switch 提供统一接口,即通过 Memory Switch 的接口可以访问任意一块数据存储器;(2)RPE 之间数据通过 RPE 互联网络连接,RPE 与数据存储器之间的数据由 Memory Switch 和 RPE 互联网络两层连接网络进行连接;(3)可重构专用处理器通过 AXI 接口连接到 Xbar,核内数据存储器通过 Xbar 与其他模块完成通信。

3 可重构专用处理器核模型设计

3.1 可重构专用处理器核模型总体架构设计

基于上述可重构专用处理器核的硬件架构,本模型采用模块化设计,采用由整体到局部、层层细化的设计思路,实现整个系统的建模。系统硬件架构采用 SystemC 类来描述,其基本单元是模块,模块内可包含子模块、端口或过程,模块之间通过端口和信号进行连接和通信。采用 SystemC 事务级建模,将运算功能和通信功能分开,模块之间的通信通过函

数调用来实现,减少了事件和信息处理。

如图 2 所示,本模型总体上可分为 Controller、DMA、Cal_Family 三个主要模块,把模块之间的通信方式从管脚和信号方式抽象为函数调用。通过在各功能函数中加入时序信息,实现周期精确级建模。

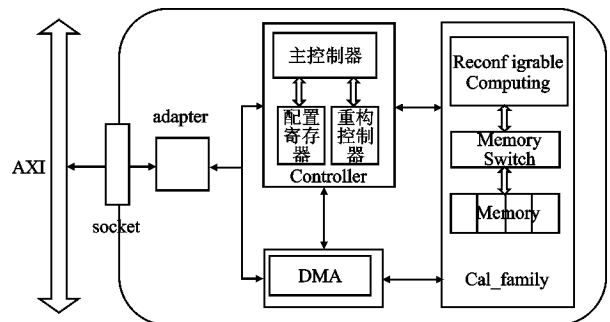


图 2 可重构专用处理器核周期精确模型架构

3.2 可重构专用处理器核模型模块设计

Controller 模块为可重构处理器核模型的控制模块,对应于硬件架构中的主控制器、重构控制器和配置寄存器。该模块用于与外部系统的交互以及系统内部工作状态的的控制,“解码”DSP 的控制指令,启动 DMA 进行数据搬运和运算模块进行相应算法运算。

DMA 模块为可重构处理器核模型的数据传输通道,该模块用于与片外以及内部的数据传输,它受主控制器的控制。该模块实现与内外设备数据的交互,主要是 DDR 到 SRAM、DDR 到 DDR、SRAM 到 DDR、SRAM 到 SRAM 的数据传递,包括运算源数据和运算结果数据。

Cal_Family 模块为可重构处理器核模型的运算模块,对应于硬件架构中的可重构计算阵列、Memory Switch 和 Memory。它根据 Controller 的配置参数,实现特定算法的运算,该模块是整个系统建模的主要部分,也是芯片的核心部分。本模块内部各算法进行 SystemC 事务级建模,精确描述各算法的运算流水级、并行度及运算最终所需周期数。该部分按算法种类分为 17 个子模块,对应于 17 种不同算法的建模。其中包括 FFT/IFFT 运算,向量自相关、互相关、加减法、乘法、矩阵求逆、加减法、乘法、点乘、协方差,实数/复数 FIR,实数/复数多普勒,定浮转换,复数求模等运算。

3.3 基于 SystemC 模块周期精确的实现

本文提出的可重构专用处理器核模型包括 Controller 模块、DMA 模块、Cal_Family 模块,其运用系统级语言在抽象层次上封装,并通过端口与外

界通信,模块之间通过信号完成数据交换.当数据发生改变时,通过信号,产生事件,驱动仿真器,完成数据的交换与更新,因此,通过信号建立了模块间的直接连接.而端口是信号与模块之间连接的通道,端口与一个信号关联在一起. SystemC 信号和端口支持延迟赋值,通过延迟赋值特性来建模硬件信号的行为.

SystemC 中端口和信号的读写是基于 Δ 延迟实现的.因此,根据 Verilog 语言的特点,在读写操作受时钟触发的时序逻辑电路中,在单位时间结束时才对其进行数据的更新.所以在本周期读取的端口和信号是上个周期的数据,而本周期更新的数据要到下个周期才能读取.而 SystemC 语言同时也具备这种性质,端口和信号的这个属性正是与高级语言普通数据类型的重要区别之一.所以,利用这一特点就可以实现硬件上的寄存器、存储器等模型,可以用来模拟数字电路中的寄存器非阻塞赋值.

本文采用非阻塞赋值延迟来实现流水建立时间的过渡.一般地,在数字电路加法器、乘法器和除法等都不可能在一个周期内完成运算,并且在设计中有可能需求加法器与乘法器的组合组成乘累加起等等.这些在数字电路设计中,往往通过流水的方式进行设计,这样可以达到更小的时间要求.而相对于高级语言,加减法、乘除法都是可以在一个周期内完成运算.在受时钟触发的时序逻辑电路中,一个流水线的实现需要经过一段的流水建立时间,才能实现每个周期都能完成一个运算数据的输出.所以,在本周期内输入的数据,需要经过 N 个周期后输出的数据才是本次运算的结果.本文中采用的实现方法是利用非阻塞赋值实现 N 个周期的数据输入延迟来模拟流水线.采用这种改进方法,可以在仿真的波形上运算输入数据和运算输出数据与硬件仿真相一致,并且能实现流水线的建立.

4 实验及验证结果

实验环境:

- SystemC: Red Hat Linux, SystemC IDE (G-2012.06-SP1)
- Matlab: Windows 7, matlab (2012b)
- VCS: Linux, VCS (2011.12-SP1)
- FPGA: Virtex-6

仿真实验:本实验通过模拟 DSP 将指令发送给可重构专用处理器核的主控制器模块,主控制器模块对相应的指令进行“解码”,控制重构控制器模块、

运算模块等模块的协调工作.根据不同的运算类型,启动 DMA 的从 DDR 中传递数据到片内 SRAM 内,然后运算模块根据不同的运算类型启动不同的运算,运算结束后,将数据运回 DDR 中.

仿真测试分为两个方面进行:一方面进行功能性验证,为保证每种运算功能的正确性,对每种运算不同点数进行仿真,并将结果与 matlab 结果进行对比;另一方面,进行性能验证,就每种算法相同点数的运算,分别在 VCS 平台, FPGA 平台以及本模型验证平台下进行运算,记录仿真时间.

通过本文提出的可重构专用处理器核的周期精确模型与 VCS 仿真和 FPGA 验证相比较,在运算结果相对误差较小的情况下,运算时间比较如表 1 所示.

表 1 不同仿真平台仿真时间

	VCS	FPGA	本模型
6k 点自相关	约 2 小时	约 20 秒	约 10 秒
64k 点自相关	——	约 2.5 小时	约 30 分

本文提出的周期精确模型在仿真速度上有着明显的优势,一旦 bug 产生或者运算结果出错能快速定位问题的所在.

本文提出的基于 SystemC 周期精确模型,整个开发过程在 SystemC IDE 中完成,后续的仿真验证也在 SystemC IDE 中完成,与 VCS 平台和 FPGA 平台相比,其仿真环境的搭建比较简单,能随时进行仿真测试.

5 结束语

基于 SystemC 的周期精确模型能够很好的仿真可重构专用处理器核的实际硬件电路,这使得软硬件协同设计验证在 RTL 验证的前期得以实现.与传统的 RTL 级验证方法相比较,本文提出的可重构专用处理器核周期精确模型具有周期精确、仿真速度快等特点,明显提高了可重构专用处理器核的仿真验证效率,缩短设计开发周期.

参考文献:

- [1] 王兆菊,张询颖,龚龙庆.应用 SystemC 的 AMBA 总线系统级模型的设计与实现[J].微电子学与计算机,2008,25(5):95-98.
- [2] 张奇,曹阳,李栋娜,等.基于 SystemC 的 SoC 行为级软硬件协同设计[J].计算机工程,2005,31(19):217-219.
- [3] 石柯.基于 SystemC 的嵌入式系统软硬件协同设计

- [J]. 计算机应用研究, 2002(6):117-119.
- [4] 罗琨, 曹阳. 数字专用集成电路设计中的 SystemC 建模验证方法[J]. 武汉大学学报:理学版, 2002, 48(3): 306-310.
- [5] IEEE 1666-2011. SystemC language reference manual [S]. The Institute of Electrical and Electronics Engineers, Inc. 3 Park Avenue, New York, NY 10016-5997, 2012.
- [6] Cimatti A, Micheli A, Narasamdy I, et al. Verifying SystemC: a software model checking approach[C]// Formal Methods in Computer-Aided Design (FMCAD). Lugano, Switzerland, 2010:51-59.
- [7] Nurmi J, Madsen J, Ofner E, et al. The SoC-mobinet model in system-on-chip education[C]// IEEE International Conference on Microelectronic Systems Education. Anaheim, California, 2005:71-72.
- [8] 奚杰, 陈杰. 利用 SystemC 实现多核系统的快速建模[J]. 微电子学与计算机, 2010, 27(7):214-217.
- [9] 何卫强, 杨靓, 卢强. 基于 SystemC 的周期精确级 DSP 处理器建模[J]. 微电子学与计算机, 2013, 30(4): 107-110.
- [10] 朱晓龙. 片上网络的 SystemC 建模研究[J]. 电子设计工程, 2013, 21(14):1-3.

作者简介:

包志忠 男, (1990-), 硕士. 研究方向为超大规模集成电路入式系统的开发. E-mail:363356770@qq.com.

(上接第 76 页)

试, 仿真运行结果表明, POBA 算法有效地提高了标准 BA 算法的收敛速度、鲁棒性、寻优效果.

参考文献:

- [1] Yang Xinshe. A new metaheuristic: bat-inspired algorithm [M]. Nature Inspired Cooperative Strategies for Optimization, Berlin: Springer-Verlag, 2010:65-74.
- [2] 肖辉辉, 段艳明. 基于 DE 算法改进的蝙蝠算法的研究及应用[J]. 计算机仿真, 2014, 31(1):272-277.
- [3] 尹进田, 刘云连, 刘丽, 等. 一种高效的混合蝙蝠算法[J]. 计算机工程与应用, 2013, 20(1):1-6.
- [4] 刘长平, 叶春明. 一种具有 Levy 飞行特征的蝙蝠算法

[J]. 智能系统学报, 2009, 26(10):3717-3719.

- [5] 李熠, 马良. 新型全局优化蝙蝠算法[J]. 计算机科学, 2013, 40(5):225-229.
- [6] 李熠, 马良. Powell 方法的收敛速度[J]. 复旦学报:自然科学版, 1988, 27(3):306-312.
- [7] 朱鑫标, 施隆照. 一种高压压缩 Wallace 树的快速乘法器设计[J]. 微电子学与计算机, 2013, 30(2):46-49.

作者简介:

李雅梅 女, (1966-), 硕士, 副教授. 研究方向为计算机控制与应用、智能检测、数字信号处理等.

曹益华(通讯作者) 男, (1990-), 硕士研究生. 研究方向为智能算法处理与应用. E-mail:982738659@qq.com.