

反熔丝 FPGA 配置电路的研究

张 伟, 杜 涛, 张国俊

(电子科技大学 电子薄膜与集成器件国家重点实验室, 四川 成都 610054)

摘 要: 反熔丝 FPGA 的编程过程是对可编程逻辑模块进行配置的过程, 具体过程是利用配置电路对连接在逻辑模块输入、输出端口的反熔丝单元施加高压, 将其击穿形成连接通路, 从而使得逻辑模块连接在信号线上。位流数据控制配置电路完成反熔丝单元的预充电、寻址、加压以及编程过程。通过控制晶体管的打开和关断及复用编程通道, 可以实现不同类型反熔丝的编程, 并简化配置电路的设计规模。测试结果表明, 配置电路可靠地完成了反熔丝的编程功能。

关键词: 反熔丝; FPGA; 配置电路; 编程

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2015)04-0098-04

Research of Configuration Circuit for Anti-fuse FPGA

ZHANG Wei, DU Tao, ZHANG Guo-jun

(State Key Laboratory of Electronic Thin Films and Integrated Devices,
University of Electronic Science and Technology of China, Chengdu 610054, China)

Abstract: To program anti-fuse FPGA is actually to configure the programmable logic module. The specific configuring process is to add high voltage generated by the configuration circuit to the anti-fuse unit connecting to the input and output port of the programmable logic module, to break it down in the result of a connection path, which makes the programmable module link to signal lines. Process of pre-charging, addressing, voltage-loading and programming on anti-fuse is completed by the configuration circuit, which is commanded by the bit-stream. Turning on and off transistors and multi-using programming channels makes it possible to program various types of anti-fuses and simplify the design scale of the configuration circuit. The test results suggest that configuration circuitry reliably accomplish the process of programming anti-fuse.

Key words: anti-fuse; FPGA; configuration circuit; programming

1 引言

现场可编程门阵列具有可用资源丰富、速度快、编程方式灵活、编程周期短等优点, 目前在数字系统设计领域应用日益广泛。常见的 FPGA 有 SRAM、FLASH 和反熔丝^[1]三种类型。相比于前两种类型 FPGA, 反熔丝型 FPGA^[2]还独有启动速度快、工作稳定性高、抗辐射能力强^[3]等优点, 在辐射强^[4]、昼夜温差大、电磁干扰严重的外太空环境^[5]工作时具有无可比拟的优势。

反熔丝 FPGA 内部含有数目众多, 呈矩阵排列

的可编程逻辑模块, 模块的周围则是大量的可编程布线资源, 负责将所有的模块互联在一起, 芯片的外围分布着反熔丝编程时使用的配置电路。模块的所有引脚均通过反熔丝节点连接到布线资源上, 当模块的某个引脚需要连接到布线资源内的信号线时, 利用外围的配置电路在连接处的反熔丝节点两端加编程高压击穿^[6-7]节点处反熔丝, 从而使断开的反熔丝节点编程为连接的通路。技术的进步促使着芯片内部反熔丝节点的数量迅猛增加, 其数量已经达到几百万个, 对单个反熔丝节点的编程而言, 为了避免破坏其他的反熔丝节点, 需要在其两端加上独立的

编程高电压. 这种情况下, 如何设计出一种合理的、结构简单的配置电路成为芯片设计过程中的重要难题之一.

本文根据传统的可编程逻辑模块及其布线资源, 针对反熔丝节点的编程原理, 在研究基础上探索出一种适应于大规模反熔丝 FPGA 编程的配置电路. 利用这种配置电路, 既能避免破坏其他反熔丝, 又能高效地完成单个反熔丝的编程. 此次研究中, 对反熔丝 FPGA 芯片进行了流片处理, 并完整测试其配置电路的编程功能, 实验结果证明了其编程时的可靠性和稳定性.

2 可配置逻辑模块

FPGA 内部的可编程逻辑模块是构成规模庞大、功能复杂的数字逻辑电路的基础, FPGA 的编程过程是利用配置电路对可编程逻辑模块进行配置的过程. 一种典型的可编程逻辑模块如图 1 所示. 图中的可编程逻辑模块由两部分组成, 前半部分组合逻辑模块和后半部分时序逻辑模块. 组合逻辑部分由 3 个二选一选择器构成, 将其 8 个输入引脚配置成不同输入模式, 能够得到不同功能的组合逻辑电路, 足以满足大部分的简单组合逻辑功能. 时序逻辑部分由是 2 个二选一选择器构成, 每个选择器可以配置成一个带有清零功能的 LAT 锁存器或者一个简单的逻辑通路, 将 2 个 LAT 锁存器组合在一起可以形成一个 DFF 触发器.

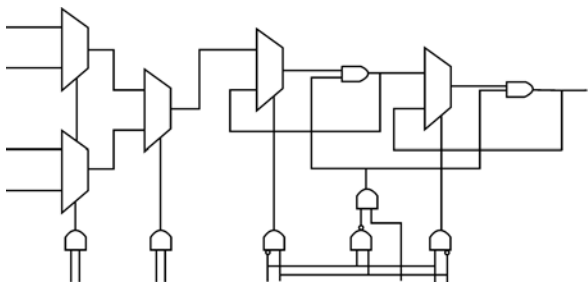


图 1 可编程逻辑模块结构图

图 2 中显示了配置可编程逻辑模块得到的 2 种逻辑电路. 第一个电路是一个 8 输入的组态逻辑电路; 第二个电路是一个带有 DFF 触发器的时序逻辑电路, 与之类似, 可以将其配置成 LAT 锁存器的时序逻辑电路.

3 配置电路框架

可编程逻辑模块的周围分布着丰富的布线资源^[8], 电路设计中, 将这些布线资源分为两类: 水平

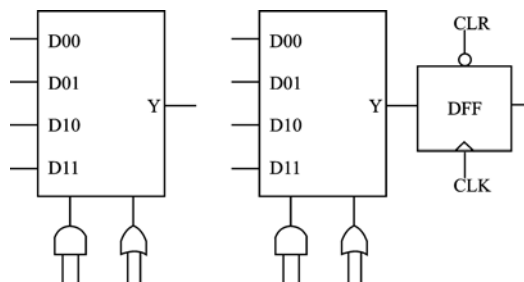


图 2 两种逻辑电路

布线通道和垂直布线通道. 图 3 是芯片内部可编程逻辑模块及其配置电路框架图, 中央是一个简化的 3×3 的可编程逻辑模块阵列, 每个模块的上下分布着两排贯穿整行的水平布线通道, 包括高电平电源线、低电平地线、时钟线、模块之间的互连线; 模块左右分布着两排贯穿整列的垂直布线通道, 模块所有的输入、输出引脚均连接在垂直布线通道上, 水平布线通道和垂直布线通道交叉处分布着大量的交叉反熔丝节点. 当模块某个输入端口需要连接到信号线时, 将交叉点处的反熔丝击穿即可完成连接过程.

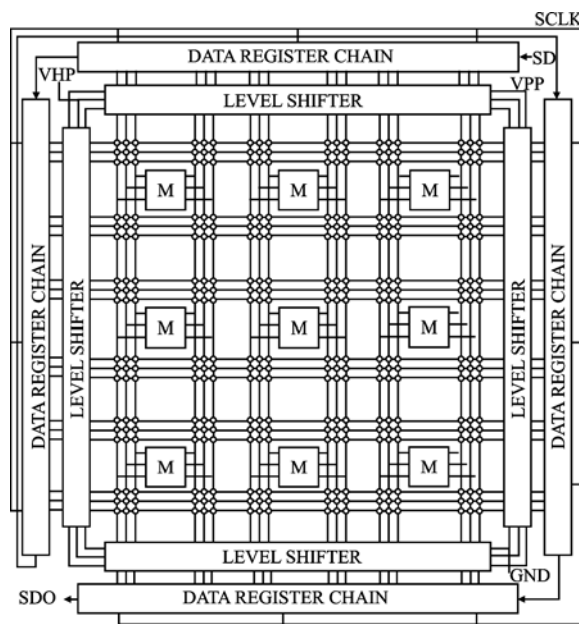


图 3 配置电路框架图

水平布线通道和垂直布线通道属于在芯片配置电路的一部分, 配置电路另一部分由数据寄存器链 (DATA REGISTER CHAIN) 和电平转换单元 (LEVEL SHIFTER) 组成. 图 3 所示的数据寄存器链是一个由大量 DFF 触发器组成的串入并出的移位寄存器, 由同一个外部时钟 SCLK 驱动. 数据由 SDI 端口输入, 保存在寄存器链中, 控制电平转换单元的输出. 编程完成后, 将芯片保存的状态信息从垂

直、水平布线通道回读到寄存器链中,再将数据从 SDO 端口输出到上位机,观察芯片内部的状态.电平转换单元(LEVEL SHIFTER)类似一个选择器,通过寄存器链内的数据将输入端的三种电压(编程电压 VPP、地电压 GND、半编程电压 $VHP = VPP/2$)之一选择出来输出到水平、垂直布线通道上.

FPGA 配置过程是确定数据寄存器链内数据的过程.以图 3 中第一行、第一列的反熔丝节点为例,当需要将此处的水平布线通道和垂直布线通道连通后,利用寄存器链内的数据将第一列的垂直布线通道置为编程高电平(VPP),将第一行的水平布线通道置为低电平(GND),将该节点击穿形成连接通路,从而将模块的输入引脚配连接到特定的信号线上.利用同样的方法可以完成其余的输入、输出引脚的配置过程.

如图 4 所示,配置过程中,为了避免编程高电平破坏其他的反熔丝节点,需要先将第一行和第一列之外的水平、垂直布线通道预充半编程电压($VHP = VPP/2$),第一行和第一列的其余反熔丝节点两端电压差不足以达到 VPP,因而不会被击穿.根据上述水平布线通道和垂直布线通道上需要的电平,可以确定数据寄存器链内输入的数据.实际编程过程中,将数据下载到数据寄存器链后,配置电路自动完成反熔丝节点的选择、编程过程.

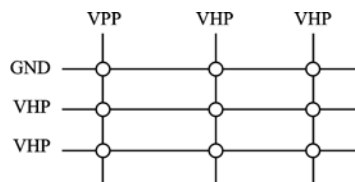


图 4 反熔丝编程电压

4 配置电路内部实现

FPGA 内部反熔丝按功能分成三种类型:连接垂直布线通道和水平布线通道的交叉反熔丝,将垂直布线通道分割成短线的垂直分段反熔丝和将水平布线通道分割成短线的水平分段反熔丝.

图 5 是 FPGA 配置电路内部实现示意图.所有连接在 VPP、VHP、GND 模块的信号线均连接在电平转换单元输出端,它们的电平随寄存器链中数据的变化而在 VPP、VHP、GND 三者中变化.大规模 FPGA 电路中,因模块数量众多,因此模块的水平、垂直布线通道的数量必然巨大,如果将所有的布线通道连接在独立的电平转换单元输出线上,必然导

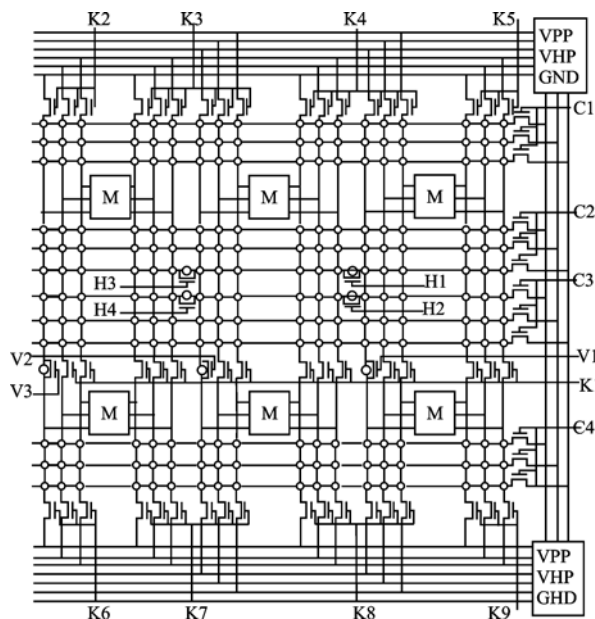


图 5 配置电路内部实现示意图

致电平转换单元数量极其庞大.

为了简化配置电路的设计,设计 K2~K9 列开关级和 C1~C4 行开关级晶体管,K2~K9 和 C1~C4 连接在数据寄存器链上,通过控制开关的开合达到复用电平转换单元的目的.除此之外,为了避免连接在同一垂直布线通道上不同模块输入引脚之间信号相互干扰,设计 K1 开关级将输入引脚隔离开以达到隔绝干扰的目的.由于实际电路中的模块多达几十行,需要的类似 K1 开关级也会达到几十行,这必然导致到达反熔丝点处的编程高电平出现损失,因此电路中垂直布线通道采用了上下两级联通的方式同时供电,避免出现编程电压降低而无法编程的现象.

根据在电路中的不同作用,可以将水平布线通道分为贯穿整行的通用信号线和用于模块间互联的水平长信号线.通用信号线一般作为高、低电平信号线,时钟线,模块复位信号线;水平长信号线用作模块之间的互连线.水平长信号线被水平分段反熔丝分割为数段,其结构如图 4 中 H1~H4 连接端所示.水平分段反熔丝连接在电平转换单元输出端上,利用它们可以选择是否将分段反熔丝击穿.当不需要将其击穿时,可以实现水平长信号布线上信号间的隔离;当需要在水平长信号线上实现模块间信号传输时,可以利用配置电路将分段反熔丝击穿形成连接通路.与之类似,同样设计垂直分段反熔丝将长信号线分割成数段,如图 5 中 V1~V3 连接端所示,一般将垂直长信号线作为模块的输出端连接线,在

需要信号长距离传输时,可以利用配置电路将其击穿形成连接通路。

5 配置电路测试

FPGA 电路采用 TSMC0.18 μm ONO 反熔丝工艺设计制造,制造后部分电路如图 6 所示。

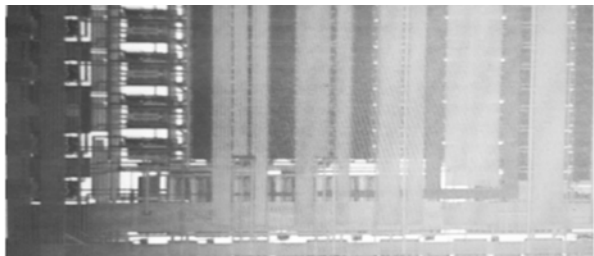


图 6 FPGA 部分电路图片

测试中,采用先加编程电压(VPP)对反熔丝编程,后加半编程电压(VPP/2)测量编程后电流的方法判断反熔丝节点编程是否成功。根据选定的反熔丝节点,先输入编程的位流数据,形成 VPP-反熔丝节点-GND 电路结构完成编程,编程完成后,在 VPP 端口加半编程电压测量流过反熔丝节点的电流。将测量得到的电流采集后传输到上位机上判断,若电流大于 2 mA 则判定编程成功,若电流小于 50 μA 则判定编程失败。

利用示波器采集的 VPP 引脚电压以及反熔丝两端电流的变化波形图如图 7 所示。SDI 表示输入的位流信息,编程完成后将位流数据从 SDO 端口回读回来验证位流数据是否与输入数据相同。VPP 端口先加载 VPP 电压完成编程,然后将其置为低电平释放通道内电荷,再加载 VPP/2 电压测量流过反熔丝节点的电流。FCM 是编程过程中和编程后,流过反熔丝节点的电

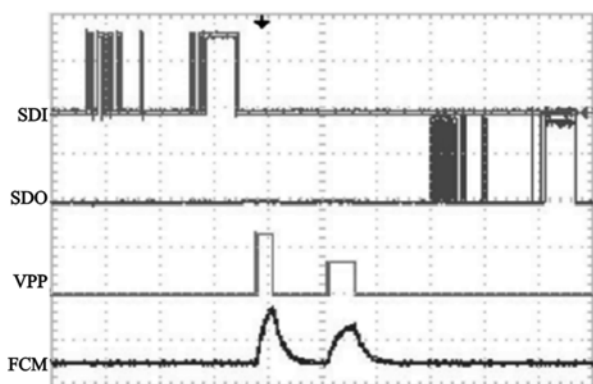


图 7 反熔丝编程中信号变化波形

流变化波形图。图中 FCM 波形可以清楚地表明反熔丝编程过程中,流过反熔丝节点的电流变化情况。根据测量得到的波形图,配合采集得到的电流数据,可以验证该配置电路的编程可靠性。

6 结束语

反熔丝 FPGA 的配置过程主要是对可编程逻辑模块进行配置的过程。其具体过程是利用位流数据控制配置电路对反熔丝节点编程的过程。反熔丝 FPGA 中布线资源不仅数量庞大,不同反熔丝作用和编程方式也完全不同,设计开关级复用编程通道,可以极大地简化配置电路的设计,并达到隔绝信号之间干扰的目的。流片之后芯片测试结果表明,设计的配置电路可靠地完成反熔丝节点的编程,配置后的电路能够实现相应的逻辑功能。

参考文献:

- [1] Green J, Hamdy E, Sam B, et al. Anti-fuse field programmable gate arrays [C] // Proc IEEE Mountain View, CA: IEEE, 1993: 113-116.
- [2] 王刚,李平,张国俊,等. 反熔丝的研究与应用[J]. 材料导报,2011,39(6):30-33.
- [3] Mccollum J. ASIC versus anti-fuse FPGA reliability. [C] // Aero Conf IEEE. Big Sky, MT: IEEE, 2009: 32-36.
- [4] Wall J J, Cronquist B, Mccollum J, et al. Radiation tolerant anti-fuse FPGA [R]. Sunnyvale: Actel Corp, 2012.
- [5] Neill K. Anti-fuse FPGA technology best option for satellite application [J]. 电子产品世界, 2005(10): 92-94.
- [6] 钱海涛,李威,张大华,等. 反熔丝 FPGA 配置算法与软件实现[J]. 微电子学与计算机, 2013, 30(4): 63-66.
- [7] Hamdy E, Mccollum J, Cendy S, et al. Dielectric based anti-fuse for logic and memory IC [J]. proceedings of the International Electron Devices Meeting Technical Digest, San Francisco, CA, USA: IEEE, 1998: 786-787.
- [8] Graham H, Seltz D. Electronically programmable gate array having programmable interconnect lines. USA: Patent 4,786,904[P]. 1988.

作者简介:

张伟 男, (1990—), 硕士研究生, 研究方向为大规模集成电路与系统. E-mail: orionek@163.com.