

一种提高反熔丝 FPGA 容错能力的新方法

张大华, 李 威, 杜 涛

(电子科技大学 电子薄膜与集成器件国家重点实验室, 四川 成都 610054)

摘 要: 针对反熔丝 FPGA 中反熔丝单元的开路故障, 提出了一种提高反熔丝 FPGA 容错能力的新方法. 该方法通过对 VPR 布线算法的改进, 在 FPGA 布线时预留更多的对称布线资源以便在故障发生时用于容错处理. 实验结果表明, 当 FPGA 布线资源固定时, 该方法在布线阶段有效增加了对称线段的预留量, 预留量平均可增加 30.4%, 最高可达 100%; 当预留量达到 100% 时, FPGA 的单个反熔丝故障都可以通过容错消除该故障.

关键词: 反熔丝 FPGA; 容错; 布线算法; VPR

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2015)01-0105-04

A Novel Fault Tolerance Approach for Antifuse FPGAs

ZHANG Da-hua, LI Wei, DU Tao

(State Key Laboratory of Electronic Thin Films and Integrated Devices,
University of Electronic Science and Technology of China, Chengdu 610054, China)

Abstract: A novel fault tolerance approach for the antifuse FPGA was proposed to deal with the stuck-open fault of the antifuse. By modifying the routing algorithm of VPR to reserve more symmetrical routing resources, the purpose of improving fault tolerance ability of the antifuse FPGA was achieved. The experimental results showed that when the routing resources in the FPGA are fixed, the percentage of the reserved symmetrical routing resource could be increased by 30.4% on average while for some instances the percentage can reach 100%. Our method can bypass any single faulty antifuse in the FPGA when the percentage of reserved resource is 100%.

Key words: antifuse FPGA; fault tolerance; routing algorithm; VPR

1 引言

随着半导体技术不断进步, 现场可编程门阵列 (Field Programmable Gate Array, FPGA) 的规模、性能、功能等各个方面都得到了极大提升, 与此同时, 对于 FPGA 的容错能力也提出了更高的要求. 为了克服集成电路生产过程, 由于材料缺陷和工艺偏差等原因引入的各种故障, 通过提供冗余硬件、纠错等方法可以显著提高 FPGA 的容错能力. FPGA 根据其可编程性可以分为以下 2 类: 多次可编程和一次性可编程. Xilinx 和 Altera 公司的 SRAM 型 FPGA 可以根据用户需要进行多次编程, 以完成不同的设计和应用. Microsemi 公司的反熔丝 FPGA^[1] 仅能一次性编程, 不能反复修改, 被广泛应用

于航空航天、军事等高可靠领域. 相比于多次可编程的 SRAM 型 FPGA, 对反熔丝 FPGA 的故障容错能力提出了更高的要求.

FPGA 的容错方法通常可以分为以下两类: 硬件容错和软件容错^[2-4]. FPGA 生产厂商通常采用硬件容错, 通过在 FPGA 中增加额外的硬件资源 (用户不可见), 当发生故障时及时进行替换以达到容错的目的. 用户通常采用软件容错, 即在 FPGA 的使用过程中避免使用故障资源或者在发生故障时利用空闲资源来进行容错. 硬件容错会增加芯片的面积, 降低系统性能, 还会增加系统的复杂度; 相比而言, 软件容错具有更高的灵活性, 可以实现实时容错, 甚至无需修改用户设计, 能够纠正的故障类型和故障数目也大大增加, 但要求额外的布局布线时间以及

配置时间. 文献[5]中针对故障反熔丝单元提出了局部布线算法, 该算法通过建立新的信号通路, 从而绕开故障反熔丝, 但新通路与原通路相比并非最优信号通路, 可能导致电路性能降低并且容错处理后的电路性能无法准确估计.

本文采用软件容错的方式, 提出一种能够提高反熔丝 FPGA 容错能力的新方法. 该方法在容错布线时引入额外的关键路径延时, 但可以保证容错处理后的电路性能几乎不变.

2 反熔丝 FPGA 及其故障类型

2.1 反熔丝 FPGA 基本结构

反熔丝 FPGA 的基本结构如图 1 所示^[6], 成行的逻辑模块排列成矩阵状, 构成可编程逻辑阵列, 行与行之间是预先定义好的不同长度组合的水平布线资源, 垂直布线资源穿过逻辑模块与水平布线资源通过反熔丝单元相连接, 相邻的水平/垂直布线资源可以通过编程通路反熔丝来满足更长的连线需求. 逻辑模块的输出信号通过输出连线可以实现与其上方两个布线通路和下方两个布线通路中任意水平布线资源的连接.

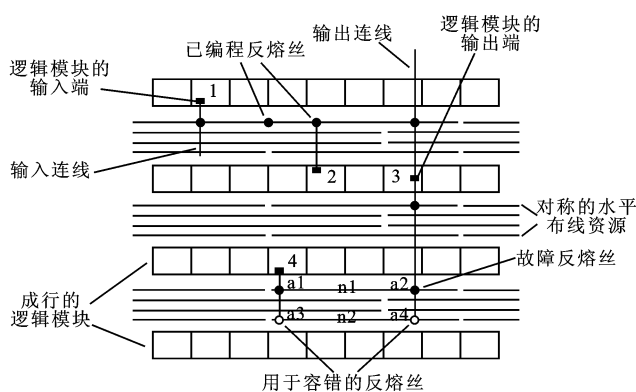


图 1 反熔丝 FPGA 的基本结构

2.2 反熔丝 FPGA 的故障类型

本文仅对反熔丝 FPGA 特有的故障类型——反熔丝单元的故障进行容错考虑. 反熔丝单元的故障可以分为以下两类: 一种是反熔丝在编程前已烧通, 即短路故障; 另一种则是在编程时反熔丝无法正常烧通, 即开路故障. 反熔丝的短路故障在 FPGA 芯片出厂前即可检测到, 并进行相应的处理; 而开路故障只有在 FPGA 实际编程时才会遇到, 故本文着重考虑此类故障.

3 提高容错能力的新方法

3.1 新方法的基本思想

如图 1 所示, 逻辑模块 3 的输出信号经过输出

连线、反熔丝 a2、水平线段 n1、反熔丝 a1、输入连线到达了逻辑模块 4 的输入端, 但在该信号通路中存在故障的反熔丝单元 a2. 为了消除故障, 需要寻找新的信号通路来代替原有通路. 若原信号通路中的水平线段 n1 存在对称线段 n2, 并且 n2 在布线阶段未被使用, 因为对称线段 n2 与 n1 的长度、寄生电阻和电容值几乎完全相同, 则容错的最佳方案则是将故障通路从 n1 平移至 n2 处, 只需额外多编程两个反熔丝单元 a3, a4. 使用对称线段的好处是能够保证电路的性能, 使得容错处理后电路的关键路径延时几乎不受影响.

本文提出的提高反熔丝 FPGA 容错能力的新方法, 其基本思想是在 FPGA 容错布线时预留更多的对称线段, 当发生反熔丝故障时对称线段的使用能有效保证容错处理后的电路性能不会降低, 从而提高了反熔丝 FPGA 的容错能力.

3.2 新方法的 CAD 实现

本文使用 VPR^[7-8] 来对 FPGA 布局布线, 通过对 VPR 的改进来提高反熔丝 FPGA 的容错能力. 一个完整的 FPGA 设计流程包括设计输入、逻辑综合和优化、工艺映射、布局、布线和位流生成这几个步骤, 为此本文开发了一套完整的反熔丝 FPGA CAD 系统平台, 如图 2 所示. 该平台主要包括: ① Synplify Pro, 对用户设计进行逻辑综合和优化; ② Converter, 对 EDIF 文件进行必要的修改以便于后续工具的读取; ③ 改进的 E2FMT^[9], 对网表文件进行工艺映射和文件格式转换; ④ 改进的 VPR, 对反熔丝 FPGA 进行布局布线; ⑤ 新开发的工具 Streamline, 用于生成位流文件. 本文从布线算法出发考虑容错, 故仅对改进的 VPR 进行详细说明.

由于 VPR 的布线算法是靠成本函数来控制布线资源结点的选择^[10], 本方法在 VPR 中的实现是通过修改布线器的成本函数来增加对称线段的预留量, 在原先成本函数的非时序成本中引入了一个新的成本因子 s_n . 新的成本函数如式(1)所示:

$$Cost_n = Crit_{i,j} delay_n + [1 - Crit_{i,j}] b_n h_n p_n s_n$$

$$s_n = \begin{cases} 1 & \text{symmetrical resources exist} \\ 1 + s_{fac} & \text{symmetrical resources don't exist} \end{cases} \quad (1)$$

新的成本函数会实时监控布线器在波前扩展时所使用布线资源的情况, 当所使用的布线资源存在空闲的对称资源时, 成本因子 s_n 保持为初始值 1, 即不增加布线成本 $Cost_n$; 当所使用的布线资源不存在空闲的对称资源时, 成本因子 s_n 需要按照式(1)进

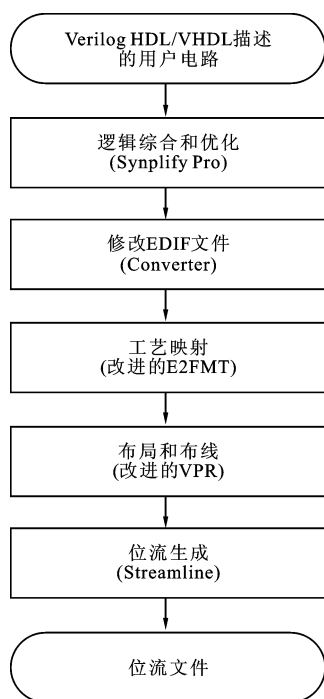


图2 反熔丝 FPGA CAD 系统

行更新,从而对未预留下对称资源的线段做出相应的惩罚。其中, s_{fac} 为惩罚因子,根据实验,取 $s_{fac} = 9$ 。

通过对于那些不存在空闲对称资源的线段进行惩罚,可以使得布线器在布线过程中有意识地避让开上述线段,而尽量采用存在空闲对称资源的线段,尽管这可能在信号通路引入更大的延时(因为未采用原先相对最优的布线选择),但可以预留下更多的对称线段,而更多的预留线段则可以处理更多的反熔丝故障。

4 实验结果与分析

为了验证上述方法的有效性,本文在一个规模为 8×4 的反熔丝 FPGA 上对一系列测试电路进行了布局布线。假设该 FPGA 中所有的水平线段在相同布线通道中均存在对称线段,并且实验中仅考虑水平线段容错,不考虑垂直线段,因为反熔丝 FPGA 中水平线段的数目远远多于垂直线段。实验结果如表1、表2所示,其中,线段预留量($\%$) = 预留的对称线段数/占用线段数 $\times 100\%$,这里预留的对称线段数仅仅考虑占用线段的空闲对称线段的数目。

表1所示为测试电路的统计信息,包括测试电路所需的逻辑模块的个数及其在 FPGA 中的资源利用率。表2所示为采用新方法前后 FPGA 中对称线段预留量的变化情况。从实验结果可以看出,该方法

法在保证布通率的前提下,能够有效地提高对称线段的预留量,平均提高了 30.4% ,对于计数器电路其比例甚至为 100% 。此外,通过比较表1中测试电路的资源利用率可以看出,当 FPGA 逻辑资源利用率较低时,对称线段的预留量提高较多,因为这时有相对较多的空闲资源可供选择;而当逻辑资源利用率较高时,提升比例相对较少。

表3所示为采用新方法前后电路关键路径延时的变化情况。表2所示的实验结果说明采用该方法会使大部分电路的性能降低,电路的关键路径延时平均增加了 38.7% 。通常情况下认为当 FPGA 的资源利用率越高时,空闲资源就越少,预留更多的对称线段将对电路性能产生极大的影响。然而在其中2个测试电路中(全加器和乘法器),电路的性能非但没有下降,反而略微有所提升,而这2个电路的资源利用率为测试电路中的最高和最低,这说明该方法引入延时的大小与 FPGA 的资源利用率无必然联系。经过比较容错前后电路的布线结果,发现容错后性能未下降的电路,其布线结果与原电路大致相似,关键路径的源、漏两端也与原电路完全相同;而容错后性能下降的电路,其布线结果与原电路完全不同,关键路径也发生了变化。这说明 VPR 原先的布线结果是相对最优的,采用与其相近的布线结果将有助于保持电路性能,而完全改变该布线结果将使得电路性能大幅下降。

表1 测试电路统计信息

电路	逻辑模块个数	资源利用率/ $\%$	电路	逻辑模块个数	资源利用率/ $\%$
乘法器	7	21.9	比较器	15	46.9
计数器	10	31.3	38译码器	25	78.1
24译码器	12	37.5	全加器	28	87.5

表2 采用新方法前后对称线段预留量的比较

电路	非容错方法			容错方法		
	预留对称线段数	占用线段数	线段预留量/ $\%$	预留对称线段数	占用线段数	线段预留量/ $\%$
乘法器	15	23	45.5	24	34	70.6
计数器	10	22	45.5	25	25	100
24译码器	9	23	39.1	21	25	84
比较器	17	41	41.5	34	52	65.4
38译码器	14	52	26.9	24	58	41.4
全加器	23	67	34.3	35	65	53.8
平均值	14.7	39.7	38.8	27.2	43.2	69.2

表 3 采用新方法前后电路的关键路径延时比较

电路	关键路径延时/ns		速度提升/%
	非容错方法	容错方法	
乘法器	16.2	15.9	1.85
计数器	9.28	14.3	-54.1
24 译码器	9.11	15.5	-70.1
比较器	11.0	17.6	-60
38 译码器	10.5	18.8	-79
全加器	10.6	10.1	4.72
平均值	11.1	15.4	-38.7

图 3、图 4 为采用新方法前后计数器电路的布线结果,该电路在采用容错方法后预留的对称布线资源的比例为 100%,此时预留线段与已用线段的比例为 1:1.若 FPGA 仅存在单个反熔丝故障,则可以通过使用预留线段消除该故障.

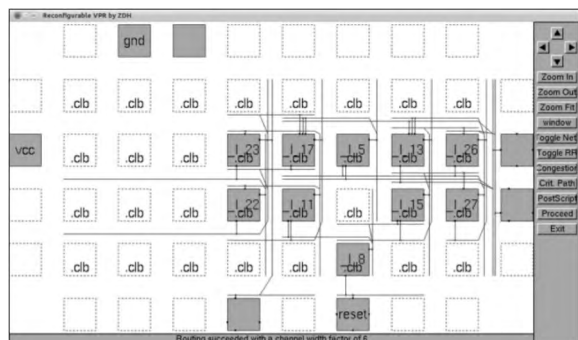


图 3 采用新方法前计数器的布线结果

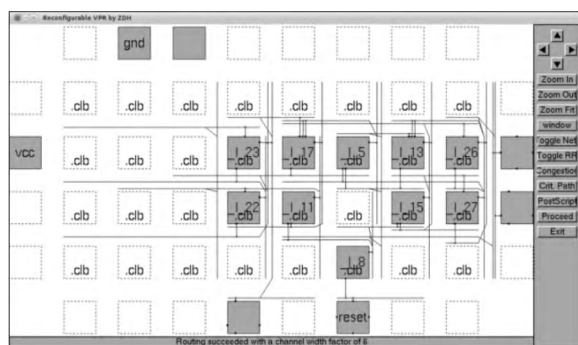


图 4 采用新方法后计数器的布线结果

5 结束语

本文针对反熔丝单元的开路故障提出了一种提高反熔丝 FPGA 容错能力的新方法,并且通过对 VPR 的修改实现了该方法.实验结果表明该方法能够很大程度地提高反熔丝 FPGA 的容错能力,通过使用对称线段保证了容错处理后的电路性能几乎不变.

参考文献:

- [1] 钱海涛,李威,张大华,等.反熔丝 FPGA 配置算法与软件实现[J].微电子学与计算机,2013,30(4):63-66.
- [2] Cheatham J A, Emmert J M, Baumgart S. A survey of fault tolerant methodologies for FPGAs[J]. ACM Transactions on Design Automation of Electronic Systems, 2006, 11(2):501-533.
- [3] Doumar A, Ito H. Detecting, Diagnosing, and tolerating faults in SRAM-based field programmable gate arrays: A Survey[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2003, 11(3): 386-405.
- [4] Roy K, Nag S. On routability for FPGAs under faulty conditions[J]. IEEE Transactions on Computers, 1995, 44(11):1296-1305.
- [5] Meyer F J, Chen X T, Zhao J, et al. Fault tolerance of one-time programmable FPGAs with faulty routing resources[C] // IEEE International Conference on Innovative Systems in Silicon, Austin;IEEE, 1997: 155-164.
- [6] Elgamal A, Greene J, Reyneri J, et al. An architecture for electrically configurable gate arrays [J]. IEEE Journal of Solid-State Circuits, 1989, 24(2):394-398.
- [7] Betz V, Rose J. VPR: a new packaging, placement and routing tool for FPGA research[C] // International Workshop on Field Programmable Logic and Applications, London, UK;IEEE, 1997: 213-222.
- [8] 刘攀,周强,朱珂,等.基于 VPR 的层次式 FPGA 结构描述方法研究[J].微电子学,2009,39(1): 105-110.
- [9] Mcelvain K. IWLS'93 benchmark Set: Version 4.0: Mentor Graphics[EB/OL]. [2014-03-17]. (1993-05-15). http://proteas.microlab.ntua.gr/meander/help/E2FMT_manual.pdf.
- [10] Betz V, Rose J, Marquardt A. Architecture and CAD for Deep-Submicron FPGAs[M]. Boston: Kluwer Academic Publishers, 1999: 65-103.

作者简介:

张大华 男,(1985-),博士.研究方向为反熔丝 FPGA 的研究与设计. E-mail:zhangdahua313@163.com.

李威 男,(1959-),教授.研究方向为大规模集成电路设计.

杜涛 男,(1976-),博士研究生,讲师.研究方向为大规模集成电路设计.