

基于 D/A 转换器的工艺波动表征方法的研究

刘 博, 张雷鸣, 王金婵

(河南科技大学, 河南 洛阳 471023)

摘 要: 提出了一种利用微分非线性误差参数(DNL)表征单管 MOSFET 工艺波动特性的方法,并建立了其数学关系表达式.该表征方法通过测试多组 90 nm/1.2 V 标准 CMOS 生产工艺的 D/A 转换器工艺样片的驱动管输出电压和电流,利用微分非线性误差作为衡量工艺波动程度的指标参数,得到反映输出驱动管阵列受工艺波动影响的 MOS 晶体管的器件失配系数 ΔD .通过建立两者的数学关系式,量化描述了由工艺波动造成的输出驱动管电流失配,以及该失配对于 DAC 输出特性变化的影响.由实际测试分析结果可知,该表征方法具有较强的实用价值,能够为模拟 IC 设计者预测电路性能提供理论依据与技术指导.

关键词: 工艺波动;微分非线性误差;失配系数

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2015)03-0117-05

Research on Characterization Methodology for Process Variation with D/A Converters

LIU Bo, ZHANG Lei-ming, WANG Jin-chan

(Henan University of Science and Technology, Luoyang 471023, China)

Abstract: This paper presents a methodology and related mathematic model to characterize the process variation of individual MOS transistor by differential non-linearity (DNL). By measuring the output voltages and current values of output-driven MOS transistor among D/A converters in test chip which is fabricated by 90 nm/1.2 V CMOS process, the device mismatch factor ΔD which is used to describe the effect of process variation in the output-driven MOS transistors can be obtained. By formulating a quantitative mathematic model, the current mismatch caused by device variation as well as the output variation induced by this mismatch can be described accurately. Experimental results of DAC circuits proves that the characterization method we proposed is easy-to-use, as well provides theoretical basis and technique guidance for analog IC designer to predict circuit performance effectively.

Key words: process variation; Differential Non-Linearity(DNL); mismatch factor

1 引言

对于纳米节点集成电路制造工艺而言,由于在芯片制造过程中不可避免地造成工艺波动,导致相同尺寸的晶体管单元之间出现失配现象,极大地影响了模拟集成电路的精度性能.因此,有关纳米级半导体器件的工艺波动分析及建模成为集成电路可制造性设计(DFM)领域的热点研究课题^[1-2].

Pelgrom 在其模型^[3]中明确指出,CMOS 集成

电路的晶体管尺寸与其电学参数的工艺波动呈现反比例的数学关系.相对数字电路而言,模拟集成电路的设计制约更加繁多且相互影响,考虑纳米节点器件的工艺波动将使其设计更加复杂,同时,与器件结构相关的 WPE、STI 应力等物理效应导致的工艺波动变得愈发复杂和不可预测^[4-5].近年来,针对纳米工艺节点的集成电路工艺波动研究主要集中在对硅片图形的三维特征尺寸与版图设计的特征尺寸所发生的偏离对电路设计性能的影响方面,该偏离受版

收稿日期: 2014-04-10; 修回日期: 2014-05-27

基金项目: 河南省科技厅国际科技合作计划项目(144300510037);河南省教育厅科学技术重点研究项目(14B510004)

图设计方式^[6]和复杂工艺的共同影响而表现出系统性和随机性^[7-8],并在 65 nm 技术节点达到了 35% 的严重程度^[9].

K. R. Lakshminikumar 利用统计学方法研究电流舵型 D/A 转换器的电路模型,并提出了器件工艺波动所引起的电路误差与成品率之间的关系,有效地分析和预测了 IC 流片后的良品率^[10].由于针对工艺波动的形成机理研究往往需要大量的测试数据与较长的测试周期,而且还需要针对实际投片的 IC 电路进行实测分析,因此,国内对工艺波动的研究主要集中在金属互连线、MOS 管的亚阈值漏电流和阈值电压^[11-12]等方面,尚未有基于实际 IC 电路开展的工艺波动相关研究.

本文以 4 位电流舵型 D/A 转换器(以下称 DAC)的电流源输出驱动管阵列为研究对象,通过分析其电学参数的工艺波动与整体电路设计精度的相关性,提出一种全新的针对工艺波动的表征方法.该方法通过建立工艺波动与电路性能参数间的数学模型,用于模拟 CMOS 电路的性能波动分析,帮助模拟 IC 设计者在设计初期快速完成电路性能的预测与折中,无须进行耗时较长的蒙特卡洛仿真,从而大大节约设计时间,缩短设计迭代周期.

2 工艺波动评估方法

本节提出了一种全新的工艺波动表征方法,该方法可以用来描述和评估工艺波动对电流舵型 DAC 结构中的输出驱动管和其短沟调制效应所造成的影响.该方法以一个具有单步工作模式的 4 位电流舵型 DAC 作为研究对象,利用数模转换电路的常规精度指标 DNL(微分非线性误差)参数定义输出驱动管的器件失配、短沟调制效应与工艺波动之间的相关性.

由于工艺波动直接导致 MOS 晶体管的物理参数如沟道宽长比 W/L 以及电学参数例如阈值电压 V_T 、载流子迁移率 μ_n 、单位面积栅氧化层电容 C_{ox} 等产生随机波动,不利于 IC 设计者从整体电路设计的角度去考虑工艺波动对电路性能的影响.因此,本研究把由器件的工艺波动导致的驱动管输出电压/电流失配归一定义为器件(Device)失配,其失配值用失配系数 ΔD 表示.器件失配系数越小,意味工艺波动对电路性能的影响越小,反之表示该电路对工艺波动越敏感,抗波动性越差.

2.1 DNL 定义

通常,DAC 的直流转换精度使用 2 种静态参数

进行评估:积分非线性(INL)和微分非线性(DNL).由工艺波动引起 MOS 晶体管输出电压/电流的扰动会导致这两个误差参数的增大.

图 1 中描了 3 位数模转换的输入/输出曲线,最低有效位 LSB 指的是模拟输出电压的最小单位量,为理想步长. V_{cx} 表示每位数模转换时的实际模拟输出电压,为实际步长.对于 n 位 DAC 和一个满量程电压范围 V_{FSC} ,LSB 可用下式表示:

$$LSB = \frac{V_{FSC}}{2^n} \quad (1)$$

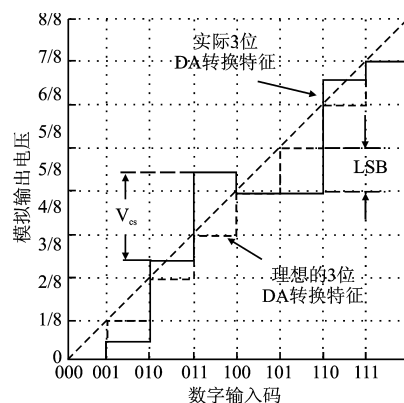


图 1 基于 3 位 DAC 的 DNL 示意图

传统的 DNL 用以描述 n 位数模转换过程中实际输出步长与理想步长产生偏离的最大值,代表公式为

$$DNL = \max \left| \frac{V_{cx} - LSB}{LSB} \right| \quad (2)$$

本研究中,由于输出驱动管阵列的工艺波动造成其输出电压产生波动,并最终导致 DAC 电路的输出模拟增量(图 1 中实线)偏离理想值(虚线),因此需要使用 n 个微分非线性(DNL)误差参数来表征其每步数模转换的偏离情况(即转换精度).本文中 DNL 定义为

$$DNL = \left| \frac{V_{cx} - LSB}{LSB} \right| \times 100\% \quad (3)$$

2.2 DAC 的测试工作模式

为了准确地评估工艺波动对测试电路的影响,本方法选取经过结构简化的 DAC 作为数据采样对象,避免电路结构复杂导致的测试系统误差对最终测试结果造成的影响.同时也为了减少采样点,便于分析测试数据.本方法选取的 D/A 转换电路为 4 位精度电流舵型 DAC,如图 2 所示.

该 DAC 由开关阵列、基准电流源、电阻和 15 只特征尺寸完全相同的输出驱动管构成,且驱动管版图均采用相同的结构形式.通过外部控制信号控制

DAC 的开关阵列使相应的输出驱动管导通,从而在电阻 R 产生不同大小的电流 I_R ,并在输出端 V_{out} 获得不同的输出电压。

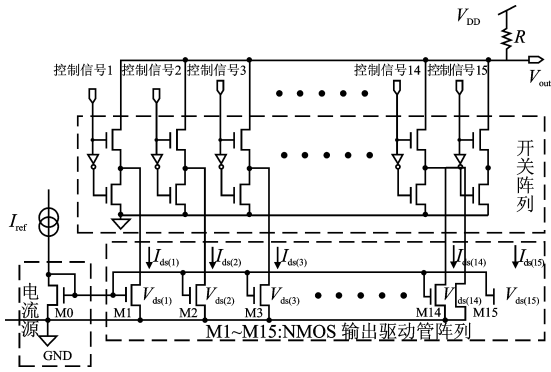


图 2 4 位电流舵型 DAC 电路结构示意图

DAC 输出电压 V_{out} 的电位由导通的输出驱动管数量和电阻 R 上所流过电流 I_R 的大小决定,计算公式如下:

$$V_{out} = V_{DD} - I_R \times R = V_{DD} - \sum_{n=1}^{15} I_{ds(n)} \times R \quad (4)$$

式中, n 是导通的输出驱动管编号, $I_{ds(n)}$ 表示导通的第 n 只输出驱动管漏极与源极之间所流过的电流值。在不考虑工艺波动的理想情况下,当输出驱动 MOS 管处于饱和区工作时,其 $I_{ds(n)}$ 都应该相等。

在外部控制信号作用下,DAC 按照单步模式工作。所谓单步模式是指选择外部信号控制开关阵列,使 DAC 的 15 只输出驱动管只有一路导通。此时,在输出电压 V_{out} 所反映出的电压变化能够反映单管的器件失配情况,工作模式如图 3 所示。

$$V_{R(n)} = I_{ds(n)} \times R \quad (5)$$

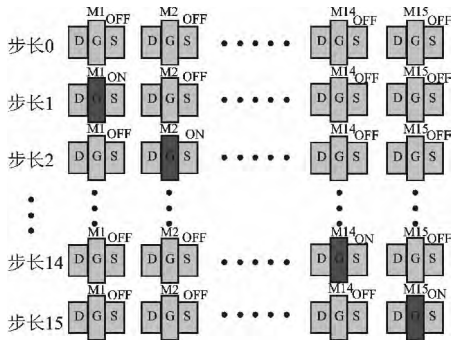


图 3 4 位 DAC 单步工作模式

2.3 MOS 单管漏-源极电流失配分析

当设计诸如电流镜和差分对电路单元时,设计者希望相同尺寸的 MOS 管对具有相同的电学特性

(如阈值电压等)。但是, MOS 器件制造过程中不可避免的工艺波动将会导致器件失配,影响整体电路的匹配精度和电路性能。

为了更加细致地分析各驱动管输出电流的波动特性,本研究以 DAC 的输出驱动管所构成的电流镜这一典型电路作为设计与研究对象。针对单管器件的工艺波动,基于器件尺寸与器件对间距参量的传统 Pelgrom 模型被描述为

$$\sigma^2(\Delta P) = \frac{A_P^2}{WL} + S_P^2 D^2 \quad (6)$$

式中, ΔP 表示某特征参数如 V_T 的工艺波动量, $\sigma^2(\Delta P)$ 指波动方差,其值越大表示某电学特性受工艺波动的影响越大,即工艺波动大; WL 为 MOS 晶体管的器件尺寸,分别为 MOS 晶体管的沟道宽度和沟道长度; D 是器件对间距; A_P 和 S_P 为工艺常量,该参数随工艺线不同而取值不同。另外,考虑短沟调制效应的 CMOS 场效应管的漏-源极电流 I_{ds} 的计算式为

$$I_{ds} = \frac{\beta}{2} (V_{gs} - V_T)^2 (1 + \lambda V_{ds}) \quad (7)$$

式中, $\beta = \mu_n C_{ox}$ 和 V_T 分别表示增益因子和阈值电压; λ 是短沟道调制效应系数(短沟系数)。

基于式(6)的偏导计算和泰勒展开, MOS 场效应单管的电流失配统计公式可推导为

$$\frac{\sigma_{I_{ds}}^2}{I_{ds}^2} = \frac{\sigma_\beta^2}{\beta^2} + \frac{4\sigma_{V_T}^2}{(V_{gs} - V_T)^2} + \frac{\sigma_\lambda^2}{\left(\frac{1}{V_{ds}} - \lambda\right)^2} \quad (8)$$

从式(8)可以看出,漏-源电流的失配效应主要取决于 MOS 管栅-源和漏-源电压在不同偏置条件下,三个特征参数阈值电压 V_T 、增益因子 β 和短沟系数 λ 的工艺波动特性。任意一个电学参数的工艺波动增大都会导致电流匹配特性的退化,进而使整体电路的设计复杂化。

2.4 基于 DNL 的器件失配系数 ΔD

由式(2)可知, DNL 作为 DAC 每一个步长实测值相对理想值的偏差,可以表征 DAC 中输出驱动管的失配程度。因此,本文提出利用 DNL 来表征对输出驱动管的器件失配系数 ΔD 的工艺波动与 DAC 失配特性的关系。基于 DNL 的器件失配系数 ΔD 测试方法如下:

① 将 DAC 置于单步工作模式。步长为 0 时, DAC 的输出驱动管都处于截止状态。步长 1 至 15 时, DAC 转换的输出驱动管只有 1 个处于饱和区,图 4 为单步模式下器件失配系数 ΔD 的定义说明示意图。

② $V_{\max}$ 是 V_{out} 在步长为 1 至 15 时的最大值与步长为 0 时 V_{out} 的差值. $V_{\min}$ 表示 V_{out} 在步长为 1 至 15 以内的最小值与步长为 0 时 V_{out} 的差值.

③ 利用 $V_{\max}$ 与 $V_{\min}$ 定义的 DNL 如下:

$$DNL_{\Delta D(\max)} = \frac{|V_{\max} - LSB|}{LSB} \quad (9)$$

$$DNL_{\Delta D(\min)} = \frac{|V_{\min} - LSB|}{LSB} \quad (10)$$

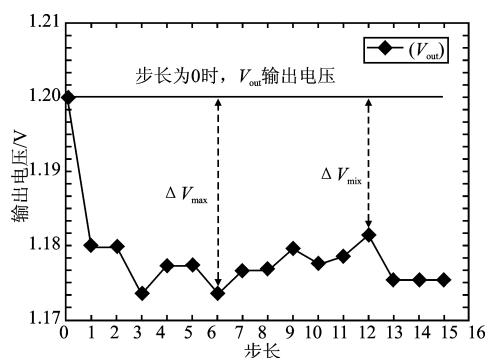


图 4 单步模式下的器件失配系数 ΔD

因此,定义器件失配系数 ΔD 为

$$\Delta D = |DNL_{\Delta D(\max)} - DNL_{\Delta D(\min)}| \quad (11)$$

对于图 2 所示的 DAC 电路,各相同尺寸驱动单管的工艺波动增大会导致 NMOS 驱动管阵列的整体匹配特性退化.式(11)所示的失配系数 ΔD 用于直观地描述该失配效应,定量反映了驱动管阵列工艺波动的最大值对于 DAC 电路匹配性能的影响(失配程度),如图 5 所示.

④ 单管器件的工艺波动具有基于概率分布的统计特性.统计学中通常用“标准方差 σ ”描述一组集合样本 $(x_1, x_2, \dots, x_i)$ 的随机波动性,其计算公式为

$$\sigma^2 = \frac{1}{n} \sum_{i=1}^n (x_i - \bar{x})^2 \quad (12)$$

式中, n 和 $\bar{x}$ 分别指样本个数和样本的平均值.对于 DAC 输出驱动管阵列中的每个 NMOS 管而言,其漏极电流的随机波动参数均设为 σ_I, σ_I 与理想电流值 $\bar{I}$ (即电流源的设计参考电流值 I_{ref}) 的偏差 $\sigma_I/\bar{I}$ (或方差)通常用于表示由工艺波动导致的电流失配,其与 DNL 的计算推导关系如下:

$$\begin{aligned} \frac{\sigma_I^2}{\bar{I}^2} &= \frac{1}{n} \sum_{i=1}^n \left[\frac{I_{ds(i)} - \bar{I}}{\bar{I}} \right]^2 \\ &= \frac{1}{n} \sum_{i=1}^n \left[\frac{R \cdot (I_{ds(i)} - I_{\text{ref}})}{R \cdot I_{\text{ref}}} \right]^2 \end{aligned}$$

$$= \frac{1}{n} \sum_{i=1}^n \left[\frac{V_i - LSB}{LSB} \right]^2 = \frac{1}{n} \sum_{i=1}^n DNL^2 \quad (13)$$

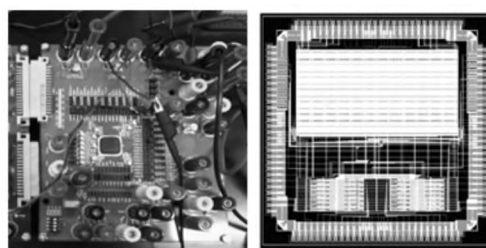
由式(8)和式(13)可以推导得到单管器件的工艺波动与 DAC 静态精度参数 DNL 的统计学计算关系

$$\frac{\sigma_\beta^2}{\beta^2} + \frac{4\sigma_{V_T}^2}{(V_{gs} - \bar{V}_T)^2} + \frac{\sigma_\lambda^2}{\left(\frac{1}{V_{ds}} - \bar{\lambda}\right)^2} = \frac{1}{n} \sum_{i=1}^n DNL^2 \quad (14)$$

该统计模型可以直观地表征器件各参数波动对于 DAC 整体精度的影响,建立并描述了器件的个体波动与整体电路性能的联系,并可以基于该统计模型与代工厂真实工艺参数,准确预测该工艺线 DAC 成品数模转换的精度性能.

3 基于 DAC 的工艺波动分析

本文所用芯片采用某 Foundry 90 nm/1.2V CMOS 标准工艺设计,图 5(a)中给出了芯片测试系统示意图,图 5(b)中给出了芯片版图结构.为了分析 15 只输出驱动管漏源电流 $V_{ds(n)}$ 与工艺波动的关系,将 15 只输出驱动管的漏极和栅极控制端均用焊盘引出,驱动管宽长比按照 Foundry 所提供设计工艺库均采用最小特征尺寸 ($W/L=180 \text{ nm}/90 \text{ nm}$) 进行设计.考虑到测试数据的随机性,从同一片晶圆的不同位置随机选取了 10 个测试样片,共计 240 个数据采样点,提高工艺波动分析的可信性.



(a) 芯片测试系统 (b) 芯片版图结构

图 5 芯片测试系统与芯片版图结构

按照本文所提出的方法,首先分别对基于单步模式的 240 个采样驱动管进行数据采样,可获得 V_{out} 和 $V_{ds(n)}$ 电压数据.利用式(11)计算得到 MOS 晶体管的器件失配系数 ΔD ,图 6 中给出了基于失配系数 ΔD 的概率分布情况.

由图 7 可知,基于 DNL 参数表征的器件失配随工艺波动概率分布呈现正态分布趋势.该器件失配的标准方差可以作为电路设计时,电路性能波动的 3σ 指标.如果将工艺角参数选择在此范围内,可以

提高器件模型的仿真精度和速度.同时,该正态分布可以对集成电路受器件工艺波动影响的 Best-Worst 范围做出预测,帮助设计者有效地评估电路性能是否满足设计要求.

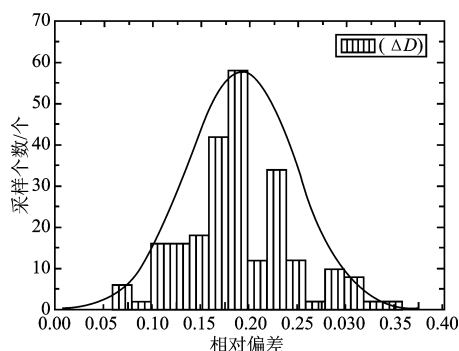


图6 器件失配系数 ΔD 基于实测数据的正态分布图

4 结束语

本研究以4位电流舵DAC为测试和研究对象,针对其电流源驱动管阵列的随机波动特性及其对电路整体性能的影响展开调查和分析,并提出一种全新的针对模拟CMOS电路工艺波动的分析思路 and 描述方法.利用DAC精度参数DNL反映器件失配表征MOS单管工艺波动的方法,确定了工艺波动与DAC精度性能的相关性.

本文所阐述的基于DAC设计的波动表征方法和模型可以帮助模拟DAC电路设计人员在设计初期,利用Foundry所提供的工艺波动参数评估原始电路设计的最差性能,而无须进行耗时较长的蒙特卡洛仿真,从而帮助设计者减少仿真迭代次数,快速完成性能预测与折中.同时,本方法不仅局限于4位DAC的波动分析和初期性能预测,同样可扩展用于更高位(如12位以上)DAC,以及其他类型的AD、DA转换电路和模拟宏电路单元的设计优化和精度分析.基于90 nm工艺实际流片的数据分析表明该方法具有一定的实用价值和指导意义.

参考文献:

[1] H Masuda, S Ohkawa, A Kurokawa, et al. Challenge: variability characterization and modeling for 65- to 90-nm process[C] // Proceedings of the IEEE, Custom Integrated Circuits Conference, [s. l.]: IEEE, 2005: 588-595.

- [2] 张培勇, 严晓浪, 史峥. 亚100纳米级标准单元的可制造性设计[J]. 电子学报, 2005, 33(2): 304-307.
- [3] M J M Pelgrom, A C J Duimajier, A P G Welbers. Matching properties of mos transistors [J]. IEEE J Solid-State Circuits, 1989, 24(5): 1433-1440.
- [4] N Xu, L T-N Wang, A R Neureuther, et al. Physically based modeling of stress-induced variation in nanoscale transistor performance[J]. IEEE Trans Device Mater, 2011, 11(3): 378-386.
- [5] Xiaojian Li, Zuochang Ye, Yaohua Tan, et al. A two-dimensional analysis method on STI-aware layout-dependent stress effect [J]. IEEE Trans Electron Devices, 2012, 59(11): 2964-2972.
- [6] 吕江威, 张有光, 孙泉. 模拟集成电路版图中的对称检测与提取方法[J]. 微电子学与计算机, 2008, 25(1): 185-189.
- [7] J Xiong, V Zolotov, L He. Robust extraction of spmial correlation[J]. IEEE Transaction on Computer-Aided Design of Integration Circuits and System, 2007, 26(4): 619-631.
- [8] B S D Rapid. Characterization and modeling of pattern dependent variation in chemical mechanical polishing [J]. IEEE Transacion: Semiconductor Manufacturing, 1998, 11(1): 129-140.
- [9] International Technology Roadmap for Semiconductors 2007 Edition[R]. ITRS, 2007.
- [10] K R Laksfmrikumar. Characterization and modeling of mismatch inMOS transistors for precision analog design[J]. IEEE Journal of Solid-State Circuits, 1986, 21(6): 1057-1066.
- [11] 张雷, 余志平, 贺祥庆. 一种用于表征亚阈值电流镜电路中CMOS工艺波动的统计学方法[J]. 半导体学报, 2008, 29(1): 82-87.
- [12] Lv Weifeng, Sun Lingling. Modeling of current mismatch induced by random dopant fluctuation in nano-MOSFETs[J]. Journal of Semiconductors, 2011, 32(8): 46-50.

作者简介:

刘 博 男,(1982-),博士,副教授.研究方向为事模拟集成电路设计和工艺波动建模等研究工作. E-mail: zlmde@mail@163.com.