

一种基于 DCO 的可配置数字频率合成器

文治平, 王浩弛, 陈 雷, 李学武, 张彦龙

(北京微电子技术研究所, 北京 100076)

摘 要: 首先设计了一种基于 MDLL 的数控振荡器(DCO), 进而实现了一种基于 DCO 的全数字可配置的数字频率合成器(DFS), 输出时钟频率等于参考时钟频率乘以 M 除以 D , 实现了类似于 MDLL 的抖动特性. 频率合成器提供一个可配置的倍频因子 M 和一个分频因子 D , 其范围为 $2 \sim 32$ 和 $1 \sim 32$, 用户可以通过对 M 和 D 的配置, 实现任意倍数的频率合成. 所设计的 DFS 采用 TSMC 的 $0.13 \mu\text{m}$ 标准 CMOS 工艺实现, 版图面积为 $480 \mu\text{m} \times 120 \mu\text{m}$. DFS 的输出频率范围为 $15 \sim 400 \text{ MHz}$, 输入频率范围为 $1 \sim 270 \text{ MHz}$. 输出频率为 270 MHz 时实测的相位噪声为 $-110.01 \text{ dBc/Hz}@1 \text{ MHz}$.

关键词: 数控振荡器(DCO); 可配置; 数字频率合成器(DFS)

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2015)04-0125-04

A DCO - Based Configurable Digital Frequency Synthesizer

WEN Zhi-ping, WANG Hao-chi, CHEN Lei, LI Xue-wu, ZHANG Yan-long

(Beijing Microelectronics Technology Institute, Beijing 100076, China)

Abstract: This paper presents a digitally controlled oscillator (DCO) based on a multiplying delay locked loop (MDLL), and a DCO-based configurable digital frequency synthesizer (DFS) is implemented. The output clock frequency is equal to the reference clock frequency multiplied by M divided by D . The multiplication ratio M and division ratio D can be programmed from 2 to 32, and 1 to 32, respectively. The frequency synthesizer achieves similar jitter performance as conventional MDLL. The DFS is implemented in TSMC $0.13\text{-}\mu\text{m}$ CMOS technology, with a layout area of $480 \mu\text{m} \times 120 \mu\text{m}$. The frequency range of the input and output clock are $1 \sim 270 \text{ MHz}$ and $15 \sim 400 \text{ MHz}$, respectively. The measured phase noise is $-110.01 \text{ dBc/Hz}@1 \text{ MHz}$, when the output clock frequency is 270 MHz .

Key words: digitally controlled oscillator (DCO); configurable; digital frequency synthesizer (DFS)

1 引言

在通信、导航、汽车电子等系统中, 频率合成器都是一个重要的功能模块, 相位噪声和杂散功耗的大小是其非常重要的性能指标. 锁相环(PLL)式的频率合成器一直占据着主流地位, 但高阶的 PLL 中存在着稳定性问题, 同时 PLL 中的压控振荡器(VCO)会对相位噪声进行累积. 对于传统的模拟式锁相环, 锁定时间长, 很难实现快速锁定.

近年来, 延迟锁相环(DLL)以其低抖动的特性广泛地应用于高性能数字电路中. 与 PLL 相比,

DLL 是一个一阶系统, 所以没有稳定性问题; 而且, 输出时钟信号的噪声特性由参考时钟决定, 系统本身不对噪声累积. 因此, 许多基于 DLL 的时钟产生电路被设计出来, 这些设计分为两类: 一类是基于压控延时线(VCDL)和边沿组合电路^[1-4]; 一类是基于循环延时线^[5-8]. 前一种结构类似于传统的 DLL, 通过对延时线产生的多相位时钟进行组合, 产生一个高频的时钟输出. 然而, 这种结构的倍频系数由 VCDL 中的延时单元个数 N 决定, 可实现的最大倍频系数为 $N/2$, 而且对于不同的倍频值、分频值不便于编程控制. 此外, 还需要考虑可能存在谐波锁定和

误锁定的问题^[9]. 后一种结构也叫做多倍延时锁相环(MDLL), 参考时钟输入到环形的延时线中, 构成一个环形振荡器, 并且延时链环在每个参考时钟周期断开一次, 重新以参考时钟作为输入. 由于输出时钟来自相同的延时线, 所以不存在由于延时单元的不匹配而带来的稳定性问题. 但是, MDLL 也存在其他问题, 如 MDLL 是一个模拟的反馈环路, 所以需要较长的锁定时间.

本文提出一种全数字的基于 DCO 的频率合成器结构, 相比于传统的模拟 PLL 式频率合成器, 具有快锁定、低噪声的特点.

2 系统结构

图 1 为本文设计的可配置数字频率合成器(DFS)的整体结构图, 它主要由频率比较器(FC)、相位比较器(PC)、数控振荡器(DCO)、振荡器控制电路、细调控制电路、分频器等模块构成. DFS 产生一个频率可调的时钟输出信号 O_CLK, 其频率等于参考时钟信号 REF_CLK 的时钟频率乘以 M 除以 D, 即:

$$f_{O_CLK} = \frac{M}{D} \cdot f_{REF_CLK}$$

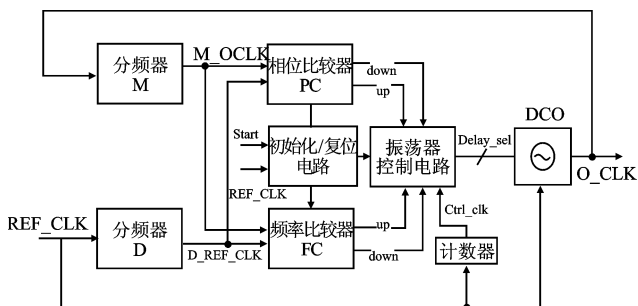


图 1 可配置数字频率合成器 DFS 的整体结构

分频器 M 接收 DCO 产生的频率可调信号 O_CLK, 同时产生一个反馈时钟信号 M_O_CLK, 其频率大小等于振荡器输出频率除以 M. 分频器 D 接收参考时钟信号 REF_CLK, 同时产生参考时钟的分频信号 D_REF_CLK, 其频率大小等于参考时钟频率除以 D. 频率比较器和相位比较器的两个输入分别来自分频器 M 和分频器 D, 并且根据 D_REF_CLK 和 M_O_CLK 的超前、滞后关系产生控制信号 up 和 down. 振荡器控制电路根据 up 和 down 信号对控制 DCO 振荡频率的延时值 Delay_sel[9:0] 的大小进行改变, 使可调的时钟输出信号 O_CLK 频率等于选择的频率值.

图 2 是数字频率合成器的时序图, 根据振荡器

控制电路的不同工作模式, 频率合成器的工作可以分为三个阶段: 粗调频率搜索阶段、细调频率搜索阶段、相位维持阶段.

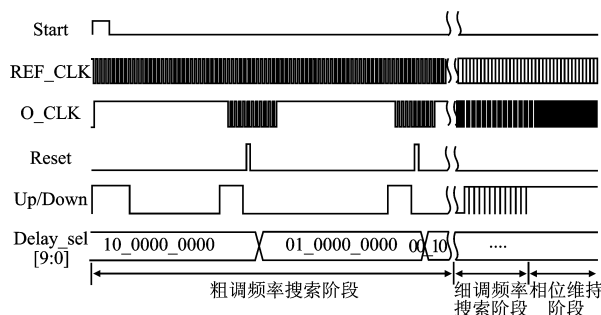


图 2 数字频率合成器 DFS 的时序图

系统上电或复位后, 进入粗调频率搜索阶段. 为了减少系统锁定时间, 控制电路采用了逐次逼近 SAR 算法, 也叫做二进制搜索法. 首先, 通过计数器对参考时钟进行 32 分频, 从而获得振荡器使能信号 Ctrl_clk, 振荡使能信号用来使能振荡器控制电路产生下一时刻的延时值 Delay_sel[9:0].

在二进制频率搜索阶段, 振荡器控制电路根据频率比较器输出的 up 和 down 控制信号, 对数控振荡器的输出频率进行调节. 如果 up 信号为高, down 信号为低, 输出时钟信号 O_CLK 的频率则会增加, 反之, 输出时钟信号 O_CLK 的频率则会减小. 当二进制搜索的步进值减到 1 时, 粗调频率搜索结束.

数控振荡器 DCO 的延时线由两部分组成: 粗调延时线模块和细调延时线模块. 在粗调频率搜索阶段, 系统只改变粗调延时线模块内延迟单元的个数, 而在细调频率搜索阶段, 系统以细调最小延时为步进值改变延时单元的个数.

在相位维持阶段, 相位比较器取代频率比较器的工作, 振荡器控制电路根据相位比较器的比较结果对数控振荡器的延时单元个数进行调整. 以保证 DCO 的输出频率维持在所选的频率值上, 而不管环境(例如温度)的变化.

3 电路实现

3.1 数控振荡器

图 3 为本文提出的数控振荡器(DCO)的整体结构, 该结构包括一个双边沿触发的 RS 触发器, 一个反相器, 以及一个可变延时线电路(包括一个低精度的粗调延时线和一个细调延时电路). 采用“粗调延时线+细调延时线”的结构在实现一个宽范围的频率合成的同时, 又可以获得较高的合成精度^[10].

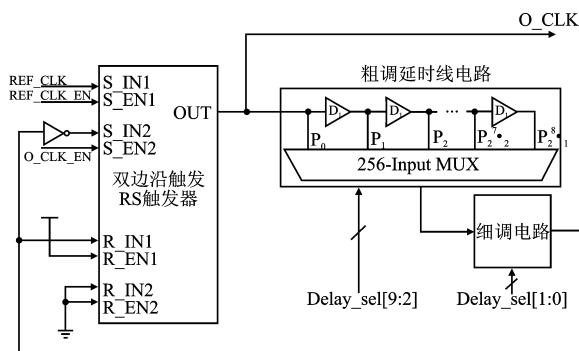


图3 数控振荡器结构

低精度的粗调延时线提供的最小延时值为基本延时(BD),细调电路提供0,0.25,0.5,0.75倍的基本延时。粗调可变延时线包括256个基本延时单元,因此,可变延时线能够提供1024个延时值,范围是从0到255.75倍的基本延时。

输出时钟信号O_CLK的频率大小由可变延时线提供延时单元个数决定,从OUT端输出的一个上升沿经过一定的延迟后,又输入到双端口RS触发器并将其输出置为低电位。相反的,从OUT端输出的一个下降沿经过一定的延迟后,再经过一个反相器输入到双端口RS触发器并使其输出转化到高电平。表1是双边沿触发的RS触发器电路的真值表。

表1 双边沿触发的RS触发器真值表

S_IN1	S_EN1	S_IN2	S_EN2	R_IN1	R_EN1	OUT
RE	H	X	X	X	X	H
X	X	RE	H	X	X	H
X	X	X	X	RE	H	L

注:RE代表上升沿,H代表逻辑1,L代表逻辑0,X代表任意。

3.2 振荡器控制电路

图4是振荡器控制电路的结构框图。振荡器控制电路包括一个延时寄存器,一个累加器,一个延时线细调控制电路,一个或门,一个右移寄存器。最初,加减器被配置提供一个延时值DV[9:0],促使可变

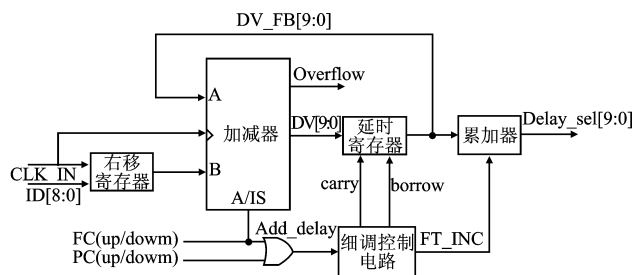


图4 振荡器控制电路结构

延时线提供最大延时的50%。因此,延时值DV[9:0]被初始设置为512,即0到1023的中间值。右移寄存器最初被配置的值ID[8:0]为延时值DV[9:0]的初始值的一半,即256。加减器在频率比较器输出的Up或Down信号控制下,加上或减去右移寄存器中的值,并存到延时寄存器中。频率比较器会通过A/!S使得加减器执行加法或者减法操作。每次加或者减之后,右移寄存器中的值将被右移,使右移寄存器的值减半。当右移寄存器的值减小到1时,快速二进制搜索结束。

在振荡器控制电路建立一个近似延时值Delay_sel[9:0]后,系统进入细调频率搜阶段。此时,数控振荡器DCO的输出时钟信号O_CLK的频率可能还不等于选择频率F_SEL。系统每M个输出时钟的上升沿,就会发生一次同步,即输出时钟信号O_CLK的上升沿和参考时钟信号REF_CLK的上升沿就会对齐一次。然而,由于延时线的基本延时值BD的限制,延时线不可能提供任意大小的延时值,会导致输出时钟的频谱存在一个固有的杂散,影响O_CLK的频谱纯度。为此,本文在细调控制电路中引入了一个一阶 $\Sigma-\Delta$ 调制器,通过 $\Sigma-\Delta$ 调制器的噪声整形特性,有效地降低输出杂散,如图5所示。

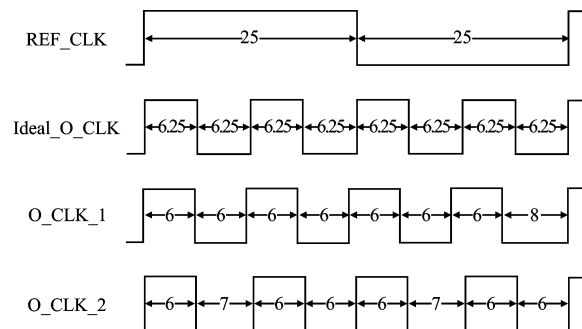


图5 采用细调控制电路后的时序图:M=4,D=1

3.3 频率比较器

图6所示为本文设计的频率比较器电路结构,包括两个D触发器和三个RS触发器。D_REF_CLK是对参考时钟REF_CLK的D分频,M_O_CLK是对振荡器输出O_CLK的M分频。两个D触发器完成对分频时钟的采样,三个RS触发器实现对采样信息的处理。由于分频值M和D的最大值为32,所以为保证频率比较器能够正确地进行逻辑运算,复位信号RST的周期设置为50个参考时钟周期。如果分频时钟D_REF_CLK先到,则表示振荡器输出时钟的频率小于选择频率值,输出up为高电平;反之,如果分频时钟M_O_CLK先到,表示振荡器输出时钟的频率大于选

择频率值,输出 up 为低电平。

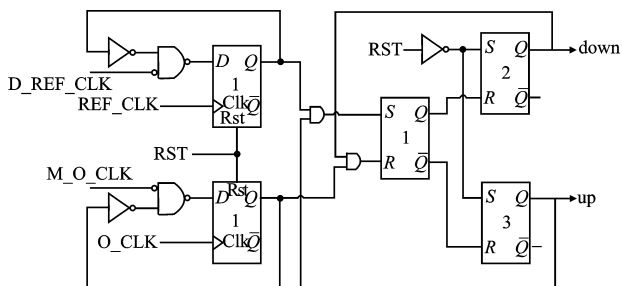


图 6 频率比较器结构

4 测试结果

本文设计的数字频率合成器采用 TSMC 的 $0.13\ \mu\text{m}$ 标准 CMOS 工艺实现,芯片照片如图 7 所示,芯片的有效面积为: $480\ \mu\text{m} \times 120\ \mu\text{m}$. 输出频率范围为 $15 \sim 400\ \text{MHz}$,输入频率范围为 $1 \sim 270\ \text{MHz}$. 输出频率为 $270\ \text{MHz}$ 时实测的相位噪声为 $-110.01\ \text{dBc}/\text{Hz}@1\text{MHz}$.

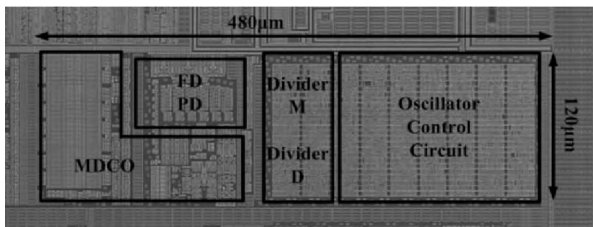


图 7 DFS 芯片照片

图 8 所示为 DFS 在不同输出频率下,测得的周期抖动(Jitter)的均方值(RMS). 图 9 所示为 DFS 锁定状态下,输出频率为 270MHz 时的相位噪声测试曲线。

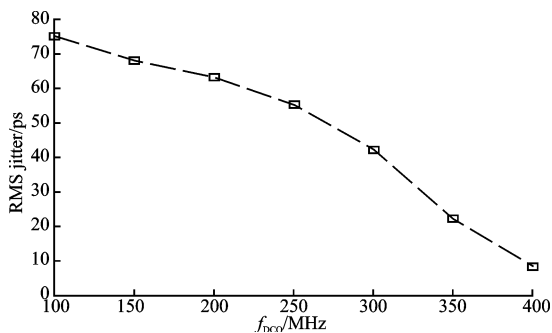


图 8 不同输出频率下的周期抖动

5 结束语

本文设计并实现了一种基于 DCO 的可配置数

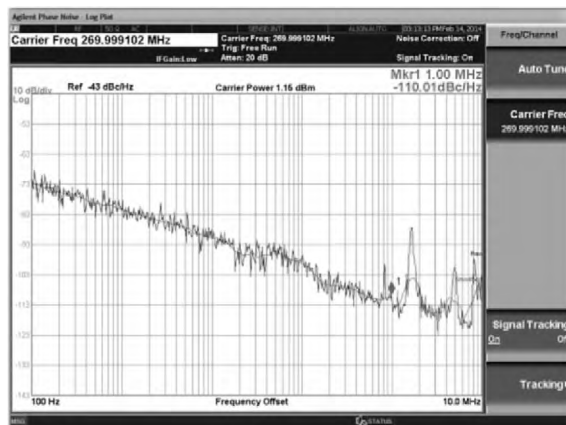


图 9 DFS 输出 270MHz 时输出相位噪声测试曲线

字频率合成器,通过采用基于 MDLL 的 DCO,实现了类似于 MDLL 的抖动特性.输出时钟频率等于参考时钟频率乘以 M 除以 D ,倍频因子 M 和分频因子 D 可被用户灵活地编程改变.因此,DFS 可以作为独立的数字时钟产生电路应用于其他大规模数字电路中。

参考文献:

- [1] Min Wang, Zhiping Wen, Lei Chen, et al. A novel DLL-based configurable frequency synthesizer [C] // 2008 International Conference on Neural Networks and Signal Processing. Nanjing: IEEE, 2008; 303-306.
- [2] Mehdi Ayat, Reza Ebrahimi Atani, Sattar Mirzakuchaki, et al. Design and simulation of a CMOS DLL-based frequency multiplier [C] // 2010 IEEE Symposium on Industrial Electronics & Applications, ISIEA. Penang: IEEE, 2010; 450-455.
- [3] Ding-Guo Lin, Bing-Hsun Lu, Herming Chiueh. An 100MHz to 1.6GHz DLL-based clock generator using a feedback-switching detector [C] // 2010 18th IEEE/IFIP VLSI System on Chip Conference. Madrid: IEEE, 2010; 101-104.
- [4] Haizheng Guo, Xinjie Wang, Tadeusz Kwasniewski. Spur analysis and reduction of edge combing DLL-based frequency multiplier [C] // 2013 26th Annual IEEE Canadian Conference on Electrical and Computer Engineering, Regina, SK: IEEE, 2013; 1-4.
- [5] Chuan-Kang Liang, Rong-Jyi, Shenn-Iuan Liu. An all-digital fast-locking programmable DLL-based clock generator [J]. IEEE Transactions on Circuits and Systems, 2008, 55(1): 361-369.

(下转第 133 页)

5 结束语

本文所提出的算法(HHGA)通过虚拟资源列表及其更新的属性创建以目标为导向的初始种群,为了创建初始种群,采用两个阶段进行评估.在第一阶段,基于图的拓扑结构,应用程序的所有任务将按优先级排序;在第二阶段,通过 Best-Fit 方法来选择好的候选资源.因此,这种方法在兼顾负载均衡的时候能够快速找到好的解决方案,而且我们在适应度函数中使用一些适当的参数来增加种群评估的质量.

实验结果对比表明,本文提出的算法不仅能够减少任务的完成时间,而且还能降低资源的负载均衡率,极大地提高了资源利用率.在接下来的工作中,我们将着重研究通信密集型应用程序中的工作流调度问题.

参考文献:

- [1] 贵飞,汪芸.云计算下基于容错 QoS 的虚拟机资源分配策略[J].微电子学与计算机,2013,30(3):136-139.
- [2] Casanova H, Desprez F, Suter F. On cluster resource allocation for multiple parallel task graphs[J]. Parallel

Distrib Comput, 2010, 70(2):1193-1203.

- [3] Xinpeng Du, Lizhi Chen, Daiqiang Chen. A simulated annealing algorithm for sparse recovery by l_0 minimization[J]. Neurocomputing, 2014, 131(5):98-104.
- [4] Omara FA, Arafa M M. Genetic algorithms for task scheduling problem[J]. Parallel Distrib Comput, 2010, 70(2):13-22.
- [5] Wang X, Yeo C S, Buyya R, et al. Optimizing the makespan and reliability for workflow applications with reputation and a look-head genetic algorithm[J]. Comput Syst, 2011, 27(1):1124-1134.
- [6] Singh J, Singh H. Efficient tasks scheduling for heterogeneous multiprocessor using genetic algorithm with node duplication [J]. Comput Sci, 2011, 11(3):388-403.

作者简介:

徐文忠 男,(1991-),硕士,研究方向为机器学习和智能信息处理、计算资源管理策略. E-mail:455947770@qq.com.

彭志平 男,(1969-),教授、博士.研究方向为多主体技术、机器学习、自主计算、语义 Web 服务和云计算.

左敬龙 男,(1975-),讲师、硕士.研究方向为人工智能和信息安全.

(上接第 128 页)

- [6] Jussi-Pekka Jasson, Antti Mantyniemi, Juha Kostamovaara. Multiplying delay locked loop (MDLL) in time-to-digital conversion[C]// 2009 Instrumentation and Measurement Technology Conference, I2MTC Singapore: IEEE, 2009:1226-1231.
- [7] Chen-Yu Liu, Wei-Zen Chen. Spur suppression technique for multiplied delay locked loop[C]// 2011 IEEE International Symposium on Radio-Frequency Integration Technology, RFIT. Beijing: IEEE, 2011: 133-136.
- [8] Amr Elshazly, Rajesh Inti, Brian Young, et al. Clock Multiplication Techniques Using Digital Multiplying Delay-Locked Loops[J]. IEEE Journal of Solid-State Circuits, 2013, 40(6):1416-1428.

- [9] Kuo Hsing Cheng, Yu Lung Lo. A fast-lock wide-range delay-locked loop using frequency-range selector for multiphase clock generator[J]. IEEE Transactions on Circuits and Systems, 2007, 54(7):562-565.
- [10] Doo-Chan Lee, Kyu-Young Kim, Young-Jae Min, et al. A jitter and power analysis on DCO[J]. IEEE Transactiona on Circuits and Systems, 2011, 58(9):560-564.

作者简介:

文治平 男,(1962-),研究员.研究方向为微电子技术.

王浩弛 男,(1988-),硕士,助理工程师.研究方向为 FPGA.