

基于 VLIW 微处理器的指令存储器 高效能组织模型研究

郑诚玮, 戴紫彬, 李 伟

(解放军信息工程大学, 河南 郑州 450001)

摘 要: 为有效解决目前嵌入式微处理器设计中指令存储器功耗大、能效不高的问题, 研究了传统指令存储器实现方式的特点, 分析了指令存储器功耗和能效随容量变化的规律, 提出了基于时钟控制和分块管理的指令存储器高效能组织模型, 设计并实现了基于 SRAM 块矩阵布局方式的指令存储器管理方法。结果表明, 本设计能够大幅降低指令存储器功耗, 提高指令存储器能效。和传统指令存储器实现方式相比, 动态功耗降低了 74.93%, 能效提高了 3.99 倍。

关键词: 指令存储器; 低功耗; 高效能; 组织模型; 矩阵布局

中图分类号: TP309.7

文献标识码: A

文章编号: 1000-7180(2015)12-0017-04

Research on High Efficiency Organization Model of Instruction Memory in Embedded VLIW Processor

ZHENG Cheng-wei, DAI Zi-bin, LI Wei

(PLA Information Engineering University, Zhengzhou 450004, China)

Abstract: In order to solve the problem of high power consumption and low energy efficiency in the current embedded instruction RAM designs, this paper researches the conventional implementation of embedded instruction RAMs, and analyzes power and efficiency variation with memory capacity. Based on the technique of clock gating and block-dividing management, the high efficiency organization model is put forward, and the management method in a matrix layout is implemented. Compared with traditional embedded instruction RAMs, its power is reduced by 74.93% and energy efficiency increased by 3.99 times.

Key words: Instruction RAM; low power; high efficiency; organization model; matrix layout

1 引言

存储器是集成电路设计的重要组成部分。随着集成度不断提高, 存储器面积度不断增大, 使得存储器的速度和功耗对系统的影响越来越大^[1]。将存储器集成到芯片内部, 不仅可以降低系统的功耗和成本, 还能够提高系统的性能和稳定性, 因此在芯片中嵌入存储器已成为一种趋势^[2]。在嵌入式微处理器设计中, 随机存储器是实现微处理器指令存储主要手段。随机存储器主要有动态存储器(DRAM)和静

态存储器(SRAM)两种^[3]。其中, DRAM 结构简单, 集成度高, 但功耗较高、速度较慢; 与之相比, SRAM 集成度相对较低, 但速度更快, 功耗更低, 因此嵌入式微处理器多采用 SRAM 实现指令存储器功能^[4]。目前, 以高性能和低功耗为特点的高能效成为衡量微处理器设计的新标准^[5], 而指令存储器是微处理器功耗的主要来源, 也是微处理器系统高能的主要因素。因此, 改进指令存储器设计是提高微处理器能效最直接最有效的方法。

本文通过分析 SRAM 功耗特点, 采用时钟控制

收稿日期: 2015-02-01; 修回日期: 2015-03-30

基金项目: 国家自然科学基金(61404175)

和分块管理技术,提出了面向功耗优化的指令存储器的高能效组织模型,实现了基于 SRAM 矩阵布局方式的指令存储器高效能管理方式.

2 指令存储器能效分析

2.1 能效定义

能效,即能量效率,集成电路设计中用能量消耗为 1 mW 时每秒处理的运算次数来进行量化,它是衡量电路设计性能高低的一个重要指标.能效的计算公式^[5]如下:

$$E.E = \frac{N_t}{P_{\text{dyn}}}.$$

式中, $E.E$ 表示能效,单位为 MIPS/mW · s. N_t 表示单位时间内的运算次数,单位为 MIPS/s, N_t 衡量了电路的运算能力. P_{dyn} 表示电路进行运算时所产生的功耗,即动态功耗,单位为 mW.

2.2 SRAM 存储结构分析

VLIW 结构微处理器常使用 SRAM 实现指令存储器.在 VLIW 结构微处理器中,假设指令长度为 L bit,最大指令容量为 $L \text{ bit} \times D$,传统方法是采用一块 $L \text{ bit} \times D$ 的 SRAM 实现指令存储器,此方法实现指令存储器时,外围 I/O 电路较为简单,管理较为容易.

SRAM 结构^[4]如图 1 所示,主要包括行/列译码器、存储单元阵列和敏感放大器/驱动器单元模块.

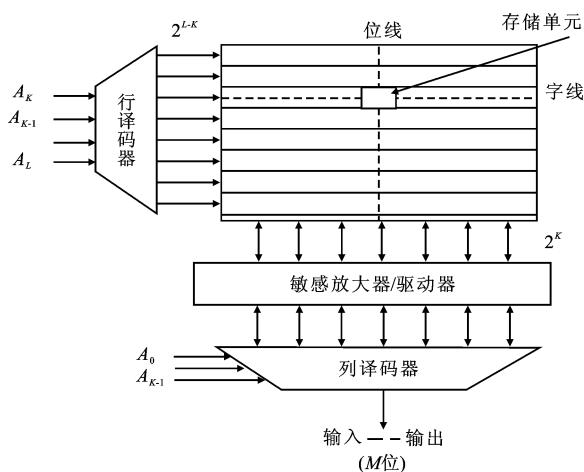


图 1 SRAM 存储结构

3 SRAM 功耗与容量变化规律研究

当微处理器系统架构确定后,其指令存储器保持不变.此时,指令存储器的能效与指令存储器的功耗直接相关.指令存储器由 SRAM 组成,因此研究指令存储器能效需要研究其功耗变化规律.

3.1 SRAM 静态功耗规律研究

通过 SRAM 阵列布局方式提高 SRAM 工作能效时,需要研究 SRAM 的静态功耗 P_{hld} 的影响因素.为了节约设计成本和功耗,本文采用 RAM 工具生成的 2-PORT 类型的 SRAM 来实现指令存储器. SRAM 静态功耗 P_{hld} 与其容量相关,故本文统计了 RAM 工具生成的所有 2-PORT 类型 SRAM 的静态功耗 P_{hld} 和 SRAM 块容量之间的关系,如图 2 所示.

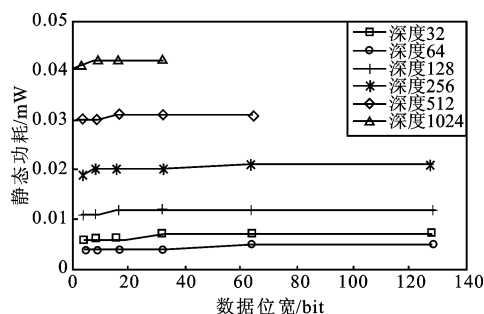


图 2 SRAM 静态功耗随存储容量变化关系图

SRAM 静态功耗随数据位宽的变化呈一次线性关系,若用 x 表示 SRAM 数据位宽,用 $f_h(x)$ 表示静态功耗值,可以将其关系设为

$$f_h(x) = k_h x + q_h.$$

式中, k_h 和 q_h 与 SRAM 块数据深度有关.用 y 表示 SRAM 深度,可得:

$$f_h(x, y) = k_h(y) x + q_h(y).$$

3.2 SRAM 平均功耗规律研究

高效能指令存储器大小必须满足微处理器的指令长度和存储容量的需求.在不采用门控时钟技术和矩阵布局方式时,使用不同类型的 SRAM 块联合实现 $L \text{ bit} \times D$ 容量的指令存储器时,由于 SRAM 块容量大小不同,实现时需要的 SRAM 块数量 n 不同,用于存储数据的 n 个 SRAM 块产生的功耗也不同;同时,不同实现方式下,外围 I/O 电路的复杂度不同,随之产生的功耗也不同. n 个 SRAM 存储块产生的功耗和外围 I/O 电路产生的功耗之和,即为指令存储器的总功耗.研究时,将指令存储器总功耗平摊到每个 SRAM 块上,即利用总功耗和 SRAM 块个数计算得到每个 SRAM 块上的平均功耗.实现不同容量的指令存储器时,SRAM 存储分块上的平均功耗不同. SRAM 存储块平均功耗随存储容量的变化关系如图 3 所示.

由图 3 可知,SRAM 静态功耗随数据位宽的变化关系呈一次线性关系,若用 x 表示 SRAM 数据位宽,用 $f_i(x)$ 表示静态功耗值,可以将其关系设为

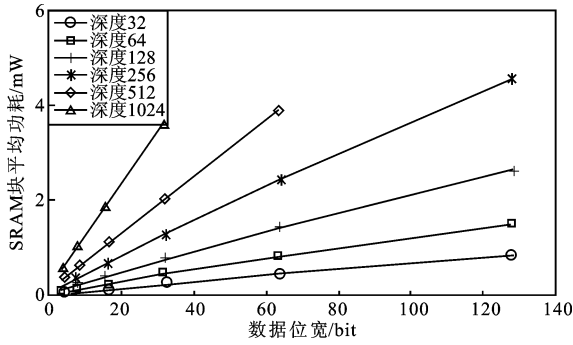


图3 SRAM块平均功耗随位宽变化关系图

$$f_i(x) = k_i x + q_i.$$

当数据深度不同时,静态功耗随数据位宽变化的斜率不同,且斜率 k_i 与数据深度相关;而 q_i 也是与数据深度相关的函数.若用 y 表示数据深度,则:

$$f_i(x, y) = k_i(y) \cdot x + q_i(y).$$

4 指令存储器组织模型研究

指令存储器的能效与其功耗密切相关,提高指令存储器能效最直接的方法是降低其功耗.从架构的层次降低指令存储器功耗,最有效的方法是将整个 SRAM 进行分割,并分块管理^[4,6].工作时,将需要完成指令读写的 SRAM 块的时钟打开,将其他 SRAM 块的时钟关闭,从而降低指令存储器的整体功耗,提高其能效.在不考虑外围电路增加的情况下,SRAM 分块的粒度越细,功耗的管控力度越大,可降低功耗的比例也就越大;但实际上,分块粒度越细,外围 I/O 电路越复杂,管理难度也越大,功耗也会大幅增加.因此指令存储器分割需要综合考虑两者的变化规律,以寻求最优划分粒度.

4.1 指令存储器布局方式

高效能指令存储器采用 SRAM 块阵列布局的方式实现.每一个 SRAM 均能受到门控时钟的控制,在使能信号的控制下,关掉部分进入空闲状态的 SRAM 的时钟,从而大幅度节省指令存储器的整体功耗.如图 4 所示.

在高效能指令存储器分簇式阵列布局结构包括五个组成部分:SRAM 阵列、地址译码控制单元、时钟控制管理单元、R/W 传输单元组和数据输入输出单元.各个部分的功能如下:

(1)SRAM 阵列用于存储数据;

(2)地址译码控制单元为 SRAM 阵列提供读写地址和片选使能;

(3)时钟控制管理单元通过采用门控时钟技术,实现对每个 SRAM 块的时钟管理;

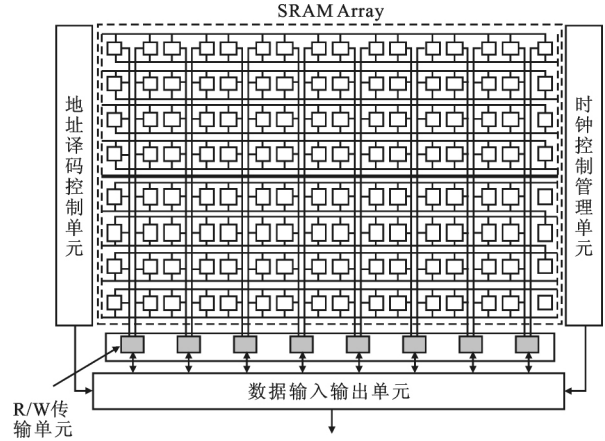


图4 高效能指令存储器分簇式阵列布局结构

(4)R/W 传输单元组完成读/写数据的处理和传输;

(5)数据输入输出单元实现数据输入和输出.

4.2 指令存储器组织模型

高效能指令存储器组织模型是基于高效能指令存储器的布局方式来进行建立和求解.高效能指令存储器的分块组织模型以指令存储器的最大能效作为优化目标,即:

$$\max E, E = N_t / P_{\text{dyn}}.$$

当密码协处理器体系结构确定之后, N_t 一定, E, E 只与 P_{dyn} 相关,因此求 $\max E, E$ 可以转化为求 $\min P_{\text{dyn}}$.下面将具体分析优化模型的约束条件.

嵌入式微处理器中,一条指令的长度为 L bit,最大指令量为 $L \text{ bit} \times D$.因此,指令存储器联合位宽为 L bit 的倍数,指令存储器的总容量大于等于 $L \text{ bit} \times D$.假设选取的 SRAM 块位宽为 x ,深度为 y ,SRAM 块数量为 n ,则根据 SRAM 块矩阵布局规则,可以得到第一组约束条件:

$$\begin{cases} n \cdot x = k \cdot L; \\ n \cdot x \cdot y \geq L \times D; \\ n \in \{n \mid n = 2m, m \in N^+\}; \end{cases}$$

式中,SRAM 块的位宽 x 和数据深度 y 受到 SRAM 类型限定,假设用 X 来表示数据位宽的集合,用来表示数据深度 Y 的集合,由此可以得到第二组约束条件:

$$\begin{cases} x \in X; \\ y \in Y. \end{cases}$$

指令存储器动态功耗等于其整体功耗与静态功耗之间的差值.根据设计规则,每个 SRAM 块都能受到门控时钟控制,因此在每个时钟周期,除了保证读/写一条指令 (L bit) 的 SRAM 块时钟正常工作

外,其余 SRAM 块时钟全部关闭. 每个时钟周期时,产生动态功耗的 SRAM 块共有 (L/x) 个. 因此,优化目标的表达式如下:

$$\min P_{\text{syn}} = (L/x) \cdot (f_t(x, y) - f_h(x, y)).$$

由优化目标和约束条件,可求解得到最优的指令存储器实现方案.

5 性能分析

5.1 组织模型性能分析

为了便于性能分析,本文基于实验室一款 VLIW 结构处理器,以 RAM 工具生成的 2-PORT 类型 SRAM 块为对象,用以实现 $256 \text{ bit} \times 2\,048$ 容量大小的指令存储器. SRAM 块静态功耗与容量变化规律如表 1 所示.

表 1 SRAM 容量与静态功耗统计 mW

深度	数据位宽/bit					
	4	8	16	32	64	128
32	0.004	0.004	0.004	0.004	0.005	0.005
64	0.006	0.006	0.006	0.007	0.007	0.007
128	0.011	0.011	0.012	0.012	0.012	0.013
256	0.019	0.020	0.020	0.020	0.021	0.021
512	0.030	0.030	0.031	0.031	0.031	—
1024	0.041	0.042	0.042	0.042	—	—

根据表 1 统计数据,利用 MATLAB 线性拟合可以得到 $f_h(x, y)$ 的表达式为

$$f_h(x, y) = 0.000\,01x - 0.000\,000\,03y^2 + 0.000\,07y + 0.002\,5.$$

实现容量为 $256 \text{ bit} \times 2\,048$ 指令存储器时,采用不同 SRAM 类型时每个 SRAM 存储块的平均功耗统计结果如表 2 所示.

表 2 SRAM 块容量与平均功耗统计 mW

深度	数据位宽/bit					
	4	8	16	32	64	128
32	0.032	0.061	0.118	0.228	0.443	0.856
64	0.058	0.112	0.215	0.415	0.799	1.516
128	0.105	0.202	0.383	0.745	1.387	2.633
256	0.190	0.366	0.666	1.304	2.397	4.533
512	0.311	0.604	1.101	2.111	3.955	—
1024	0.522	0.971	1.854	3.607	—	—

根据表 2 中统计数据,用 MATLAB 线性拟合,可以得到每个 SRAM 存储块平均功耗随数据位宽、RAM 深度之间的函数关系 $f_t(x, y)$ 为

$$f_t(x, y) = 0.000\,10xy + 0.006\,19x + 0.000\,27y + 0.009\,82.$$

容量大小为 $256 \text{ bit} \times 2\,048$, 即 $L = 256, D = 2\,048$. 按照 3.2 中的节方法建立优化目标和约束条件,利用 LINGO 进行线性规划求解,可以得到求解结果如下:

参数名称	E, E	P_{syn}	x	y	n
参数取值	153.29	6.45	128	32	128

由求解结果可知,该模型实现 $256 \text{ bit} \times 2\,048$ 容量的指令存储器时,采用 128 个 $128 \text{ bit} \times 32$ 大小的 SRAM 块联合实现指令存储器能够得到最优结果.

5.2 与其他设计性能对比

本文基于实验室同一款 VLIW 微处理器,分别对采用传统方法实现指令存储器(全定制单块 SRAM 实现)和采用本文方式实现指令存储器进行性能对比. 在 CMOS 65 nm 工艺下,当系统工作频率 $f = 300 \text{ MHz}$,工作电压为 $V_{\text{DD}} = 1.2 \text{ V}$,微处理器处理 ECB 工作模式下的 AES 算法. 此时,采用一块 $256 \text{ bit} \times 2\,048$ SRAM 实现指令存储器和本设计实现的指令存储器时,其计算能力、功耗和能效对比情况如表 3 所示.

表 3 高效能指令存储器性能对比

实现方式	计算能力/ MIPS/s	功耗/ mW	能效/ (MIPS/s · mW)
传统方法	375.11	25.73	14.58
本设计	375.11	6.45	58.16

本文采用 SRAM 块矩阵布局方式实现指令存储器,和传统指令存储器实现方式相比,在保持计算能力不变的情况下,降低了指令存储器 74.93% 的功耗,能效提升为前者的 3.99 倍.

6 结束语

本文设计并实现了基于 SRAM 分块管理的高效能嵌入式指令存储器,提出了指令存储器高效能组织模型,采用 SRAM 块矩阵布局方式实现了对指令存储器的管理. 通过对该架构进行性能评估,结果表明,本设计能够降低指令存储器功耗,提高指令存储器能效. 和采用单块 SRAM 实现方式相比,功耗降低了 74.93%,能效提高了 3.99 倍.

参考文献:

- [1] 吴晨. 静态随机存取存储器漏电流功耗降低技术[J]. 微电子学, 2010, 40(10): 551-555.

(下转第 25 页)

先验知识,从而达到更好的去模糊效果.对比实验结果表明:提出的方法可以对各种类型的图片进行去模糊处理,并得到了更清晰的视觉效果,人物、景色和人脸的峰值信噪比分别达到了 26.79 dB、26.33 dB 和 29.81 dB,平均结构相似度分别为 0.86、0.88 和 0.90,相对于现有的算法均有了明显的提高.

参考文献:

- [1] 仇建斌,李士进,王玮.角点与边缘信息相结合的遥感图像飞机检测新方法[J].微电子学与计算机,2011,28(9):214-216.
- [2] Cho S, Lee S. Fast motion deblurring[J]. ACM Transactions on Graphics, 2009, 28(5): 145:1-8.
- [3] Fergus R, Singh B, Hertzmann A, et al. Removing camera shake from a single photograph[J]. ACM Trans. Graph., 2006, 25(3): 787-794.
- [4] Krishnan D, Tay T, Fergus R. Blind deconvolution using a normalized sparsity measure[C]// IEEE Conference on CVPR, Colorado, Springs, 2011: 2657-2664.
- [5] 王爽,陈广秋,宋亚姬,等.基于双树复小波域的马尔可夫随机场样本修补算法[J].计算机应用,2012,

32(2):493-495.

- [6] 王靖,潘振宽,郑永果,等.基于 Potts 模型的隐式曲面上的图像分割方法[J].计算机应用研究,2014,31(9):2873-2877.
- [7] Xu L, Lu C, Xu Y, et al. Image smoothing via L0 gradient minimization[J]. ACM Trans. Graphics, 2011, 30(6): 174-186.
- [8] Osher S, Rudin L I. Feature-oriented image enhancement using shock filters[J]. SIAM Journal on Numerical Analysis, 1990, 27(4): 919-940.
- [9] Xu L, Zheng S, Jia J. Unnatural 10 sparse representation for natural image deblurring[C]// IEEE Conference on CVPR, USA, Portland, 2013: 1107-1114.

作者简介:

周岩女,(1981-),硕士,讲师.研究方向为计算机应用与数据库技术. E-mail: zhoyok@126.com.

周苑女,(1978-),硕士,讲师.研究方向为多媒体技术与信息处理.

王旭辉男,(1982-),讲师.研究方向为计算机应用与人工智能.

(上接第 20 页)

- [2] 凌利军.高性能低功耗嵌入式 SRAM 的设计与实现[D].长沙:国防科学技术大学,2008.
- [3] Matthew Morrison. Design of static and dynamic RAM arrays using a novel reversible logic gate and decoder [C]// 2011 11th IEEE International Conference on Nanotechnology, Portland, USA, 2011, 31-35.
- [4] 姬忠宁.密码协处理器低功耗设计技术研究[D].郑州:信息工程大学,2013.
- [5] ChristianPiguet.低功耗处理器及片上系统设计[M].北京:科学出版社,2012:44-57.

- [6] 杨亚兰.静态随机存取存储器设计与实现关键技术研究[D].成都:电子科技大学,2011.

作者简介:

郑诚玮男,(1990-),硕士研究生.研究方向为专用集成电路设计. E-mail: cwzheng660@163.com.

戴紫彬男,(1966-),教授,博士生导师.研究方向为专用集成电路设计、芯片可重构设计.

李伟男,(1983-),博士,讲师.研究方向为专用集成电路设计.