

一种多数据集混合累加电路设计

胡 浩, 贺光辉

(上海交通大学 微电子学院, 上海 200240)

摘 要: 提出了一种包含输入缓存 FIFO、加法器及其控制逻辑、存储单元三个部分的电流注入累加模块(Node Injected Current Accumulation, NICA), 解决了流水线阻塞大, 控制逻辑复杂、累加混合的问题, 并在此基础上采取分批处理的方式, 减少了累加的延时, 最终节省了硬件资源。在 Virtex-7 690T 开发板上综合布线后, 得到了较好的硬件资源消耗结果, 满足了 EMTP 系统的实时性仿真要求。

关键词: 电磁暂态仿真; FPGA; 流水线; 累加器

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2016)08-0019-05

An Architecture Design for Multiple Datasets Accumulation

HU Hao, HE Guang-hui

(School of Microelectronics, Shanghai Jiaotong University, Shanghai 200240, China)

Abstract: This paper propose an NICA(Node Injected Current Accumulation) module consists of FIFO, adder with control logic and memory. We solve the problem of large blocking, complex control logic, hybrid accumulation. On this basis, with the method of batching, we reduce the delay, finally save the hardware resources. Using a Xilinx Virtex-7 FPGA as the target device, we implement our designs and present good performance.

Key words: electro-magnetic transient; FPGA; pipeline; accumulation

1 引言

电磁暂态仿真主要分析电网故障或操作后可能出现的暂态过电压和过电流, 及系统谐波和波形畸变。电磁暂态数字仿真主要分为离线仿真与实时仿真。电磁暂态仿真程序(ElectroMagnetic Transients Program, EMTP)^[1-2]已经被广泛运用于离线仿真。实时仿真相比离线仿真能够更准确地模拟电网实际工作状态, 是实现安全评估, 故障演习的基础。实时仿真不仅在软件层面上进行, 还需要相关硬件设备的配合来达到更高的仿真速度。

加拿大公司的 RTDS 和 RT-LAB 等仿真工具一般基于 PC 群或者 DSP 组来实现并行仿真计算, 然而基于通用处理器或 DSP 并行计算模式的仿真通常具有较大的通信延时或并行度不高, 导致实时仿真步长增大, 对电力电子器件的仿真准确性降低。

FPGA 配置灵活, 并行处理快、通信延时小的特

点在电磁暂态实时仿真中得到了广泛的应用。在大小步长交互接口、节点矩阵方程求解、节点历史电流注入值合并等重要环节发挥了巨大作用。

节点历史电流注入值的合并是整个电网方程求解前最重要的环节。计算电网中某一节点的历史电流注入值, 须计算出该节点所连接所有支路的诺顿等效历史电流源并累加。例如, 节点 1 在电路中连接了 3 个 RLC 元件, 2 个开关元件, 节点 1 的历史电流总注入值就是这 5 个元件的支路诺顿等效历史电流源之和。

在实际的系统中, 元件区按照元件类型来划分不同处理模块, 各个模块间数据是不透明的。因此要得到对某一节点的历史电流总注入值, 需要先在各个元件更新模块内部计算出该类元件的节点历史电流注入值, 然后再通过节点电压向量求解模块的加法树结构进行合并。所以每一类元件中都需要一个 NICA(Node Injected Current Accumulation)模块。

例如 RLC 模块中的 NICA 的作用就是将 40 个 RLC 元件对电网所有 64 个节点的电流贡献计算出来,累加合并形成 64 维节点注入电流向量 rlc_di0 .

2 电流累加合并问题分析

由于元件计算模块串行输出的电流值可以属于任意一个节点,加上拓扑网络的不对称性,导致数据集之间相互交叉,且长度不定,即节点电流合并是一个多数据集混合合并的过程.

另外,由于加法器需要 3 个时钟周期来完成一次双精度电流值的加法,因此若连续几个输出电流恰好是对同一节点的注入,则要求新数据等待加法器完成加法运算后再输入.举例来说,假设元件计算模块输出的 $i_{eq1}, i_{eq2}, i_{eq3}$ 都是对同一节点的电流更新,那么 i_{eq3} 需要等待 3 个周期直至 $i_{eq1} + i_{eq2}$ 的运算结果输出.

以上两个问题对简化控制逻辑,缩短累加延时提出了高要求,否则难以满足 EMTP 系统的实时性仿真要求.

3 多数据集交叉累加的数学模型

给定 N 个相互交叉、长度不定且无序的双精度数据集,分别表示为 $A, B, C, \dots$; 每个数据集有 m_i 个元素 ($i=1, 2, 3, \dots, N$), 例如数据集 A 中的元素即为 $A_1, A_2, A_3, \dots$. 须将所有数据串行输入,并按数据集累加归并为各个数据集的和.

为解决该问题,文献[2]中提出将浮点数转为 140 位宽定点数计算的方法,能在 1 个时钟周期内完成加法计算.然而该方法的逻辑延时依然较大,且数据格式的转换降低了计算精度,在迭代过程中易产生误差放大导致的数值振荡.

文献[3]中 Ling Zhuo 等对多数据集的合并进行了阐述,提出了几种高效率的累加方式,在保证流水线效率的前提下,解决了多数据集累加中的数据相关性问题.例如,提出的完全压缩二叉树的累加方法提高了加法器的利用效率,跨步式累加方法则减小了 Buffer 的使用量.

以上提出的电路并不能解决多数据集混合累加的问题,随着多数据集问题的引入,控制逻辑和存储单元将大大增加.

4 多数据集累加电路设计及性能分析

4.1 累加电路设计简单原型

由于元件区计算模块均采用深度流水结构,

NICA 模块每个时钟周期从计算模块得到 1 个电流值.为解决混合累加问题,给每一个电流值附带一个节点号跟随整个计算过程.处理该计算任务的基本结构是如图 1 所示的一个加法器和一个存储结构组成的累加单元.

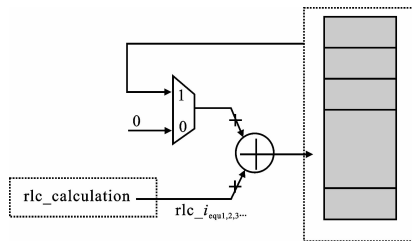


图 1 累加单元示意图

加法器在获取输入电流对应的端点号后就需要先判断存储单元该节点位置是否有值.若有值则说明之前存在对该节点的更新,因此需要读取该值与输入电流进行相加.

为了控制同一数据集的电流相累加,需要添加控制逻辑判断电流所属的数据集,使相同数据集的数据相加.由于 Block RAM 只能在地址有效的后一个周期才能输出数据,因此首先考虑通过寄存器组来实现.寄存器组在获得输入端点号的同一个周期内判断对应地址是否有值,并且在该周期内输出对应地址数据,可以节省不必要的控制逻辑.然而基于寄存器组的存储结构面临资源消耗过大的问题:

图 2 显示了采用寄存器组读取数据时对逻辑资源的消耗.输出数据的每一位,都有可能来源于任意 64 组寄存器中对应的比特位,因此一位数据的选择就需要消耗一个 64 选 1 的多路选择器,若采用 4 输入 mux 进行综合共消耗 21 个 mux_4 并经过 3 个 mux_4 逻辑级.对于一个位宽 64 位的输出数据,需要 64 组上述逻辑结构,对逻辑资源造成了极大消耗.根据 Xilinx Vivado 工具对上述结构的综合,在采用 Virtex-7 690t 开发板的情况下,该寄存器组结构消耗约 2% 的 LUT 资源,最大时钟频率 80 MHz.考虑到整个系统有大量 NICA 模块,这样的结果无论在时钟频率还是资源消耗方面都无法满足整个系统的实现要求.

4.2 基于 Block RAM 的累加电路设计

对于上述问题,本文提出了控制逻辑较为简单,同时又具有高处理效率的硬件实现方案.其结构如图 3 所示.

NICA 计算结构由三部分组成:输入缓存 FIFO、加法器及其控制逻辑、以及存储单元.

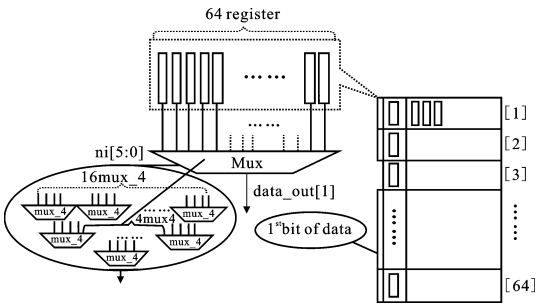


图 2 寄存器组的读取

I_{equ} , 处理过程分为以下 2 种情况:

- ①若 $\text{node_stat_register}[1]=0$, 则表示 injected_current memory 在地址 1 位置没有值, 下一个时钟周期将 I_{equ} 输入 memory 并且将 $\text{node_stat_register}[1]$ 置 1.
- ②若 $\text{node_stat_register}[1]=1$, 则表示 injected_current memory 在地址 1 位置已经有值, 意味着 I_{equ} 不能直接输入 memory 而是要和 memory 中的值进行相加合并. 由于 memory 中的值要下一个

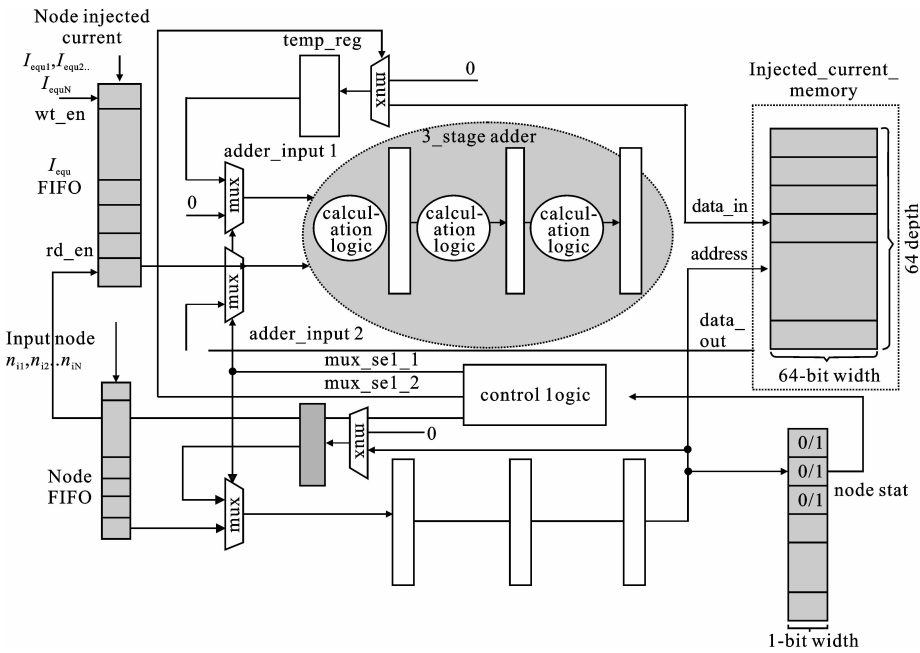


图 3 NICA 结构图

输入缓存 FIFO 的加入主要是因为该 NICA 结构吞吐量小于电流输出模块, 因此需要加入 FIFO 来缓存阻塞的数据. FIFO 分为存储电流值的 I_{equ} FIFO 以及存储对应元件节点号的 Node FIFO, 过程中须始终保持电流值与对应的节点号处于同样的处理流程. 两个 FIFO 的控制信号完全一致, 写端口与元件更新模块相连实时接收输出的电流值及节点号; 读端口受到 NICA 模块控制逻辑控制, 在加法器工作状态为空闲时输出电流值以及节点号. 由于电流的加法需要通过三级加法器, 为了将节点号与之同步, 也同样需要通过三级寄存器延时.

存储模块同样分为电流存储单元 (injected_current memory) 和节点状态寄存器 (node_stat_register). 电流存储模块从加法器的输出获取累加之后的电流并存入其对应节点的地址区域. 而节点状态寄存器表征与该节点对应的电流存储地址中是否有值. 例如, 加法器输出 1 号节点的电流更新

周期才能输出, 因此 I_{equ} 需要暂存于 temp_reg, 等待下一个周期与 memory 输出数据进行加法运算. 而该情况下, 加法器下一个周期需要完成 temp_reg 与 memory 输出的加法, 所以将加法器标记为“busy”状态, 并产生控制信号将 FIFO 读使能信号置低, 从而停止从 FIFO 读取新数据, 直至加法器重新恢复“free”状态. 加法器状态的标记也由 node_stat_register 控制产生.

从 FIFO 读取电流进行累加的流程如图 4 所示.

用该结构实现电流累加的关键在于对加法器输出电流节点对应地址 memory 的空、满判断. 该判断直接影响下一步加法器的输入. 若为空则说明加法器下一周期可以继续从 FIFO 读取数据, 若为满则表示下一周期加法器需要进行累加操作, 暂停从 FIFO 读取数据.

相较采用寄存器来存储电流值的方式, 改用

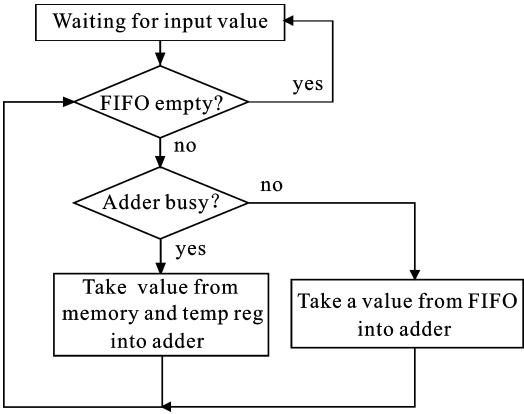


图 4 NICA 结构累加流程

Block RAM 可以节省大量逻辑资源. 虽然还是需要添加表示 memory 各个地址状态的节点状态寄存器,但其位宽只有一位,所消耗的逻辑资源可忽略不计.

下面以一个实例简单演示该结构工作机制. 假设元件计算区流水线输出给 NICA 的电流依次为 $I_{\text{equ}(2)}, I_{\text{equ}(2)}, I_{\text{equ}(1)}, I_{\text{equ}(3)}, I_{\text{equ}(2)}, I_{\text{equ}(3)}$. 括号内的数字表示电流对应的节点号. 图 5 展示了 NICA 具体处理步骤. 为了直观说明,用“灰”、“黑”,“点”分别标记对节点 1,2,3 的电流更新.

图中箭头标记了时间顺序. 由图 5 可见,在第 7 周期时,由于加法器需要进行 temp reg 与 memory 输出数值的合并,导致 FIFO 中的数据无法被读出, FIFO 的读信号暂时停止(stall). 发生 FIFO 暂停读取次数取决于节点相同的输入电流个数. 最坏情况是对于 FIFO 中的每个注入电流,都存在与之节点重合的来自其它支路的注入电流. 此时 FIFO 暂停读取的情况最为严重,每输入一个数据就会在下一个时钟周期堵塞一拍. 例如一种极端情况:每个输入电流都针对同一节点,假设共有 N 个输入电流,则阻塞周期大约为 $N-1$.

在第 15 个周期,所有输入电流合并完毕,NICA 模块工作也就此结束. 此时 memory 存储了当前更新完毕的所有元件对整个电网节点的电流注入向量. 对于 n 端点元件就需要 n 个电流存储 Block RAM,最后它们会与其它类型元件电流存储单元共同输入节点电压更新模块做最后的合并工作,形成电网总节点电流注入向量.

4.3 NICA 性能分析

NICA 模块处理延时主要可分为三部分:输入延时、FIFO 阻塞延时以及计算延时.

输入延时是指从计算模块输出给 NICA 的第一个

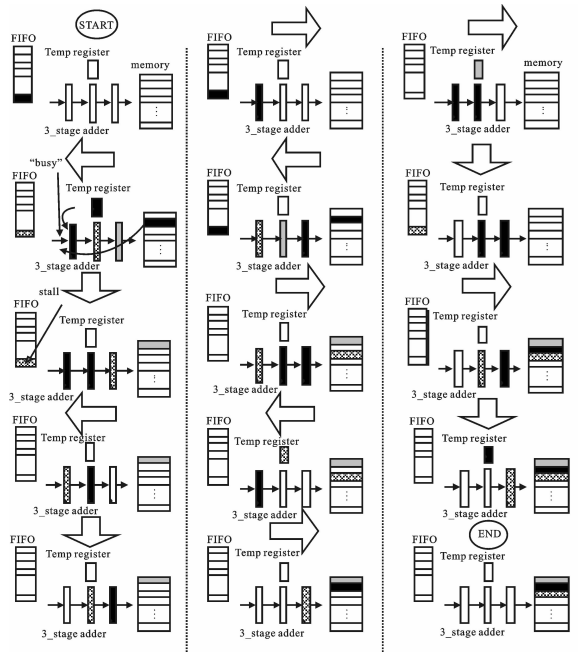


图 5 NICA 计算实例

电流值到最后一个电流值的时间. 由于计算模块每周处理一批数据,因此输入延时就等于元件个数 N .

FIFO 阻塞延时主要来自对相同节点注入电流的累加. 因此其堵塞时钟数与节点相同注入电流个数相关. 在最坏情况下每个输入电流都会形成一次累加,造成 FIFO 一个时钟周期的阻塞. 此时 NICA 的吞吐率降低为元件计算模块吞吐率的二分之一,每两个时钟周期处理一个数据(即 0.5 data/cycle). 考虑最后一个电流值从元件计算模块输入至 FIFO 时,已经经过 N 个时钟周期, FIFO 内部最多已经累积了 $(N-N \times 0.5) = N/2$ 个数据. 而 $N/2$ 个数据全部输入至加法器又需等待 $(N/2)/0.5 = N$ 个时钟周期. 因此阻塞延时时钟周期数为 N . 事实上阻塞延时的计算是保守的,因为在 FIFO 最先输出的 4 个时钟周期内,存储单元均为空,是不可能发生阻塞的. 而在 FIFO 数据全部被读空后,加法器流水线中的数据也不可能再造成阻塞.

NICA 计算延时大部分已经隐藏于输入延时与 FIFO 堵塞延时. 因此需要纳入延时统计的是 FIFO 数据全部输入之后的计算延时. 由于加法器采用三级流水线,最后一个数据输入后在其前级仍有残留数据,可能发生电流合并计算造成加法器额外延时. 最坏情况下,最后一个输入电流进入加法器后,它的前方流水线也都正在处理对应相同节点的电流,并且此时 injected_current memory 对应地址有值. 这种情况下的计算延时如图 6 所示.

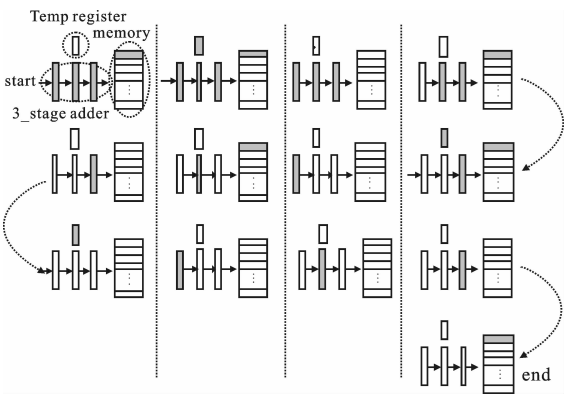


图 6 加法器剩余数据计算延时

灰色代表对应相同节点的注入电流.此时 FIFO 为空因此示意图中并未画出.从图中可见最坏情况下,加法器残留数据计算延时为 13 个时钟周期.

综合以上 3 种延时,总延时=输入延时+FIFO 阻塞延时+计算延时=2N+13(clock cycles).其中 N 为所计算的元件个数.事实上,在小步长仿真系统,由于数据输入延时已经被囊括在元件区计算延时里,因此 NICA 模块实际纳入统计的延时为 N+13.

针对有些元件区计算模块需要处理较大的元件数目,NICA 的延时依然较大.此时可采取输入数据分批并行处理的策略.

采用分批并行处理时,延时为分批数据个数的函数.假设处理元件总数为 N,分两批数据处理,第一批数据个数为 X,处理延时为 T₁;第二批数据个数为 Y(Y = N - X),处理延时为 T₂.总延时为 T,可得到方程组:

$$\begin{cases} T_1 = X = 13 - Y = 2X + 13 - N \\ T_2 = Y + 13 = N + 13 - X \\ T = \max(T_1, T_2) \end{cases} \quad (1)$$

在式(1)中,13 代表前文所述的残留数据计算延时.而在 T₁ 的计算中需要减去第二批数据的输入延时,这是因为延时统计从第 N 个数据输入完毕后才开始计算,因此第二批数据的输入延时需要从 T₁ 中剔除.

T₁, T₂ 均为 X 的一元一次函数,只需求出这两个函数直线交点,然后向左或向右取整,带入公式取其最小值即可得到使总延时最小的 X 值.

以 40 个元件的 RLC 元件区为例,将 N = 40 带入方程(1)中.不难得到 X = 26, Y = 14 时 T 达到最小值.其处理延时示意图如图 7 所示.此时 40 个 RLC 元件以前 26 个为一组分配给一个 NICA 模块计算,后 14 个为一组分配给另一个 NICA 模块.第

一个 NICA 处理时间 T₁ = 26 + 13 - 14 = 25 cycles, 第二个 NICA 模块处理时间 T₂ = 14 + 13 = 27 cycles. T = max(T₁, T₂) = 27 cycles.与单个 NICA 处理模块延时相比减少了近一半时间.

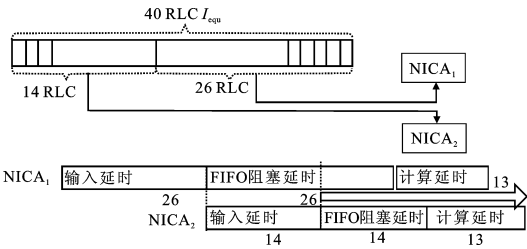


图 7 分批处理优化性能示例

采用分批处理虽然可以提高计算速度,但也带来了更多资源消耗.在本系统中由于 RLC 元件处理延时处于关键路径,因此采用 NICA 分批处理策略.而其余元件计算时间充裕,处于节省硬件资源的考虑故不采用该策略.

4.4 累加电路性能比较

表 1 为几种累加电路的性能对比,表中 n 为须累加的数据个数,a 为流水线级数,Buffer 为累加过程中需要的缓存,其中延时周期包含了输入延时.与一般合并电路的设计相比,本设计在保证能够应对多数据集数据混合合并的前提下,通过使用 FIFO、Block RAM 等结构减小了控制逻辑的复杂度和总体处理延时的增长,在 EMTP 小步长系统中得到了较好的应用.

表 1 累加电路性能对比

	加法器个数	Buffer 个数	延时周期	支持混合累加
文献[3] PCBT	lg(n)	2lg(n)	n+alg(n)	否
文献[3] FCBT	2	3lg(n)	≤3n+(a-1)lg(n)	否
文献[3] DSA	2	a(lg(a)+1)	n+a*(lg(a)+1)	否
文献[3] SSA	1	2a ²	n+2a ²	否
本文方案	1	n/2	2n+13	是

5 结束语

本文基于电磁暂态小步长仿真中节点注入电流值合并的需要^[4-5],提出了一种流水线形式的包含输入缓存 FIFO、加法器及其控制逻辑、以及存储单元三部分的累加电路.在增加较少 Buffer 和处理延时的基础上,实现了对多数据集混合累加的功能,并在性能分析的基础上采用分批处理的方式优化了性能,满足了小步长系统的实时性仿真要求.

(下转第 28 页)

与其他已发表的 Sigma-Delta 调制器相比,功耗和综合性能良好,满足低功耗、高性能的要求。

6 结束语

本文设计的基于反相器的音频应用低功耗 Sigma-Delta 模数转换器采用前馈结构,可以减小调制器中信号幅度,降低对放大器的直流增益和输出摆幅的要求;基于反相器的开关电容积分器采用相关双采样技术,可以补偿反相器的有限直流增益和输入失调;采用恒定跨导偏置 LDO 精确调整反相器的工作点,使反相器的单位增益带宽和工作点保持恒定,不受工艺偏差、电源电压和温度的影响,提高电源抑制比。仿真结果表明,Sigma-Delta 调制器信噪失真比(SNDR) 91.5 dB,动态范围(DR) 96 dB,有效位数 15 bit,整体功耗 0.48 mW。该 Sigma-Delta 模数转换器满足芯片低电压、低功耗、高精度的设计要求。

参考文献:

- [1] Chae Y, Han G. Low voltage, low power, inverter-based switched-capacitor delta-sigma modulator [J]. IEEE Journal of Solid-State Circuits, 2009, 44(2): 458-472.
- [2] Schreier R, Temes G C. Understanding delta-sigma converter[M]. Hoboken, Wiley, IEEE press, 2005.
- [3] Brigati S, Francesconi F, Malcovati P, et al. Modeling sigma-delta modulator non-idealities in SIMULINK[C] // Proceedings of ISCAS, 1999. USA, Orlando, 1999 (2): 384-387.
- [4] Christen T. A 15 bit 140 uW scalable-bandwidth inverter-based delta sigma modulator for a MEMS microphone with digital output [J]. Solid-State Circuits, 2013, 48(7):1605-1614.

- [5] Enz C C, Temes G C. Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization[J]. Proceedings of the IEEE, 1996, 84(11):1584-1614.
- [6] Luo H, Han Y, Cheung R C C, et al. A 0.8 V 230 W 98 dB DR inverter-based modulator for audio applications[J]. Solid-State Circuits, IEEE Journal of, 2013, 48(10):2430-2441.
- [7] 李迪. 高性能 sigma-delta ADC 的设计与研究[D]. 西安:西安电子科技大学, 2010.
- [8] Kuo C H, Shi D Y, Chang K S. A low-voltage fourth-order cascade delta - sigma modulator in 0.18 CMOS [J]. Circuits & Systems I Regular Papers IEEE Transactions on, 2010, 57(9):2450-2461.
- [9] Park H, Nam K Y, Su D K, et al. A 0.7 A 870 W digital audio CMOS sigma-delta modulator[J]. Solid-State circuits, IEEE Journal of, 2009, 44(4):1078-1088.

作者简介:

柯强男, (1991-), 硕士研究生. 研究方向为数模混合集成电路设计. E-mail: keqiang@ime.ac.cn.

卫宝跃女, (1982-), 博士, 研究助理. 研究方向为模拟集成电路设计、模数转换器设计.

梁帅男, (1989-), 硕士研究生. 研究方向为数字集成电路设计.

刘昱男, (1975-), 博士, 研究员. 研究方向为高性能模拟/射频 CMOS 集成电路、硅基毫米波集成电路、超低功耗短距离无线通讯系统、高精度低功耗传感电路、物联网相关技术及医疗电子系统集成技术.

张海英女, (1964-), 博士, 研究员. 研究方向为 3G/4G 射频集成电路及模块物理设计技术、嵌入式多模、多频无线收发器 IP 核设计技术、医疗电子系统集成技术、超宽带无线个域网标准、物联网相关技术.

(上接第 23 页)

参考文献:

- [1] Hermann W Dommel. EMTP theory book[M]. Portland Bonneville Power Admin, 1985.
- [2] Chen Y, Dinavahi V. FPGA-based real-time EMTP[J]. IEEE Transactions on Power Delivery, 2009, 24(2): 892-902.
- [3] Zhuo Ling, Gerald R Morris, Viktor K Prasanna. High-performance reduction circuits using deeply pipelined operators on FPGAs[J]. Parallel and Distributed Systems, IEEE Transactions on, 2007, 18(10): 1377-1392.
- [4] Zhuo Ling, Viktor K Prasanna. High-performance and area-efficient reduction circuits on FPGAs[C]// Com-

puter Architecture and High Performance Computing, 2005. SBAC-PAD 2005. 17th International Symposium on. Brazil, IEEE, 2005.

- [5] Chen Yuan, Venkata Dinavahi. Digital hardware emulation of universal machine and universal line models for real-time electromagnetic transient simulation[J]. Industrial Electronics, IEEE Transactions on, 2012, 59(2): 1300-1309.

作者简介:

胡浩男, (1990-), 硕士研究生. 研究方向为数字电路设计. E-mail: huhao_sjtu@163.com.

贺光辉男, (1980-), 博士, 副教授. 研究方向为无线通信和多媒体系统的信号处理算法优化和 VLSI 架构设计.