

基于数模混合技术的高中频快速 AGC 电路设计

曹 煜, 唐小宏, 李晨雨

(电子科技大学 极高频复杂系统国防重点学科实验室, 四川 成都 611731)

摘 要: 针对无线通信系统对接收机的高数据传输速率和快速响应速度要求, 提出一种基于数模混合技术的高中频快速自动增益控制(AGC)电路的设计方法. 该方法首先利用基于 FPGA 的数字开环结构对后级可调增益放大器进行增益粗调, 确保 AGC 的快速收敛. 接着引入模拟闭环结构对可调增益放大器进行增益细调, 从而确保 AGC 输出信号功率的精确稳定. 最终利用该方法成功设计实现了一个工作频率 305 ± 60 MHz 的 AGC 电路. 实验结果表明, 该电路具有极高的收敛速度(响应时间小于 $1 \mu\text{s}$), 在输出功率稳定在 -11.6 dBm 的条件下, 输入动态范围达到 34 dB, 并且在 120 MHz 通带内保持了良好的功率平坦度. 该方法为实现高中频快速 AGC 电路提供了灵活与可重复的设计平台.

关键词: 自动增益控制; 数模混合技术; 收敛速度; 高中频; FPGA

中图分类号: TN851

文献标识码: A

文章编号: 1000-7180(2016)01-0047-05

The Design of High Intermediate Frequency Fast Automatic Gain Control Circuit Based on Digital-analog Mixed Technology

CAO Yu, TANG Xiao-hong, LI Chen-yu

(Fundamental Science on EHF Laboratory, University of Electronic Science and
Technology of China, Chengdu 611731, China)

Abstract: This paper proposed a design method of high intermediate frequency (IF) fast automatic gain control (AGC) circuit based on digital-analog mixed technology to satisfy the demands of high data transfer rate and rapid response speed of receivers in modern wireless communication systems. In this method, a digital open-looped structure was adopted for coarse tuning of post-stage variable gain amplifier (VGA) to ensure the fast convergence speed of AGC. Then an analog closed-looped structure was deployed for fine tuning of VGA so as to obtain an accurate and stable output signal of AGC. To validate the proposed method, an AGC circuit with operating frequency of 305 ± 60 MHz was designed and fabricated. Experimental results show that the AGC circuit has an extreme fast convergence speed and its response time is just within $1 \mu\text{s}$. The power dynamic range of input signal is 34 dB when a -11.6 dBm output signal is maintained. The power flatness of the circuit is also quite well by the way. The proposed method provides a design platform to implement a high IF fast AGC circuit flexibly and reproducibly.

Key words: AGC; digital-analog mixed technology; convergence speed; high IF; FPGA

1 引言

多径效应和干扰信号让接收机的接收信号功率时刻处在不确定或是在较大的动态范围内波动的状态, 这时就需要自动增益控制(AGC)电路对增益进

行有效调节, 从而减小接收信号在进入数字信号处理单元时模数转换器(ADC)的量化误差, 消除其发生功率饱和的不利情况^[1]. AGC 作为关键部件广泛应用于雷达^[2-3]或无线通信系统中^[4]. 以往对 AGC 技术的研究更多集中在如何不断扩大其动态

范围^[5-6].

随着 WLAN 和 LTE TDD 等技术的不断发展以及人们对于信息量需求的爆炸性增长,具有快速响应能力的高中频 AGC 电路逐渐成为 AGC 技术研究的热点^[7].许多研究者对数字中频 AGC 的电路结构以及算法设计进行了研究,取得了实现快速 AGC 的诸多途径^[8-10],但是由于 ADC 采样率的限制,数字中频的频率无法大幅提高,高中频更多还是出现在模拟 AGC 电路中.针对上述问题,本文提出一种基于数模混合技术的高中频模拟 AGC 的设计方法.首先,通过数字开环结构解决 AGC 的收敛速度问题,再通过模拟闭环结构确保 AGC 输出信号的功率精度.利用该方法实现一个中心频率 305 MHz,带宽 120 MHz 的中频 AGC 电路.

2 数模混合 AGC 系统结构

一般的模拟 AGC 电路由可变增益放大器(VGA),耦合器,检波器,低通滤波器(LPF)等元件组成,由检波器产生直流电压控制可变增益放大器,从而达到对微波接收信号进行增益控制的目的.模拟 AGC 技术成熟,应用广泛,电路线性度高,对外界变化不敏感,但响应时间较长.

数字 AGC 则通过算法和数字器件,实现 AGC 电路所需的检波、滤波、比较等工作,其响应迅速,特别是在输入信号动态范围较大的情况下,响应时间仅取决于算法时间开销以及数字器件的响应时间.然而受限于 ADC 器件的采样率限制,数字 AGC 不适用于高中频范畴;同时由于数字控制电平离散性,数字 AGC 的稳定性有所欠缺.

基于以上分析,本文提出一种数模混合 AGC 的设计方法,既有数字 AGC 电路的快速响应特点,又兼具模拟 AGC 电路的稳定性,同时克服 ADC 器件的采样率受限问题,使其能够应用于高中频 AGC 电路中.系统整体构架如图 1 所示.

当 AGC 电路工作时,耦合器将 $305 \pm 60\text{MHz}$ 的输入信号引入检波器检波,再用 ADC 对检波输出的直流电压采样.由于检波器可以接收的信号频率较高,从而克服了 ADC 不能对过高频率采样的问题.接下来采样信号通过低通滤波后进入 FPGA 进行求均值和查表运算,输出 8 位控制码,由 DAC

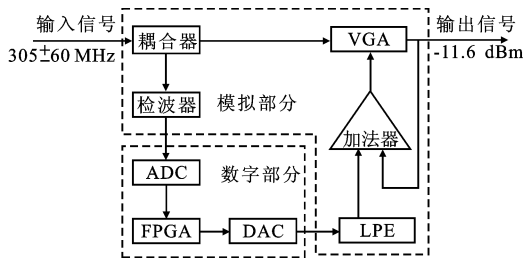


图 1 数模混合 AGC 结构图

转换成直流控制电压对 VGA 进行增益粗调.图中 VGA 选用的是 AD8368,该器件自带模拟 AGC 功能,因此可以通过该模拟闭环结构输出另一个微小的控制电压对 VGA 进行增益细调.这样由数字开环结构产生的粗调电压与模拟闭环结构产生的细调电压同时进入到由高速运算放大器(OA)THS4031 构成的加法器中求和,并进一步对 AD8368 进行增益控制,最终实现对输出信号的功率控制,使其稳定在 -11.6dBm 左右.在整个系统里,数字开环部分让输出信号功率迅速达到指定功率附近范围内,使得后续模拟闭环部分时刻处于小范围误差电压调节状态,克服了模拟闭环电路处于大范围误差电压调节时收敛速度缓慢的问题,确保了整个 AGC 电路的快速收敛.另一方面,受限于 FPGA 查表的离散性,数字开环部分产生的粗调电压不足以对输出的信号功率精确定量,这时模拟闭环部分的细调电压便可在小范围内对其进行修正,从而确保了最终输出信号功率的精度要求.由于模拟闭环结构在输入输出功率差别较小时响应速度非常快,所以整个系统的收敛时间主要由数字开环部分的检波器响应时间,ADC 和 DAC 的缓冲时间,以及 FPGA 的运算时间决定.

3 数模混合 AGC 电路的设计与实现

图 1 所示的检波器采用 ADL5513,其输入频率范围为 $1\text{MHz} \sim 4\text{GHz}$,响应速度 20ns ,输出电压为 $0.5 \sim 2\text{V}$.考虑到数字电路只是快速粗调,ADC 选用了 8 位精度的 AD9280,系统选用 20MHz 时钟信号.根据器件手册,信号输出前有半个时钟周期的时间延迟,信号本身输出需要三个时钟周期,所以总的时延为三个半时钟,即 175ns .DAC 选用 AD9708,输出建立时间为 35ns .如图 2 所示,DAC

输出缓冲电路采用差分结构,并后接 7 阶差分巴特沃斯低通滤波器滤除高频干扰信号.滤波之后,再次使用高速运算放大器 THS4031 实现差分转单端输出,输出电压限定在 AD8368 所需的控制电压 0~1 V 范围内. VGA 是该 AGC 电路的核心器件,这里选用的 AD8368 的增益控制电压为 0~1 V,自带 RMS 检波功能. AD8368 的外围电路由图 3 所示,该电路包含了模拟闭环电路、

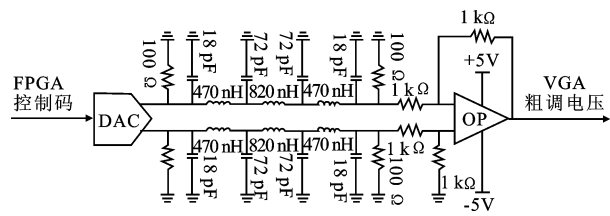


图 2 DAC 输出缓冲电路

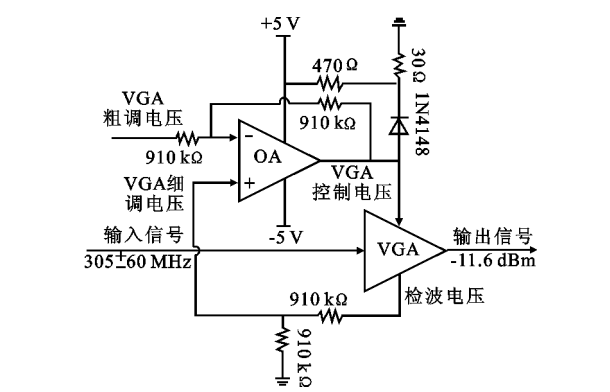


图 3 AD8368 外围电路

粗调电压与细调电压求和所需的加法器以及一个控制电压钳位电路.其中钳位电路用于防止控制电压过高时 AD8368 的模拟闭环电路过载.值得注意的是,为了保证 VGA 的增益稳定,运放所需的输入和反馈电阻均采用 910 kΩ 的大阻值,以保证两路控制电压在跳变时具有最小的摆幅.

数字开环部分所需的算法在 FPGA 内部实现, FPGA 采用 EP2C5Q208,时钟频率 20 MHz,利用 Verilog 自编模块实现系统算法,流程如图 4 所示.

当有信号输入时,AD9280 采样得到检波电压码并将其传送给 FPGA 求和模块,求和模块得到一个均值后再用这个结果去进行查表,从而得到控制电平码. AD9280 没有使能控制,因此一直处于工作状态,为了保证精度,设定进行求和运算的门限值,超过一定的电平才求和运算,避免误差.如式(1)所

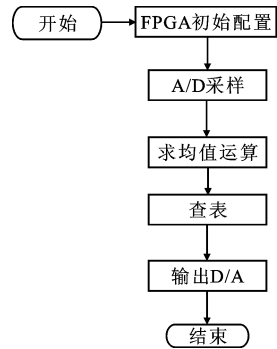


图 4 FPGA 算法流程图

示,为了保证速度,这里采用 4 次累加求和之后再取平均值的方法.

$$\bar{x} = \frac{1}{4} \sum_{i=1}^4 x(i)$$

(1)

当 AD8368 稳定输出功率为-11.6dBm 时,不同输入功率对应的控制电压值如表 1 所示.

表 1 部分频率源输入功率与控制电压

输入功率 /dBm	控制电压 /V	输入功率 /dBm	控制电压 /V	输入功率 /dBm	控制电压 /V
-27	0.063	-15	0.409	-3	0.752
-24	0.166	-12	0.488	0	0.806
-21	0.253	-9	0.567	3	0.883
-18	0.332	-6	0.648	6	0.981

测试时选择尽可能多的点,通过曲线拟合,让输入功率与 AD 采样后的均值,以及 DA 的输出码相对应,从而生成查表表格.

4 仿真与测试结果

利用 Quartus II 软件对系统进行波形仿真,仿真结果如图 5 所示,累加 4 次输出均值,从中可以看到各个模块的逻辑功能正常.整个 FPGA 控制的时延是 5 个时钟周期,理论上的控制程序时延为 250 ns, A/D 采样时延为 175 ns, D/A 建立时间 35 ns, 检波器检波时间为 20 ns,运放 THS4031 的建立时间为 60 ns, 2 个运放则为 120 ns,最终可以得到数字开环的总时间开销为 0.6 μs.

最终设计完成的高中频 AGC 电路实物如图 6、图 7 所示.实测时,输入信号频率为 305±60 MHz,动态范围 30 dB(-27~7 dBm),输出功率设为-11.6 dBm.在中心频率 305 MHz 上的输入功率

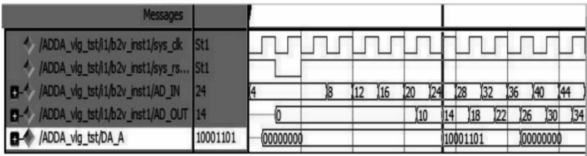


图 5 波形仿真结果

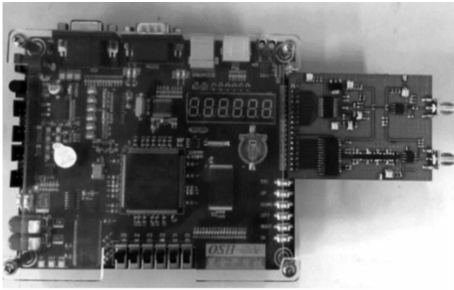


图 6 AGC 电路数字部分

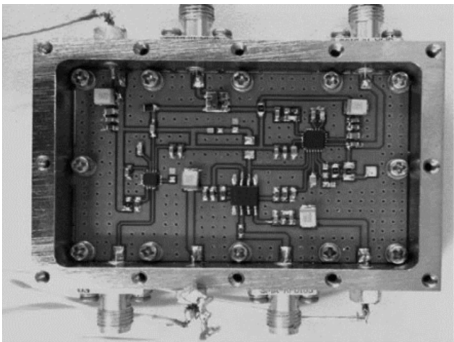


图 7 AGC 电路模拟部分

与输出功率动态范围如图 8 所示,可以看到在输入动态范围内输出功率稳定在 -11.6 ± 0.5 dBm.

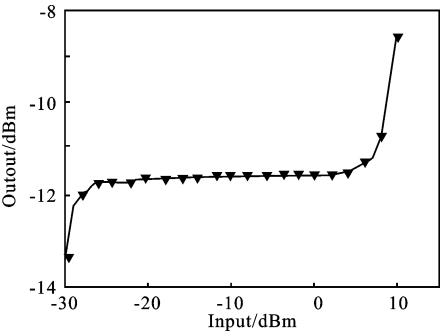


图 8 输入输出动态曲线

AGC 在 305 ± 60 MHz 的频率范围内的输出功率平坦度如图 9 所示. 可以看到在整个工作频率范围中,输出功率稳定在 -11.6 ± 0.5 dB.

AGC 电路在中心频率 305 MHz 上的时间响应

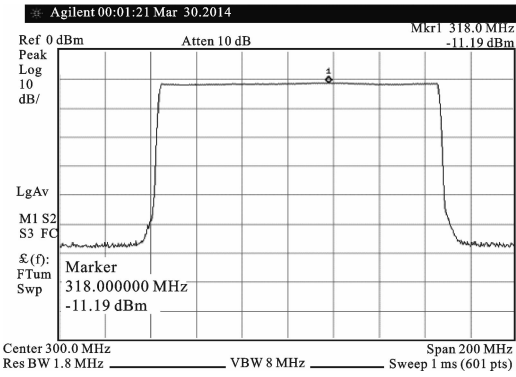


图 9 输出功率平坦度

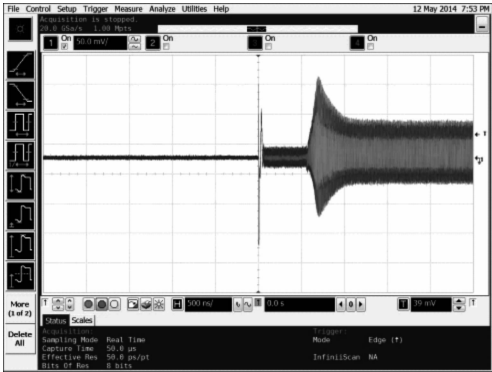


图 10 AGC 时间响应

如图 10 所示. 当输入信号从无到 -5 dBm 时, AGC 的稳定响应时间小于 $1 \mu\text{s}$, 收敛速度极大优于传统模拟 AGC 电路. 当微波毫米波收发机用于对收发信号切换速率要求较高的应用场合, 例如采用时分复用双工(TDD)的工作模式, 同时要利用高中频信号得到较宽带宽的频谱信号传输能力时, 传统模拟 AGC 电路的响应时间完全达不到要求. 若采用纯数字 AGC 电路, 系统对 ADC 的采样率要求很高, 可选用的 ADC 器件十分有限, 或者成本极高. 在此情况下, 本文提出的基于数模混合技术的 AGC 电路不失为一种有效而廉价的解决方案.

5 结束语

本文采用数模混合技术, 利用数字开环结构极大降低了高中频 AGC 电路的时间开销, 同时利用模拟闭环结构确保了 AGC 输出信号功率的精度. 本文介绍了该 AGC 电路的总体设计框架, 并对其中的关键电路和算法进行了详细的阐述和分析, 最终成功设计实现了一个工作频率 305 ± 60 MHz 的

AGC 电路. 实验结果表明,该 AGC 电路具有极高的收敛速度(响应时间小于 $1\ \mu\text{s}$),在输出功率稳定在 $-11.6\ \text{dBm}$ 的条件下,输入动态范围达到 $34\ \text{dB}$,并且在 $120\ \text{MHz}$ 通带内保持了良好的功率平坦度. 该设计方法适合各类高中频 AGC 的应用场合,具有较高的实用价值和较好地应用前景.

参考文献:

- [1] Li-Gu Lee, Jungbo Son, Eunyoung Choi, et al. Fast automatic gain control employing two compensation loop for high throughput MIMO-OFDM receivers [C] // IEEE International Symposium on Circuits and Systems (ISCAS). Island of Kos: 2006: 5459-5462.
- [2] 陈宏素, 杨涛, 王建辉. 雷达中频接收模块的 AGC 电路设计[J]. 微波学报, 2010, 26(Supp.): 308-310.
- [3] 李柏渝, 伍俊, 李蓬蓬, 等. 大动态范围抗干扰导航接收机 AGC 电路性能分析与优化设计[J]. 微波学报, 2010, 26(Sup1): 659-665.
- [4] Juan Pablo Alegre Pérez, Santiago Celma Pueyo, Belén Calvo López. Automatic gain control: techniques and architectures for RF receivers [M]. New York: Springer, 2011.
- [5] 李柏渝, 孙莉, 伍俊, 等. 大动态范围星载导航接收机 AGC 电路性能分析与优化设计[J]. 国防科技大学学报, 2010, 32(6): 48-52.
- [6] 马战刚, 张宇平, 孙弋, 等. 大动态范围 AGC 电路在接收机中的应用[J]. 半导体技术, 2010, 35(2): 191-193.
- [7] Jun-Hee Jang, Hyung-Jin Choi. A fast automatic gain control scheme for initial cell search in 3GPP LTE TDD system [C] // International Conference on Advanced Communication Technology (ICACT). Seoul, 2011: 833-838.
- [8] 井冰, 叶凡, 李宁, 等. 超宽带系统中的快速双闭环自动增益控制算法[J]. 计算机工程, 2014, 40(7): 47-52.
- [9] 曹鹏, 费元春. 大动态宽带数字中频 AGC 系统的设计[J]. 北京理工大学学报, 2003, 21(5): 613-616.
- [10] 张春杰. 基于 FPGA 的快速中频自动增益控制系统[J]. 控制工程, 2013, 20(5): 967-969.

作者简介:

- 曹煜** 男, (1984-), 博士研究生. 研究方向为微波毫米波电路与系统、微波六端口调制解调技术、微波无源电路. E-mail: cyeahabs@126.com.
- 唐小宏** 男, (1962-), 教授、博士生导师. 研究方向为微波毫米波电路与系统、电磁场理论等.
- 李晨雨** 男, (1989-), 硕士研究生. 研究方向为微波电路与系统.