

# 基于位流回读的 Virtex II 内嵌 BRAM 的测试方法研究

阎 哲, 张 洪, 介百瑞, 阮爱武

(电子科技大学 电子薄膜与集成器件国家重点实验室, 四川 成都 610054)

**摘 要:** 介绍一种采用位流回读针对 Virtex II 内嵌 BRAM 的测试方法. 该测试方法基于自主研发的 FPGA 测试平台, 该测试系统能够对 FPGA 配置、施加测试向量、回收测试响应、并对故障进行诊断与定位, 整个测试完全自动化, 不需要人工干预. 该测试系统的优点为设备简单、易于实现、完全自动化. 在该测试系统的基础上, 针对 Virtex II 系列 FPGA 内嵌核 Block RAM 提出了基于边界扫描和位流回读的测试方法. 该方法首次将位流回读技术应用用于 FPGA 的测试, 基于位流回读的测试方法为 FPGA 的测试打开一个新的领域, 对研究 FPGA 的测试方法有重要意义.

**关键词:** 边界扫描; 位流回读; 存储器; 测试系统

**中图分类号:** TN791

**文献标识码:** A

**文章编号:** 1000-7180(2016)05-0058-04

## Research on Bitstream Readback-based Test Method for Mbedded BRAM in Virtex II

YAN Zhe, ZHANG Hong, JIE Bai-rui, RUAN Ai-wu

(State Key Laboratory of Electronic Thin Films and Integrated Devices, University of  
Electronic Science and Technology of China, Chengdu 610054, China)

**Abstract:** This paper mainly presents a bitstream readback-based test method for embedded BRAM in Virtex II, which based on the independent research of FPGA test platform. The test system can configure the FPGA, apply test vectors, receive the response and diagnosis and locate the faults. The entire system is fully automated, no need of human intervention. The advantage of this system is easy to implement and has not much requirements in hardware. Based on the test system, this paper proposes a method of boundary scan and readback for the embedded BRAM in Virtex II. This method firstly uses the readback method into the FPGA testing, which open a new filed in FPGA testing, therefore it has great significance.

**Key words:** boundary scan; bitstream readback; memory; testing system

## 1 引言

FPGA(Field Programmable Gate Array)自 80 年代面市以来,在通信、医疗、生活家电、航空航天、国防科技等领域扮演着越来越重要的角色<sup>[1]</sup>. 由于 FPGA 的快速发展,规模越来越大,对于嵌入式存储器的存储量和存储速度的要求也越来越高,因此,芯片中嵌入的存储器的存储容量越来越大,成为 IC 领域中一个重要组成部分. 而随着规模越来越大,集成的 IP 核的种类和数量也越来越多, FPGA 的测试难

度也越来越大. 这导致了 FPGA 的测试费用在总成本中占的比重越来越大,测试时间也占据了整个芯片开发总时间的绝大部分. 因此研究 FPGA 内部的逻辑资源和嵌入式 IP 核的测试方法,也就显得越来越重要与必要.

## 2 Virtex II 系列 FPGA 的 Block RAM 的简介

Virtex II 系列 FPGA 中含有大量的存储单元以满足用户的存储需要. 每个 CLB 中的 LUT 都可被配置成 RAM,被用于存储数据,这些 RAM 广泛

的分布于 FPGA 中,除了这些大量分散式的 RAM 之外,FPGA 内部还含有许多 Block RAM,可以被用户用于大数据的存储. Block RAM 在 FPGA 中按列分布,一块 FPGA 具体包含的 Block RAM 数目与 FPGA 的规模有关,FPGA 的规模越大包含的 Block RAM 越多.

Virtex II 系列的 FPGA 中的每个 Block RAM 都含有 18K 的存储量,含有 A、B 两个完全独立的端口,每个端口可选用不同的时钟. Block RAM 的整个结构是对称的通用的,结构框图如图 1 所示.

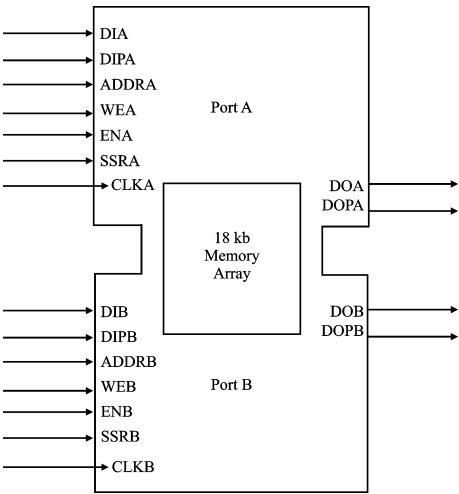


图 1 Block RAM 的原理框图

每个 Block RAM 的两个端口都可进行读写操作,其中一个读操作需要一个时钟周期,当读地址被读端口采样之后,相应的存储单元中的存储数据就会被下载到输出锁存器中. Block RAM 对于每一个端口都支持三种不同的写操作模式,这三种操作模式分别为 WRITE\_FIRST 模式、READ\_FIRST 模式和 NO\_CHANGE 模式<sup>[2]</sup>.

Block RAM 支持同时通过两个端口对同一地址空间进行操作,当一端口执行写操作时,另一端口在它的同步时钟的建立时间内不能对同一地址空间进行读或写操作. 当两个端口配置成不同的数据宽度时,如果发生异步操作的冲突,那么两个端口重叠的数据部分无效. 值得注意的是冲突虽然不会造成芯片的物理损害,但是会造成读或写操作失败,得不到相应的正确值.

3 基于边界扫描和位流回读的 Virtex II 内嵌 BRAM 的测试方法

3.1 基于边界扫描和位流回读的 FPGA 测试系统  
整个测试系统的框架图如图 2 所示,软件部分

主要包括:边界扫描主控程序模块,位流解析模块,故障诊断与定位模块,还有商用的 EDA(Electronic Design Automation)仿真调试软件和 FPGA 配置软件. 配置软件用于对待测 FPGA 进行配置. 边界扫描主控程序模块主要用于实现对待测 FPGA 进行激励加载和回读位流的测试函数. 仿真调试软件用于测试向量的编写,如果有需要的话也可将响应值通过波形显示出来. 位流解析模块负责把响应值位从回读的位流中提取出来,并保存到位流解析文件中. 故障诊断与定位模块则实现对故障的诊断与定位功能. 测试的向量和回读的位流都是以文件的形式保存的,这样既方便编写复杂的测试向量,又方便我们对回收的响应值进行提取和处理.

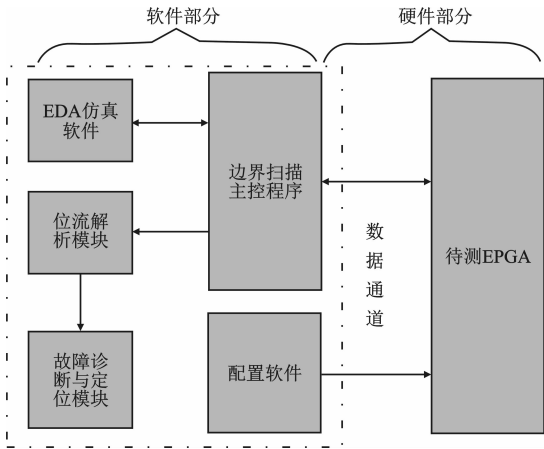


图 2 基于边界扫描和位流回读的 FPFA 测试系统结构框图

实验时采用 USB-JTAG 电缆线来充当对待测 FPGA 进行配置、激励加载和回读位流的数据通道, USB-JTAG 电缆线一端连在 PC 机的 USB 接口,一端连在 FPGA 外部的 JTAG 接口,需要强调的是对待测 FPGA 进行配置时是通过边界扫描模式进行配置的,同时也是通过 JTAG 接口对 FPGA 进行激励加载和实现位流回读的,而对 FPGA 的配置和施加激励是在测试的不同阶段,并没有操作上的冲突,因此整个平台的数据交互通道只需一个通道即可.

3.2 基于 March LR 算法的 Block RAM 的测试方法

传统的测试存储器的算法有 1-0、跳步 (Galpat)、棋盘格 (Checkboard)、对角线 (Disgonal)、走步 (Walking 1/0)、蝴蝶 (Butterfly) 等测试算法. 传统的测试算法具有测试向量简单而测试的故障覆盖率比较低或者故障覆盖率虽然比较高但是测试向量极其复杂等缺点. March 算法则是现代存储器测试中最常用的测试算法,该算法具有较高测试故障覆

盖率以及相对较低的测试向量复杂度. 该测试算法也比较灵活, 能够测试多种故障, 针对性也比较强, 针对不同的要测的故障模型, 产生了针对测试不同故障的基于 March 算法的改进算法, 如 MATS、MATS+、March C、March C-、March C+ 和 March LR 等算法.

March LR 算法不仅能够检测出经典的粘结故障、桥接故障还可以检出部分敏感故障、字内耦合故障<sup>[3]</sup>. March LR 的具体算法由式(1)给出, 此算法的复杂度为  $O(14N)$ ,  $N$  为内存位数.

$$\begin{aligned} \text{March LR} = \{ & \downarrow (w0); \downarrow (r0, w1); \uparrow (r1, w0, \\ & w1) \uparrow (r1, w0); \\ & \uparrow (r0, w1, r1, w0); \\ & \uparrow (r0) \end{aligned} \quad (1)$$

对于面向字存储的存储单元, 例如 Virtex II 系列 FPGA 中的 Block RAM 的存储位宽可以配置成 1 位、2 位、4 位、9 位、18 位、36 位等. 在测试时如果对面向字的存储单元进行逐位的测试, 测试复杂度, 测试时间长. 因此, 可以采取字测试方法. 所谓字测试就是将位宽为长度的数据时序背景作为测试向量, 用于激活耦合故障的发生<sup>[4]</sup>. 数据时序背景的数目可以由式(2)得到, 其中  $K$  为存储的字的位宽.

$$N_{\text{BDS}} = \lceil \log_2 K \rceil + 1 \quad (2)$$

如具有 4 位位宽的数据时序背景的 March LR 算法具体为式(3)所示.

$$\begin{aligned} \text{March LR}_{\text{BDS}} = \{ & \downarrow (w0000); \downarrow (r0000, w1111); \\ & \uparrow (r1111, w0000, r0000, w1111); \\ & \uparrow (r1111, w0000); \\ & \uparrow (r0000, w1111, r1111, w0000); \\ & \uparrow (r0000, w0101, w1010, r1010); \\ & \downarrow (r1010, w0101, r0101); \\ & \uparrow (r0101, w0011, w1100, r1100); \\ & \downarrow (r1100, w0011, r0011); \\ & \uparrow (r0011) \} \end{aligned} \quad (3)$$

对于双端口 RAM 的测试, 采用业界常用的经典测试算法: s2pf/d2pf 算法, 之所以采用 s2pf/d2pf 算法是因为 s2pf/d2pf 算法能够检测出双端口所有的单地址和双地址故障. s2pf 算法的复杂度为  $O(14N)$ , d2pf 算法的复杂度为  $O(9N)$ . 具体的 s2pf/d2pf 测试 March 序列如式(4)和(5)<sup>[5]</sup>.

$$\begin{aligned} \text{March s2pf} = \{ & \downarrow (w0n); \\ & \uparrow (r0; r0, r0: -, w1; r0); \\ & \uparrow (r1; r1, r1: -, w0; r1); \end{aligned}$$

$$\begin{aligned} & \downarrow (r0; r0, r0: -, w1; r0); \\ & \downarrow (r1; r1, r1: -, w0; r1); \\ & \downarrow (r0: -) \} \end{aligned} \quad (4)$$

$$\begin{aligned} \text{March d2pf} = \{ & \downarrow (w0; n); \\ & \uparrow_{c=0}^{C-1} \uparrow_{r=0}^{R-1} (w1_{r,c}; r0_{r+1,c}, \\ & r1_{r,c}; w1_{r+1,c}, w0_{r,c}; r1_{r+1,c}, \\ & r0_{r,c+1}; w0_{r+1,c})) \\ & \uparrow_{c=0}^{C-1} \uparrow_{r=0}^{R-1} (w1_{r,c}; r0_{r,c+1}, \\ & r1_{r,c}; w1_{r+1,c+1}, w0_{r,c}; r1_{r,c+1}, \\ & r0_{r,c+1}; w0_{r,c+1})) \} \end{aligned} \quad (5)$$

### 3.3 Virtex II 内嵌 BRAM 的具体测试

根据上述测试方案, 利用 XDL 文件, 对 FPGA 进行手动的布局布线, 生成 Block RAM 的测试配置图形, 然后再将 XDL 文件转化为 NCD 文件, 再转换成 FPGA 的配置位流文件. 其中 Block RAM 的一次测试配置图形在 FPGA Editor 中的布图结果如图 3(a)和(b)所示, 图 3(a)显示的为 Block RAM 的外围布线电路, 由于通过位流回读来获得测试响应, 因此 Block RAM 的输出需要连接到临近的 CLB 中的触发器上, CLB 中触发器的连接情况如图 3(b)所示.

Block RAM 的测试一共需要 8 次配置, 将这 8 次测试配置的位流文件下载到 FPGA 中, 执行测试向量, 得到最后的测试报告如图 4 所示. 为了模拟 Block RAM 真实测试情况, 在 8 次测试配置中的一次测试配置里, 人为注入了故障. 从产生的测试报告里, 可以看出, 在测试时确实检测到了注入的故障如图 4(a)所示, 并且进一步对输出的故障进行了定位, 图 4(b)显示, 输出的故障的位置在编号为 X91Y1 的 Slice 处.

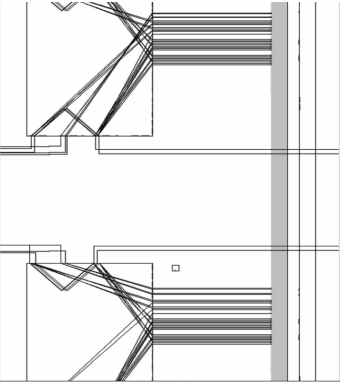
## 4 结束语

本文对 Virtex II 系列的嵌入式 IP 核 Block RAM 结构和工作原理进行了深入的研究, 在基于边界扫描和位流回读的 FPGA 测试系统的基础上, 提出了基于位流回读的 Block RAM 测试方法.

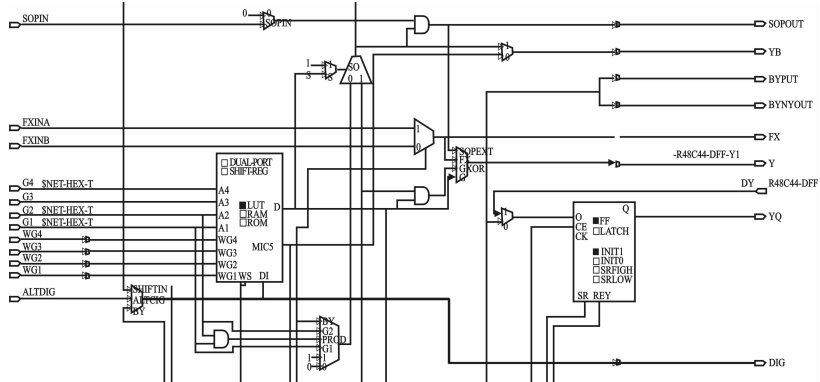
该测试方法和测试系统通过有机的结合能够用于实际的 FPGA 测试. 相比于其他的测试方法, 基于位流回读的测试算法具有无可比拟的优势. 和传统的测试方法相比, 它能够解决 FPGA 中 IO 数目不足的问题, 降低了测试算法的复杂度和手动布线的难度, 同时又大大提高了 FPGA 内部的可观测性, 提高了故障定位的精度. 和 BIST 的测试方法相比, 它不需要构

建复杂的 TPG 和 ORA 电路,减少了总的测试配置次数,提高了测试算法的通用性. 这种基于位流回读的

BlockRAM 测试方法具有精度高,成本低廉等优点,对 FPGA 的测试具有重要意义.



(a)BRAM 的外围布线电路示意图

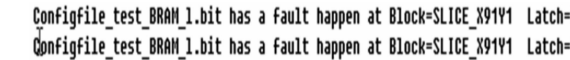


(b)CLB 中触发器的连接情况

图 3 BlockRAM 的配置图形



(a)故障注入法测试 BRAM 的报告



(b)出错 BRANV 的故障定位

图 4 Block RAM 的测试报告

参考文献:

[1] 周涛. SRAM 型 FPGA 的测试技术研究[D]. 成都:电子科技大学,2006:1-4.

[2] 李智韬,冯建华,罗宏伟. 采用重配置技术压缩 FPGA 内 BRAM 的测试时间[C]//中国测试学术会议. 安徽,合肥,2010.

[3] Said Hamdioui. Testing static random access memories [M]. Berlin:Kluwer Academic Publishers, 2004.

[4] Ad J Van de Goor, Tlili I B S. March tests for word oriented memories[C]//Design, Automation and Test in Europe. France,Paris, 1998: 501-508.

[5] Said Hamdioui. Testing static random access memories [M]. Berlin:Kluwer Academic Publishers, 2004.

作者简介:

阎 哲 男,(1989-),硕士研究生. 研究方向为 FPGA 测试. E-mail:1207810927@qq. com.

张 洪 男,(1989-),硕士研究生. 研究方向为 FPGA 位流解析.

介百瑞 男,(1988-),硕士研究生. 研究方向为 FPGA 测试系统.

阮爱武 女,(1967-),博士,教授. 研究方向为 SOC 的验证、FPGA 和 SOPC 设计.