

应用于全数字锁相环的高性能数控振荡器设计

罗 宁, 陈原聪, 赵 野

(中国科学院 微电子研究所, 北京 100029)

摘 要: 全数字锁相环(ADPLL)是现代通信系统和计算机接口电路中的关键部件. 数控振荡器(DCO)是 ADPLL 的核心模块电路, 决定了 ADPLL 的整体性能. 对比提出了一种基于标准单元技术的数控振荡器, 采用粗调级与精调级级联的结构. 该结构中的阶梯型粗调级, 能够展宽频率调节范围、降低功耗; 精调级采用插值电路, 能够将粗调单元的延时步长细化, 从而得到更高精度的输出时钟. 基于 Tower Jazz 0.18 μm CMOS 工艺, 对该数控振荡器进行了仿真验证, 显示该电路能够工作在不同的工艺角、温度下, 输出 200 MHz 的时钟信号, 频率分辨率为 10 ps, 功耗为 1.2 mW, 而且线性度高. 该数控振荡器完全基于标准单元设计, 通过数字流程实现, 具有更高的可移植性, 缩短了设计周期.

关键词: 全数字锁相环; 数控振荡器; 级联结构; 阶梯型粗调级; 插值电路

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2015)12-0059-04

Design of High Performance Digitally Controlled Oscillator for All-Digital Phase-Locked-Loop Application

LUO Ning, CHEN Yuan-cong, ZHAO Ye

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: ADPLL is the key component of modern communication system and computer interface circuits, and is applied in a large variety of situations. DCO is the most fundamental module in ADPLL, and influences the overall performance of it. A standard cell based DCO is proposed in this paper, in which the cascaded structure is used. The ladder shaped coarse-tuning stage can widen the operating range and save power consumption. Interpolation Circuits are adopted in the fine-tuning stage, and further improve frequency resolution to achieve a more accurate output clock. Simulation and verification are done about the DCO based on Tower Jazz 0.18 μm CMOS process. The results show that the DCO can operate under different corners and temperature, output clock signal of 200MHz with the frequency resolution of 10ps, and consume power up to 1.2 mw with high linearity and monotony. Moreover, the DCO can be totally designed by standard cells and implemented by digital flow, so has more portability and shorter turn-around time.

Key words: ADPLL; DCO; cascaded structure; ladder-shaped coarse-tuning stage; interpolation circuits

1 引言

锁相环(Phase-Locked-Loop, PLL)是现代通信系统和计算机接口电路的重要组成部分, PLL 性能优劣很大程度上影响着整个系统性能品质. 传统锁相环的设计实现都是基于模拟流程, 其中最常用的是电荷泵锁相环(Charge-Pump PLL, CPPLL),

由鉴频/鉴相器(Phase Frequency Detector, PFD)、电荷泵(Charge Pump, CP)、低通环路滤波器(Loop Filter, LF)和压控振荡器(Voltage Controlled Oscillator, VCO)等核心模块组成, 基本结构如图 1 所示. 其中, CP 根据 PFD 输出的相位误差信号的脉宽和极性, 向 LF 中注入或从中抽取电荷; LF 将电流转换成控制电压, 调制 VCO 的振荡频率. PLL 是一

个闭环系统,通过不断的负反馈调节,最终达到稳定的振荡频率。

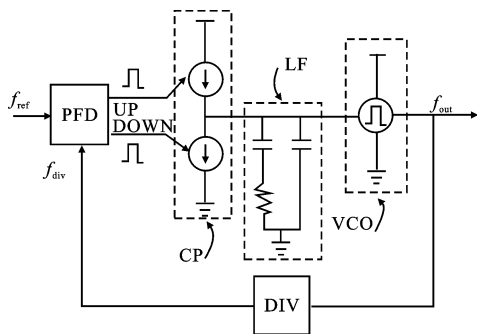


图1 传统的电荷泵锁相环的结构

CPPLL 的输出时钟信号相位噪声小是其突出优点,但同时也不可避免地伴随着模拟电路固有的缺点,比如:①在数字信号处理器 DSP 或微处理器 MCU 中,PLL 通常工作在非常嘈杂的环境中,CP 会受到通过电源和衬底耦合的数字信号转换噪声的干扰,从而影响其稳定性;②CPPLL 对工艺很敏感,可移植性差,对于不同的工艺,模拟电路必须重新设计,从而延长了设计周期,推迟了产品面世时间;③随着特征尺寸的不断缩小,漏电问题进一步恶化,高性能 CP 及 VCO 的设计变得愈发困难;④CPPLL 中的低通 LF,需要使用电阻、电容等无源元件,不但占用大量面积、增加成本,而且不便于片上集成。鉴于传统锁相环的以上缺点,全数字锁相环(All-Digital PLL, ADPLL)逐渐成为研究的热点。

2 全数字锁相环的基本原理

ADPLL 克服了 CPPLL 的缺点,具有以下优点:①对电源电压波动不敏感,受噪声影响小;②可以通过数字流程实现,可移植性高;③不需要无源元件,易于与数字基带集成。ADPLL 的结构和工作原理与 CPPLL 非常类似,只不过从模拟域映射到了数字域,如图 2 所示^[1]。时数转换器(Time-to-Digital Converter, TDC)将 PFD 输出的模拟相位误差进行量化,数字化的相位误差被传递到数字环路滤波器(Digital Loop Filter, DLF)进行处理,得到的频率控制字(Frequency Control Word, FCW)对数控振荡器(Digitally Controlled Oscillator, DCO)的输出频率进行控制。DLF 的作用是建立 ADPLL 环路的动态特性,同时,噪声和信号的高频分量也会被该低通滤波器所抑制。DCO 的输出经过分频器分频后反馈给 PFD,完成一次环路过程。

DCO 是 ADPLL 中最重要的组成部分。DCO 的

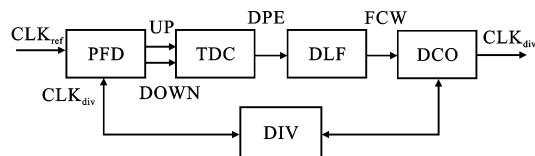


图2 全数字锁相环的结构框图

设计目标一般是:①更宽的频率调节范围,以展宽 ADPLL 的工作范围;②更高的频率分辨率,DCO 精度越高,输出时钟的抖动抖动越小;③频率控制曲线具有良好的线性和单调性,使锁相环路更稳定,不易出现失锁;④更低的功耗。因为 DCO 是 ADPLL 中工作频率最高的模块,DCO 功耗占 ADPLL 整体功耗的比例在 50% 以上。在 DCO 的实现方式中,单端环形振荡器(Single-Ended Ring Oscillator)以其结构简单,易于实现,功耗低,便于与标准 CMOS 工艺集成的特点,广泛应用于 ADPLL 的设计中^[2]。

本文提出了一种完全基于标准单元的宽频率调节范围、高频率分辨率、线性、单调 DCO。该 DCO 使用粗调和精调相级联的结构,其中粗调级延迟单元延迟较大,展宽了频率调节范围,降低了功耗,具有良好的线性度;精调级采用两级插值电路,将粗调级延迟步长细化,进一步提高了精度,同时保证了振荡频率随数控码单调变化。

3 DCO 结构

图 3 阐述了本文提出的 DCO 结构。该 DCO 采用了级联结构,主要包括三级,分别为粗调级(Coarse-Tuning Stage)、第一级精调(1st Fine-Tuning Stage)和第二级精调(2nd Fine-Tuning Stage)以及各级的译码电路^[3]。粗调级和精调级相互配合,兼顾了 DCO 的工作范围和频率分辨率,同时满足了对 DCO 线性度和单调性的要求。此外,该 DCO 完全基于数字标准单元库中的标准单元设计并实现,具有良好的可移植性。

3.1 粗调级的结构和工作原理

传统的粗调级采用路径选择结构(Path Selection Structure),如图 4 所示。多路选择器(MUX)由三态缓冲器组成,根据不同的数控码,选择不同延迟的路径接入振荡环路,输出不同频率的时钟信号。然而,随着延时链路长度的增加,MUX 中三态缓冲器增多,MUX 负载电容增大,导致 DCO 最大工作频率下降以及功耗增大。本文采用的阶梯型粗调级(Ladder-Shaped Coarse-Tuning Stage)能够在不牺

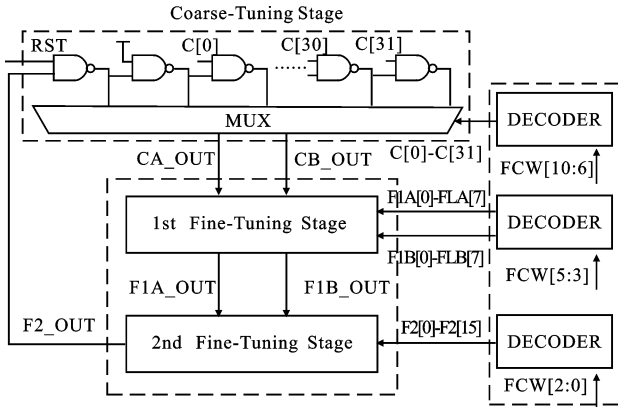


图3 数控振荡器整体结构框图

性最大工作频率和功耗的同时,增加延时链路的长度,结构如图5所示.阶梯型粗调级由32个粗调延时单元(Coarse-Tuning Delay Cell, CDC)组成,其中每个CDC包含一个两输入与非门和一个反相输出的MUX.

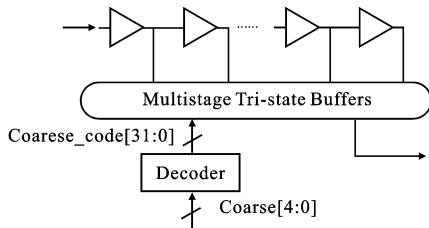


图4 采用路径选择结构的粗调级

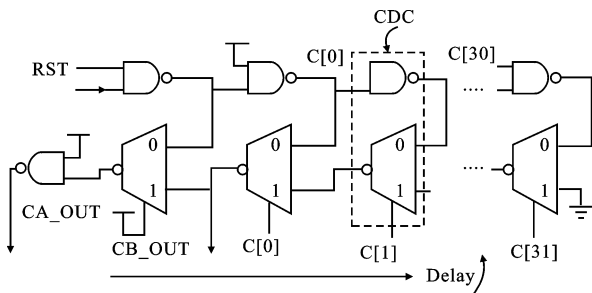


图5 采用阶梯型结构的粗调级

粗调控制码 $C[30:0]$ 采用温度计码编码,由FCW译码得到,对应选择相应的延时路径,粗调级的调节步长为一个CDC的延时,即一个两输入与非门和一个反相输出MUX的延时之和.该步长值较大,因此能够通过使用较少的延时单元,获得较宽的工作范围.粗调级的最小延时,只有两个与非门和一个MUX的延时之和,对应于最高工作频率.当DCO需要输出更低的工作频率时,粗调级相应选择更长的延时路径,对环路延时没有贡献的CDC,通过两输入与非门的另一个控制端将其禁用,减小了

冗余延时单元的动态功耗.

3.2 第一级精调的结构和工作原理

针对绝大多数DCO的应用场合,粗调级的精度是远远不够的,所以引入了两级精调来进一步改善DCO的频率分辨率^[4].精调级的设计难度体现在如何提高DCO频率分辨率的同时,使环路延时能够随FCW单调变化.为了保证级联结构的单调性,每一级的调节范围应该和上一级的延迟步长相匹配.

本文提出的DCO采用多级插值电路作为第一级精调,结构如图6所示.每组共8个Tri-state Buffer的输入端相连,分别接粗调级的两个输出CA_OUT和CB_OUT;两组Tri-state Buffer的输出端相连,形成一个插值单元,由互补的控制码 $F1A[7:0]$ 和 $\overline{F1A[7:0]}$ 分别控制各个Tri-state Buffer的打开与关断.假设输入为CA_OUT的Buffer组,相比输入为CB_OUT的,打开的个数更多,则经过插值后的输出F1A_OUT更接近于CA_OUT;反之,则更接近于CB_OUT.另外一个插值单元则由 $F1B[7:0]$ 和 $\overline{F1B[7:0]}$ 控制.第一级精调与粗调类似,有两个输出F1A_OUT和F1B_OUT,两者的时间差为第一级精调的调节步长,供第二级精调进一步插值.表1列出了四组控制码的不同组合所对应的F1A_OUT和F1B_OUT的时序关系.

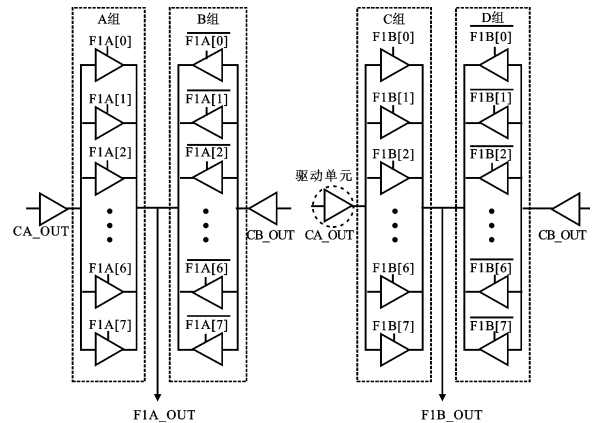


图6 采用插值结构的第一级精调

3.3 第二级精调的结构和工作原理

2nd Fine-Tuning Stage的结构与1st Fine-Tuning Stage完全类似,如图7所示.由互补的控制码 $F2[7:0]$ 和 $\overline{F2[7:0]}$ 控制一组插值单元,Buffer内部的数字代表受该信号控制的并联Tri-state Buffer的数目.2nd Fine-Tuning Stage的引入,不但能进一步提高DCO的频率分辨率,而且相比于单级插值结构,达到相同的精度使用的延时单元更少,减小了面积、降低了功耗.

表 1 第一级精调的时序关系

A 组打开的 三态缓冲 器个数	B 组打开的 三态缓冲 器个数	C 组打开的 三态缓冲 器个数	D 组打开的 三态缓冲 器个数	FIA_OUT 时序	FIB_OUT 时序
1	7	0	8	TCB+S	TCB
2	6	1	7	TCB+2S	TCB+S
3	5	2	6	TCB+3S	TCB+2S
4	4	3	5	TCB+4S	TCB+3S
5	3	4	4	TCB+5S	TCB+4S
6	2	5	3	TCB+6S	TCB+5S
7	1	6	2	TCB+7S	TCB+6S
8	0	7	1	TCA	TCB+7S

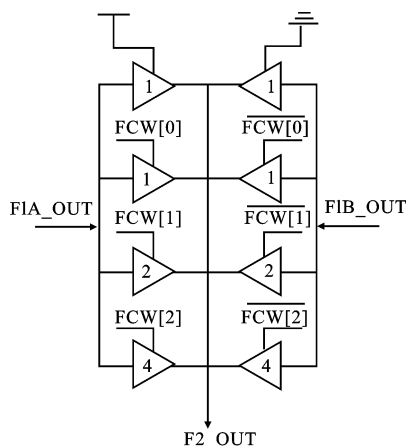


图 7 第二级精调结构

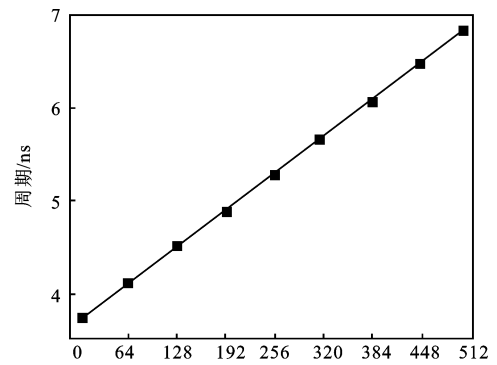
4 仿真结果

本文提出的 DCO 结构,仿真和验证都基于 Tower Jazz 0.18 μm CMOS 工艺,分别使用 Hspice 和 Virtuoso 进行晶体管级、电路级仿真。

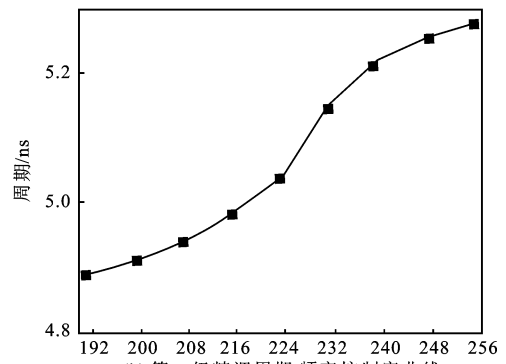
在工艺角为 TT,温度 25°C ,电源电压 1.8 V 的典型情况下,当 DCO 振荡频率在 200 MHz 附近时,Coarse-Tuning Stage, 1st Fine-Tuning Stage, 2nd Fine-Tuning Stage 的延时随 FCW 的变化情况,如图 8(a)~(c)所示。从图 8 能够清晰地看出,粗调级中 CDC 的延迟较大,约为 391 ps,但具有出色的线性度;第一级精调和第二级精调的调节步长分别缩短到大约 64 ps 和 10 ps,提高频率分辨率的同时保证了周期-频率控制字曲线的单调性。

5 结束语

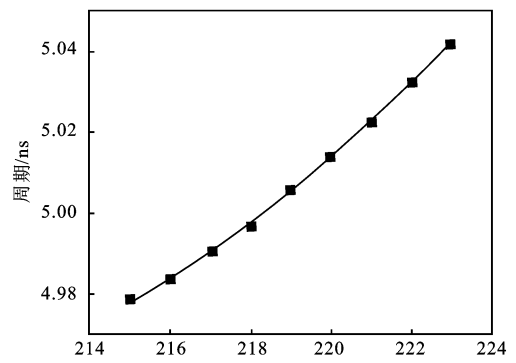
本文提出了一种应用于 ADPLL 的高性能 DCO,该 DCO 完全基于标准单元设计,具有良好的可移植性,方便使用数字流程实现。该 DCO 具有宽



(a) 粗调级周期-频率控制字曲线



(b) 第一级精调周期-频率控制字曲线



(c) 第二级精调周期-频率控制字曲线

图 8 不同周期 频率控制字曲线

的频率调节范围,通过阶梯型粗调级和两级插值电路相级联,将 DCO 的频率分辨率提高到 10 ps 以内,同时具有良好的线性和单调性,利于锁相环的锁定和保持稳定。当 DCO 工作在 200 MHz 时,整体功耗为 1.2 mW,满足 SoC 的应用需求。

参考文献:

- [1] 汪诚,徐菊明,曾红军,等.一种高速输出低抖动的全数字锁相环[J]. 微电子学与计算机, 2008, 25(12): 25-28.
- [2] 陈鑫,黄辉,吴宁,增益恒定的数控振荡器设计[J]. 电子科技大学学报, 2012, 41(5): 712-716.

(下转第 67 页)

表 3 三种算法聚类准确率

数据集	分类准确率/%		
	传统 K	层次 K	HMKC
Iris	90.47	91.14	94.61
Pendigits	83.72	85.76	87.44
Wine	91.47	92.78	93.48
Heart-statlog	71.48	82.54	84.76

表 2、表 3 所示为四组数据分别在三种算法下达到最优聚类个数时统计的实验数据和聚类准确率。聚类的最佳效果是有较小的簇内距离以及较大的簇间距离,并且拥有较高的分类准确率。通过表 2 中的数据可以看出, HMKC 算法相对其他 2 个算法能够获得较小的簇内距离和较大的簇间距离。而表 3 中的数据显示 HMKC 算法对四组数据集的聚类准确率都有所提升。通过上述实验结果表明, HMKC 算法在运用微聚类和重新构造的准则函数的情况下聚类效果有明显的改进。

5 结束语

本文针对传统 K-means 算法存在的聚类个数不明确, 准则函数不能找到最优 K 的问题, 结合层次结构, 提出了一种基于层次微聚类的 K-means 聚类算法(HMKC), 并根据本算法的思想重新设计了准则函数。根据微聚类思想不断动态更新聚类中心点与聚类个数, 并结合新的准则函数提高了聚类的精度, 此外, 还能自动地得到最佳或者接近最佳的聚类个数。下一步工作中, 将进一步研究和探索该方

法, 使其能应用到高维空间的实际问题中, 如图像处理、网络节点分类等。

参考文献:

- [1] 罗军锋, 锁志海. 一种基于密度的 k-means 聚类算法[J]. 微电子学与计算机, 2014, 31(10): 28-31.
- [2] 孙吉贵, 刘杰, 赵连宇. 聚类算法研究[J]. 软件学报, 2008, 19(1): 48-61.
- [3] 余庆鑫. 一种基于层次聚类的遗传 K 均值算法研究[D]. 南京: 中山大学, 2009.
- [4] 曾志雄. 一种有效的基于划分和层次的混合聚类算法[J]. 计算机应用, 2007, 27(7): 1692-1694.
- [5] 胡伟. 改进的层次 K 均值聚类算法[J]. 计算机工程与应用, 2013, 49(2): 157-159.
- [6] Clausi D A. K-means iterative fisher (KIF) unsupervised clustering algorithm applied to image texture segmentation[J]. Pattern Recognition, 2002, 35(9): 1959-1972.
- [7] 杨善林, 李永森, 胡笑旋, 等. K-means 算法中的 K 值优化问题研究[J]. 系统工程理论与实践, 2006, 26(2): 97-101.

作者简介:

王吉源 男, (1985-), 硕士, 讲师. 研究方向为计算机仿真、数字图像处理及空间数据传输。

孟祥茂(通讯作者) 男, (1989-), 硕士研究生. 研究方向为复杂网络. E-mail: mxmanhui@163.com.

廖列法 男, (1975-), 教授. 研究方向为社会网络演化。

(上接第 62 页)

- [3] Duo Sheng, Chung Chingche, Lee Chenyi. An all digital spread spectrum clock generator with programmable spread ratio for SoC applications[C]//Proc. IEEE Asia Pacific Conf. Circuits Syst. Taiwan, Yilan, 2008: 850-853.
- [4] Duo Sheng, Chung Chingche, Lee Chenyi. An ultra-low-power and portable digitally controlled oscillator for SoC applications[J]. IEEE Trans. Circuits Syst. II, Exp. Briefs, 2007, 54(11): 954-958.

作者简介:

罗宁 男, (1989-), 硕士研究生. 研究方向为全数字锁相环、数字集成电路物理设计. E-mail: luoning@ime.ac.cn.

陈原聪 男, (1990-), 硕士研究生. 研究方向为全数字锁相环、全数字时钟数据恢复电路。

赵野 男, (1977-), 副研究员, 硕士生导师. 研究方向为汽车电子 SoC 芯片的设计。