

应用于 4G 的两级 BiCMOS 射频功率放大器设计

王 巍, 蔡文琪, 莫 啸, 胡 凤, 王明耀, 杨正琳, 袁 军

(重庆邮电大学 光电工程学院, 重庆 400065)

摘 要: 设计一个基于 SiGe BiCMOS 工艺的共源共栅结构的两级功率放大器, 第一级采用差分共源放大器, 将输入匹配送来的信号进行预放大, 同时抑制噪声. 第二级主功放采用 BiFET 共源共栅结构, 以提高线性度. 基于 JAZZ 0.18 μm SiGe BiCMOS 工艺库, 采用 Cadence Spectre RF 对功率放大器进行仿真. 实验结果表明, 在 3.3 V 电源电压下, 最高功率增益达到 32 dB, 输出 1 dB 压缩点处功率为 29 dBm, 有较好地线性度, 在 2.3~2.7 GHz 频段内 S11 和 S22 均小于 -10 dB, 匹配良好. 最大功率附加效率为 22.1%, 可用于 WIMAX 无线通信的 2.3~2.7 GHz 频段.

关键词: 射频功率放大器; SiGe; BiFET

中图分类号: TN722.75

文献标识码: A

文章编号: 1000-7180(2016)01-0056-04

Design of Tow Stage SiGe BiCMOS RF Power Amplifier for 4G Applications

WANG Wei, CAI Wen-qi, MO Xiao, HU Feng, WANG Ming-yao,
YANG Zheng-lin, YUAN Jun

(College of Electronics Engineering, Chongqing University of Posts and Telecommunications,
Chongqing 400065, China)

Abstract: A 2-stage cascode structure power amplifier(PA) with SiGe BiCMOS technology is proposed. The first stage is a differential common-source amplifier, which is used to amplify the signal from the input matching, meanwhile, it can suppress noise. And the second stage is a BiFET cascode amplifier which is used as main power amplifier to improve the linearity. The proposed PA is designed with Jazz's 0.18 μm SiGe BiCMOS technology, The simulation results with Spectre RF show that the PA achieved a Gain of 32 dB, a P1dB of 29 dBm. Within the operating frequency rage of 2.3~2.7 GHz, the PA has an S11 and S22 below -10 dB, and the peak PAE is 22.1%.

Key words: RF PA; SiGe; BiFET

1 引言

现代 3G/4G/WLAN 通信协议采用了具有高峰均功率比(PAPRs)的对频谱利用率高的调制方案, 以获得高数据传输速率, 且能抵御多径衰减的影响. 这些非恒定的包络调制标准导致了射频收发系统的线性度更高的要求. 功率放大器位于发射系统的末级, 对整个发射系统的影响很大, 所以对功率放大器线性度的提高是很重要的. 提高放大器的线性度, 通常方法是将射频功率放大器在输出功率峰值回退 4~14 dB 来达到严格的线性标准^[1], 然而这

样做, 导致了平均功率附加效率的衰减, 除非运用包络跟踪^[2]等技术, 才能做到良好的线性度, 并有较高的效率. 但是这些附加的线性化技术会使功率放大器电路更加复杂, 成本增高.

采用 CMOS 技术设计射频功率放大器存在着一些技术上的问题, 诸如器件的可靠性, 器件的功率附加效率较低等问题. 而采用 SiGe BiCMOS 技术来设计功率放大器则可以获得更好地频率响应和器件可靠性^[3-4], 并且, 这种射频功率放大器在速度和功率特性等方面可以和 III-V 族化合物半导体技术设计的射频功率放大器相当^[5]. 更为重要的是, 采用

SiGe BiCMOS 技术设计的功率放大器与采用 CMOS 技术设计的功率放大器相比,其集成度更高,功能更完善。

应用于移动终端的射频功率放大器需要具有较高的功率效率,但常会遇到在低输出功率时功率效率很低的问题. 为了得到较高的输出功率,可采用多级放大电路级联电路结构. 本文设计一种两级的全差分功率放大器;第一级采用差分共源放大器,将输入匹赠送来的信号进行预放大,同时抑制噪声;第二级主功放采用共源共栅结构,以提高线性度。

2 射频功率放大器的分析与设计

2.1 射频功率放大器电路结构

本文设计了一个两级全差分功率放大器. 图 1 所示为功率放大器的结构拓扑,整体电路包括两个功率放大电路,输入匹配网络,极间匹配网络和输出匹配网络。

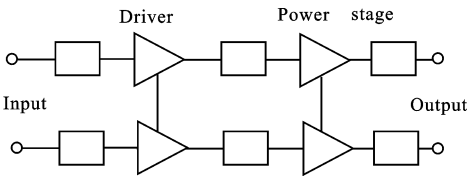


图 1 功率级放大器拓扑结构

第一级功率放大器采用共源差分放大电路,接收通过输入匹配的信号,产生一定的增益. 差分结构的使用有利于滤除高次谐波,降低噪声,为主功放提供失真较小的输入信号^[6]。为了在保证增益的情况下达到更好地线性度,第二级差分的共源共栅放大电路,采用折叠结构,以获得更大的电压输出范围. 功率放大器放大部分电路如图 2 所示,第二级主功放输入管采用双极型晶体管,共源共栅结构。

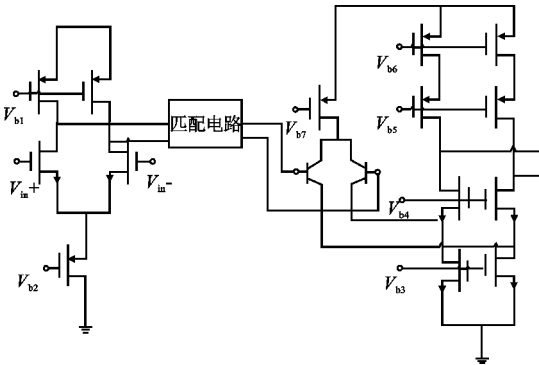
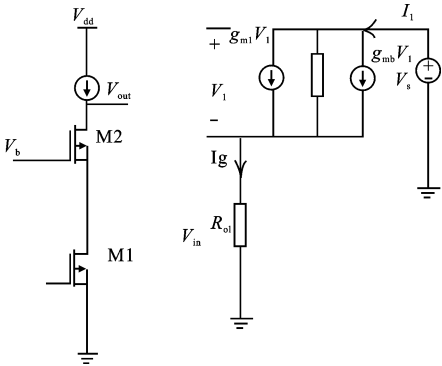


图 2 主要电路原理图

2.2 共源共栅放大器电路分析

传统的 CMOS 晶体管共源共栅放大器如图 3

(a)所示,将 M1 等效为一个电阻 R_{ol} ,以计算输出电阻,得到其小信号等效电路,如图 3(b)所示。



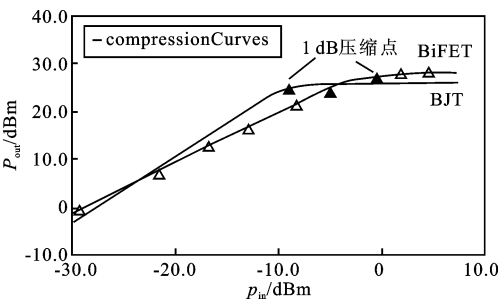


图 5 BJT 共源共栅电路和 BiFET 结构电路 1 dB 压缩点

2.3 匹配电路设计

为了使功率放大器获得最大的输出功率,除了正确的选择电路结构之外,还需要有良好的输入、输出匹配网络,实现天线与放大器输入、输出阻抗的匹配.对于多级功率放大器,级间匹配网络也是极为重要的部分,它存在于两级功率放大器之间,获得最大的传输功率.本文的功率放大电路包含了输入匹配网络,级间匹配网络和输出匹配网络.各匹配网络如图 6 所示.

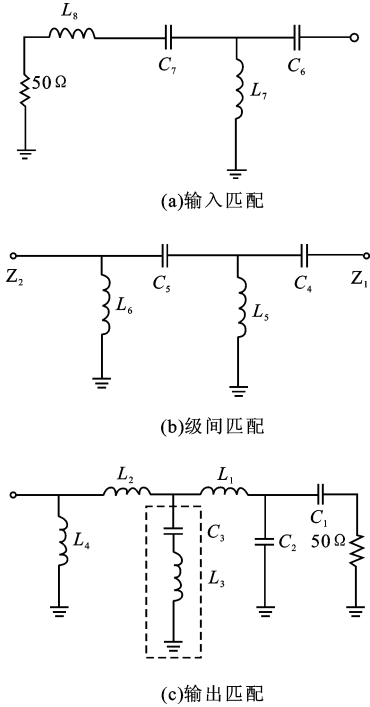


图 6 功率放大器各匹配电路

本文匹配网络的设计分别采用图 6 所示的 3 个电路结构.图 6(a)所示,输入匹配网络是由一个高通滤波网络组成,完成了第一级功率放大器输入阻抗与射频输入源的 50 Ω 阻抗匹配.将电容 C_7 串联在电路前端,不仅完成匹配的一部分,也起到隔直的作用,并联电感 L_7 的使用提高了匹配网络的 Q 值特性.图 6(b)所示为级间匹配电路,级间匹配对功率放大器的增益和线性度都有很大影响.由最大功

率传输定理可知,级间匹配应采用共轭匹配方式,进行第一级的输出阻抗和第二级的输入阻抗间的匹配.本文采用一个 Pi 型匹配网络.输出匹配网络主要考虑减少插入损耗,因此,本文的输出匹配包含了一个 2 级的低通网络,如图 6(c)所示.图中 C_3 和 L_3 所在的并联支路起到了滤去二次谐波的作用,以提高功率放大器的效率.

本文设计的功率放大器放大电路部分和级间匹配电路的版图如图 7 所示.

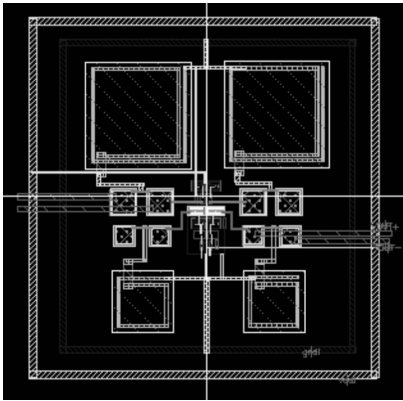


图 7 本文 PA 的电路版图

3 仿真结果分析与讨论

本文设计的功率放大器采用 JAZZ 0.18 μm SiGe BiCMOS 工艺进行设计.在 3.3 V 电源电压下,得到功率放大器的 S 参数、1 dB 压缩点 $P_{1\text{dB}}$ 以及功率附加效率 PAE 的仿真结果.

图 8 所示为 S_{11} 和 S_{22} 参数随频率变化的曲线,可以看出,在 2.3~2.7 GHz 工作频段内, S_{11} 和 S_{22} 均小于 -10 dB,说明本文设计的输入和输出匹配良好.

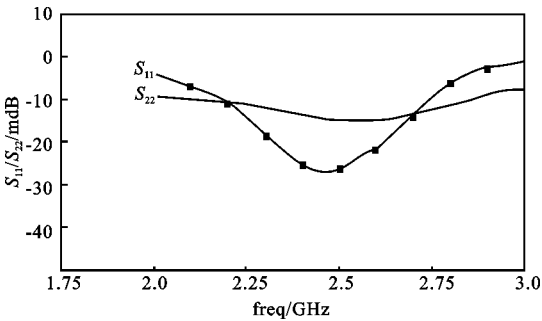


图 8 S_{11} 和 S_{22} 参数仿真结果

图 9 所示为输入-输出功率曲线.在输入 0.55 dBm 处,输出 1 dB 压缩点功率为 29.54 dBm.与文献[8]中用 CMOS 共源共栅结构的放大器相比,线性输出功率高出约 6 dBm,说明功率放大器具有很

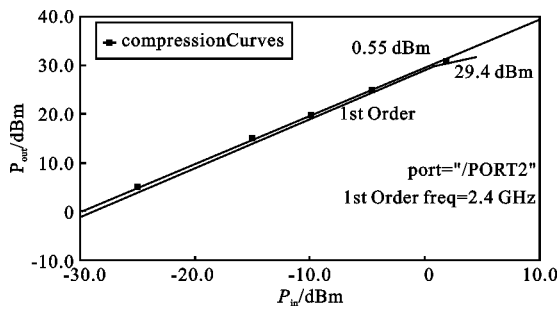


图 9 P_{1dB} 仿真结果

好的线性度,这体现了 Bipolar-MOSFET 相对于传统 MOS 管共源共栅放大器的优势.

图 10 所示为工作频率为 2.4 GHz 时,功率增益随输出功率的变化曲线.从图中可以看出,输出最大功率增益可达到 33 dB,与同样工作在 2.4 GHz 的文献[5]相比较,最大功率增益高出 5 dB,而且射频功率放大器在较大的输入功率范围内具有较高功率增益.

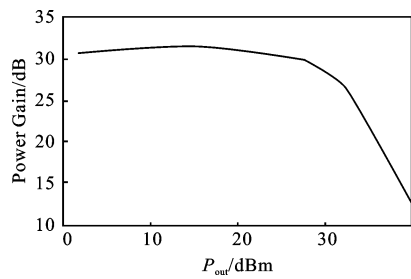


图 10 功率增益

图 11 所示为功率附加效率 PAE 在 2.4 GHz 工作频率时随输入功率变化的曲线. PAE 最大值为 23%,达到本文所列参考文献平均水品,满足应用于 4 G 的功率放大器的 PAE 要求.

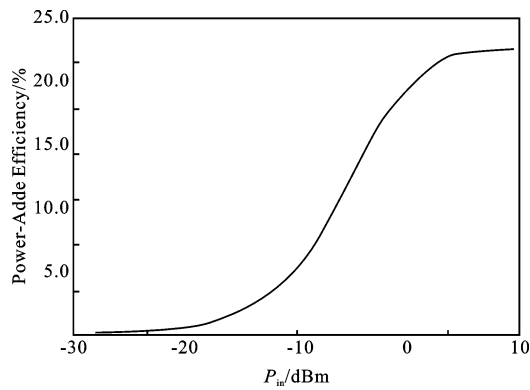


图 11 功率附加效率

表 1 为本文所设计的功率放大器与文献中设计的功率放大电路的性能对比.从表中可以看出,本文所设

计的功率放大器相比于参考文献的设计,线性输出功率比参考文献平均值高出 6dBm,最大功率增益高出 4dB 左右.虽然文献[9]的 PAE 比本文所设计 PA 高出 3%左右,但却是以牺牲线性度为代价的.

表 1 本文所设计的 PA 与近年发表的 PA 性能对比

Ref.	工作频率/ GHz	工艺	线性输出 功率/dBm	功率 增益/dB	PAE/%
This work	2.4	0.18 μm BiCMOS	29.54	33	23
文献[8]	2.4	0.18 μm BiCMOS	23	27.3	21.3
文献[9]	2.4	0.18 μm CMOS	26	30.6	26.7
文献[10]	2.4	0.18 μm CMOS	—	28	21.2
文献[11]	1.85	0.18 μm BiCMOS	20.4	30.5	22

4 结束语

本文基于 JAZZ 0.18 μm SiGe BiCMOS 工艺,设计了一个两级功率放大器,放大器工作在 2.3~2.7 GHz 频段.第一级采用差分共源放大器,将输入匹配送来的信号进行预放大,同时抑制噪声.第二级主功放采用 BiFET 共源共栅结构,以兼顾射频功率放大器的功率增益及线性度.仿真结果表明,在 3.3 V 电源电压下,最高功率增益达到 32 dB,输出 1 dB 压缩点处功率为 29 dBm,有较好的线性度,在 2.3~2.7 GHz 频段内 S_{11} 和 S_{22} 均小于 -10 dB,匹配良好.最大功率附加效率为 22.1%,可用于 WIMAX 无线通信的 2.3~2.7 GHz 频段.

参考文献:

[1] Wu R, Lopez J, Li Y, et al. A SiGe bipolar-MOSFET cascode power amplifier with improved linearity for low-power broadband wireless applications[C]// 2013 IEEE Topical Conference on PAWR, USA, 2013, 12 (1): 22 - 24.

[2] Schwartz W, Yasuda H, Steinmann P, et al. Bicom 3HV-a36Vcomplementary SiGe bipolar-andJFET-technology[C]// 2007 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM'07). Coronado Island, 2007: 42-45

[3] Jung J, Lee G, Song J. A SiGe HBT power amplifier with integrated mode control switches for LTE applications[C]// 2013 IEEE Radio and Wireless Symposium (RWS), Austin, Texas, 2013:238-240.

[4] Lee G, Jung J, Song J. A 26 dBm output power SiGe power amplifier for mobile 16 QAM LTE applications [C] // 2013 IEEE Radio and Wireless Symposium (RWS). Austin, Texas, 2013:232 - 234.

负载均衡减轻服务器压力,有效提升服务请求的吞吐能力.自动化的健康检测设计,实现服务器的高可靠性和稳定性.

当并行服务请求急剧增长的情况下,本系统能够有效降低数据并行访问的失败请求数,并行请求错误率平均降低了 38%左右,并行服务平均速率提升近 4 倍.本系统能够实现整个 ceph 对象存储集群的高可用性.

参考文献:

- [1] 李翔,李青山,魏彬. Ceph 分布式文件系统的究及性能测试[J]. 西安电子科技大学, 2014,29(5):1-15.
- [2] 符永康. 云存储中数据安全关键技术研究及系统实现[D]. 北京:北京邮电大学, 2013.
- [3] 蔡官明. 开放式云存储服务设计平台及移动云盘应用开发[D]. 广州:华南理工大学, 2013
- [4] Weil S A, Brandt S A, Miller E L, et al. Ceph: A scalable, high-performance distributed file system [C]// Proceedings of the 7th Symposium on Operating Systems Design and Implementation, OSDI. USA, Jenntle, 2006:307-320.
- [5] Hsiao H C, Chung H Y, Shen H, et al. Load rebalanc-

ing for distributed file systems in clouds[J]. Parallel and Distributed Systems, IEEE Transactions on, 2013, 24(5):951-962.

- [6] 冷学健. 基于分块式存储负载均衡的设计与实现[D]. 哈尔滨:哈尔滨工程大学, 2012.
- [7] 胡利军. Web 集群服务器的负载均衡和性能优化[D]. 北京:北京邮电大学, 2010
- [8] Wu T, Lee W, Lin Y, et al. Dynamic load balancing mechanism based on cloud storage[C] // Computing, Communications and Applications Conference (Com-ComAp). HongKong, IEEE, 2012:102-106.
- [9] 王芳, 陈亮. 对象存储系统中基于负载均衡的设备选择算法[J]. 华中科技大学学报:自然科学版, 2007,35(10):46-49.

作者简介:

杨 飞 男, (1989-), 硕士研究生. 研究方向为云计算与大数据、计算机系统结构. E-mail: yangfeigogo@sina. com.

朱志祥 男, (1959-), 博士, 教授. 研究方向为信息安全研究.

梁小江 男, (1983-), 软件工程师. 研究方向为云计算与大数据处理.

(上接第 59 页)

- [5] Krishnamurthy V, Hershberger K, Eplett B, et al. SiGe power amplifier ICs for 4G (WIMAX and LTE) mobile and nomadic applications[C]// 2010 IEEE Radio Frequency Integrated Circuits Symposium (RFIC). USA, California, 2010:569 - 572.
- [6] Kang J, Yoon J, Min K, et al. A highly linear and efficient differential CMOS power amplifier with harmonic control[J]. IEEE J. Solid-State Circuits, 2006, 41(6):1314-1322.
- [7] Grebennikov A. RF and microwave power amplifier design[M]. USA: McGraw-Hill professional engineering, 2005.
- [8] 阮颖, 陈磊, 田亮, 等. 基于 0.18 μm SiGe BiCMOS 工艺的高线性射频功率放大器[J]. 微电子学, 2010, 40(4):469-472.
- [9] 胡锦, 陶可欣, 郝明丽, 等. 基于 SiGe 工艺的高增益射频功率放大器[J]. 微电子学与计算机, 2012, 29(2): 18-21.

- [10] François B, Reynaert P. A fully integrated watt-level linear 900-MHz CMOS RF power amplifier for LTE-applications[J]. Microwave Theory and Techniques, IEEE Transactions on, 2012, 60(6): 1878-1885.

- [11] Wu R, Li Y, Lopez J, et al. A monolithic 1.85GHz 2-stage power amplifier with envelope tracking for improved linear power and efficiency[C]// 2012 International Symposium on VLSI Design, Automation, and Test(VLSI-DAT). Taiwan, Hualian, 2012:1 - 4.

作者简介:

王 巍 男, (1967-), 博士, 教授. 研究方向为集成电路设计、半导体器件.

蔡文琪(通讯作者) 女, (1991-), 硕士. 研究方向为微波与射频集成电路. E-mail: 747169109@qq. com.

莫 啸 男, (1990-), 硕士. 研究方向为模拟预设 IC 设计.

胡 凤 女, (1991-), 硕士. 研究方向为射频集成电路.