

Flash 型 FPGA 单粒子瞬态脉冲分段滤除电路设计

史方显, 曾 立, 王 森, 曹建勋, 权妙静

(北京航空航天大学 宇航学院, 北京 100191)

摘 要: 为提高 FPGA 在辐射环境条件下的抗单粒子脉冲 (SET) 的能力, 设计了一种由多个延时单元和并联逻辑保护单元 (Guard Gate, GG) 构成的 SET 脉冲分段滤除电路. 将 SET 脉冲处理延时减小至传统方法的 10.42% ~ 49.8%, 从而提高电路对 SET 脉冲的处理能力, 同时占用的逻辑资源未有明显增加.

关键词: 单粒子瞬态脉冲; 逻辑保护单元; Flash 型 FPGA

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2016)02-0063-05

Segmented Filtering Circuit for SET Pulse in Flash-based FPGAs

SHI Fang-xian, ZENG Li, WANG Miao, CAO Jian-xun, QUAN Miao-jing

(School of Astronautics, Beihang University, Beijing 100191, China)

Abstract: A segmented filtering circuit with delay units and guard gates is proposed to filter SET pulses with different width, considering the range and distribution of SET pulse widths produced in FPGA and the propagation induced pulse broadening. Dividing the widths of SET pulses into several intervals, parallel guard gates with different delay buffers generate corresponding results to different intervals. According to the results, this circuit selects the output in the shortest time, improving the performance on dealing with SET pulses. Simulation results in Fusion family flash-based FPGA indicate that, compared to traditional methods, the segmented filtering circuit can cut the filtering delay of SET pulse in critical path down to 10.42% ~ 49.8%, while power consumption decreasing and no hardware resource increase.

Key words: single event transient; guard gate; flash-based FPGA

1 引言

随着大规模集成电路在高强度辐射空间环境中应用的不断增加及 FPGA 的广泛应用, 单粒子瞬态效应 (Single Event Transient, SET) 日益成为现场可编程门阵列 (FPGA) 在空间应用中所关注的问题. 首先, 集成电路器件进入深亚微米时代, FPGA 的特征尺寸不断减小, 使得节点电容降低, 同时内核电压下降, 节点存储的电荷迅速减少, 导致 SET 发生的可能性增加. 其次, FPGA 内置的 PLL 可使芯片的工作频率达到几百兆赫兹, 单位时间内对组合逻辑的输出端的采集次数迅速增加, 增大了组合逻辑中的

SET 脉冲被触发器捕捉到的可能.

SET 初始脉冲的宽度和幅度受线性能量转移 (Linear Energy Transfer, LET)、器件工艺材料以及辐射角度等多方面因素的影响, 且在传播过程中可能发生展宽或变窄. 130 nm 工艺 Flash 型 FPGA 在 $LET < 43 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 情况下 SET 脉冲宽度小于 3 ns, 超出 3 ~ 4 ns SET 宽度范围此范围 SET 宽度为 3 ~ 4 ns^[1]; 0.25 μm TSMC 工艺下 70 $\text{MeV} \cdot \text{cm}^2/\text{mg}$ 的 LET 可在 NMOS 管的栅极引起 4.3 ns 的 SET, 且 SET 脉冲宽度与 LET 近似成线性关系^[2]; 文献[3]给出了 Actel 公司 ProASIC 系列 FPGA 的 SET 宽度分布, 结果显示 90.55% 的 SET 脉冲宽度在 0 ~ 6.72

收稿日期: 2015-04-04; 修回日期: 2015-05-25

基金项目: 国家自然科学基金 (41274190, 41074130, 41327802)

ns 之间.

由于逻辑门的扇出不同,使得各节点负载电容不相等,根据尾电流 I 、摆率 SR 和节点电容 C_c 之间的关系

$$I = SR \times C_c \quad (1)$$

可知,各节点在电压跳变时摆率不同,导致 SET 维持在高电平的时间宽度不同展宽或变窄. 文献[4]在不同负载和电压跳变情况下仿真了经过 NAND 门的 SET 脉冲变化情况,最大展宽可达 1.2 ns;否定性逻辑门(NAND、INV 和 NOR)在 Flash 型 FPGA 中 20 级联时可将 350 ps 的 SET 脉冲展宽至 5 ns,与门和或门则不会出现这种情况^[5]. 此外,电路上/下拉网络驱动能力的不对称以及浮体效应也可能造成 SET 脉冲宽度的变化^[6].

2 传统的 SET 容错技术

针对 SET 主要有完全硬件冗余(一般为 TMR)、时间冗余^[7]、Guard Gate 和逻辑重构^[8]等技术. 文献[7]提出的 TMR 和时间冗余相结合的设计如图 1 所示,组合逻辑的输出由间隔为 d 的三个时钟信号进行采集,结果由 MAJ 表决后作为 MUX 的输入;时序逻辑进行三模冗余后再由 MAJ 判断,根据判断结果可对 MUX 的输出进行纠错,这种设计在 SET 脉冲宽度不同的情况下引起的相同的延时为

$$t_{pl} = T_{clk} + 2d + t_{FF} + 2t_{MAJ} + t_{MUX} \quad (2)$$

式中, $d > T_{SET,max}$, $T_{SET,max}$ 为 SET 脉冲宽度最大值, t_{FF} , t_{MAJ} 和 t_{MUX} 分别为触发器、表决器和选通器的传输延迟. 文献[9]提出了基于流水线结构的双模时间冗余(DMR)技术,捕捉到 SET 脉冲时将存储在外置 SRAM 中的数据重新计算,错误会在输出队列中维持 3 个时钟周期,处理单个 SET 脉冲带来的延时为 $t_{p2} = 3T_{clk}$. 这些方法较大地降低了系统运行速度,带来高速数据处理和接口控制方面性能的降低.

3 SET 脉冲分段滤除电路

由于 SET 脉冲产生时的宽度不同,在传输中可能会出现展宽、变窄等情况,因此最终到达存储单元的 SET 脉冲宽度 T_{SET} 的范围在 0 ~ 5 ns 之间. 考虑图 1 中的电路结构,若采样时钟间隔 d 设置过小则无法将 SET 脉冲滤除,反之若 d 较大则会造成时

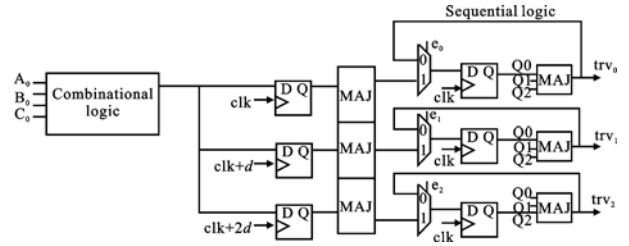


图1 文献[7]中抗 SET 容错电路

间上的浪费. PLL 倍频后引起的额外动态功耗为

$$P_{dyn} = NC_L V_{DD}^2 f \quad (3)$$

式中, N 为 PLL 的扇出数. 图 1 中, $N = 5$. 当时钟频率 $f = 350$ MHz 时带来的额外功耗为 $3.9375 \times 10^9 C_L$, 其中 $V_{DD} = 1.5$ V 为 FPGA 内核电压. 降低 f 可以减小功耗但会使 T_{clk} 增大, 进一步带来延迟的增加. 为减小延时和降低功耗, 本文提出了一种可根据 SET 脉冲宽度自动选择滤除延迟的电路结构, 主要由预置位下降沿 D 触发器、延迟链路、判断电路和逻辑保护单元(Guard Gate, GG)组成.

3.1 电路主要结构

预置位下降沿 D 触发器具有设定优先级的功能, 当置位端 PRE 为 1 时, Q 被直接置为 1; 否则, 在时钟的下降沿, 当信号满足建立时间和保持时间时, 将 D 的值赋给 Q .

图 2 所示为 SET 滤除电路的设计, 其中 Guard Gate 由两个 NMOS 管、两个 PMOS 管以及起到延时作用的 buffer 组成, 综合后的电路包括三个 2 输入与非门和一个 3 输入与非门. 设 buffer 延迟 t_d 后的输入为 B , 未延迟的输入为 A , P_2 的源极和 N_2 的漏极连接点为 C . 当 $A = 0$, $B = 1$ 时, P_1 和 N_2 截止, 上拉网络(PUN)和下拉网络(PDN)均关断, C 点无充放电路径, 呈锁存状态; 同理 $A = 1$, $B = 0$ 时 C 点也处于高阻锁存态. 当 $A = B = 0$ 时, P_1 , P_2 导通, N_1 , N_2 截止, $C = 1$; 同理 $A = B = 1$ 时 $C = 0$. 综上, 当 $A = B$ 时 $C = \text{not } A$, $gg_out = A$; $A \neq B$ 时 C 锁存上一个状态, gg_out 亦保持不变. 由图 2 仿真结果可得, $t_d < T_{SET}$ 时输出结果仍含有 SET 脉冲信号, 且脉冲信号的宽度不变; 当 $t_d > T_{SET}$ 时输 SET 脉冲被滤除.

由异或的定义可知, 对任一信号 X , 存在 $X \text{ xor } 0 = X$, 故采用两输入异或门级联而成的延迟链路提供延迟. 其中一个输入固定为 0, 布局布线后异或门优化为缓冲器 buffer, 只提供 t_{buffer} 延迟, 无逻辑计算

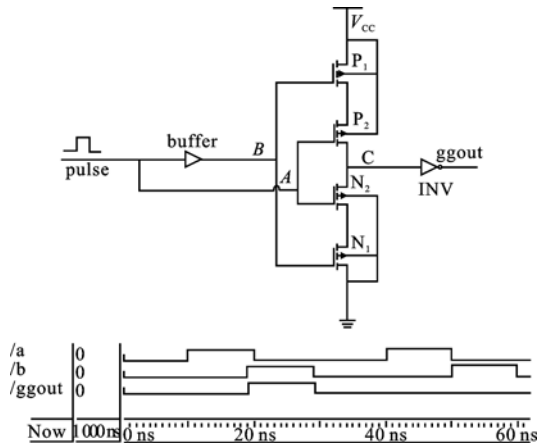


图2 Guard Gate 原理图及其仿真结果

功能.

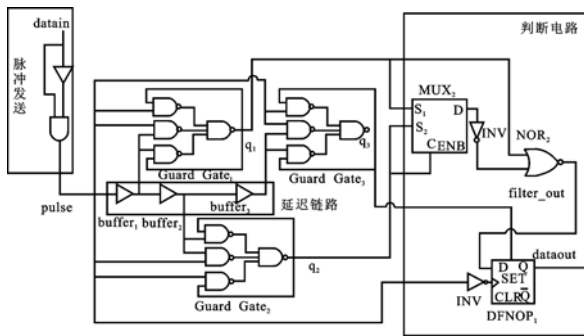


图3 电路总体设计

3.2 电路工作原理

在图3所示的原理图中,首先由 buffer 对 datain 信号进行延时得到 pulsein 信号,再经过与门得 $\text{pulse} = \text{datain} \text{ AND } \text{pulsein}$ 模拟 SET 脉冲的产生,调节 datain 的宽度和 buffer 所带来的延迟,可以得到不同宽度的 pulse. SET 脉冲信号经过 3 个 buffer,依次得到 pulse_delay_1 、 pulse_delay_2 和 pulse_delay_3 等信号,对原脉冲的信号的延迟分别为

$$t_{\text{dn}} = nt_{\text{buffer}} + \sum_{i=1}^n t_{\text{route},i} \quad (4)$$

式中, $t_{\text{route},i}$ 表示第 $i-1$ 个 buffer 与第 i 个 buffer 之间的布线延时,调整该项可以改变延时的大小. Guard Gate 的输入分别为 pulse、pulse_delayn 以及输出 qn 再反馈回输入. 设定 $t_{d3} > T_{\text{SET,max}}$, Guard Gate3 可将所有认定为 SET 引起的脉冲全部滤除.

将 SET 脉冲宽度 T_{SET} 按大小划分为以下三个区间:

(1) $(0 < T_{\text{SET}} < t_{d1})$, 此时 Guard Gate₁ 即可将 SET 脉冲滤除, 输出组合为 $q_3q_2q_1 = 000$;

(2) $(t_{d1} < T_{\text{SET}} < t_{d2})$, 此时 Guard Gate₁ 未能将 SET 脉冲滤除而 Guard Gate₂ 将其滤除, 输出组合为 $q_3q_2q_1 = 001$;

(3) $(t_{d2} < T_{\text{SET}} < t_{d3})$, 此时 Guard Gate₁ 和 Guard Gate₂ 均未能将 SET 脉冲滤除, Guard Gate₃ 将其滤除, 可得输出组合为 $q_3q_2q_1 = 011$.

脉冲经过电路后, 根据 $q_3q_2q_1$ 的值, 按照以下优先级选择输出:

(1) 当 $q_3 = 1$ 时, 表明输入脉冲大于预先设定的 SET 最大值, 判定为正常信号, 应选择 q_3 为滤除结果;

(2) pulse 的下降沿标志着脉冲结束, 当 $q_3 \neq 1$ 时, 为了最快地得到判断结果, 应在 pulse 信号的下降沿考虑 q_2q_1 ;

(3) 当 $q_2q_1 = 11$ 时, 表明产生了 SET 脉冲且脉冲宽度落在区间 c, 选择 q_3 为滤除结果;

(4) 当 $q_2q_1 = 01$ 时, SET 脉冲宽度落在区间 b, 选择 q_2 为滤除结果;

(5) 当 $q_2q_1 = 00$ 时, SET 脉冲宽度落在区间 a, 选择 q_1 为滤除结果.

由于 SET 脉冲产生和传播在组合逻辑中且会被时序电路捕捉, 因此将与组合逻辑输出相连的 D 触发器以上述预置位的下降沿 D 触发器代替, 以 pulse 为其时钟信号, q_3 与置位端 PRE 相连, NOR2 的输出 filter_out 与 D 相连. 当判定为正常信号时直接将该值存储, 否则在 pulse 下降沿根据 q_2q_1 的值选择相应的滤除结果.

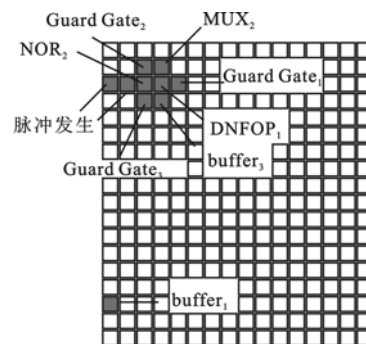


图4 布局布线后的版图

4 仿真与分析

4.1 布局布线

本文在 Fusion 系列 AFS600 数模混合 FPGA 上进行工程的建立与仿真, 以 Microsemi 公司的 Libero

为开发和布局布线工具,以 Synplify Pro ME 为综合工具,以 Modelsim 为仿真工具. 布局布线后的版图如图4所示.

为减小各逻辑门之间的延迟,将脉冲生成电路、Guard Gate、预置位下降沿 D 触发器 (DFN0P1) 和 MUX2 紧凑地布局. 将各 buffer 间距较远地布局,使得布线产生的延时占总延时的较大部分,可有效的减少逻辑资源的消耗. 不计模拟 SET 脉冲的电路以及后续时序电路的触发器,分段滤除电路实际占用资源为 8 个 Core Cell.

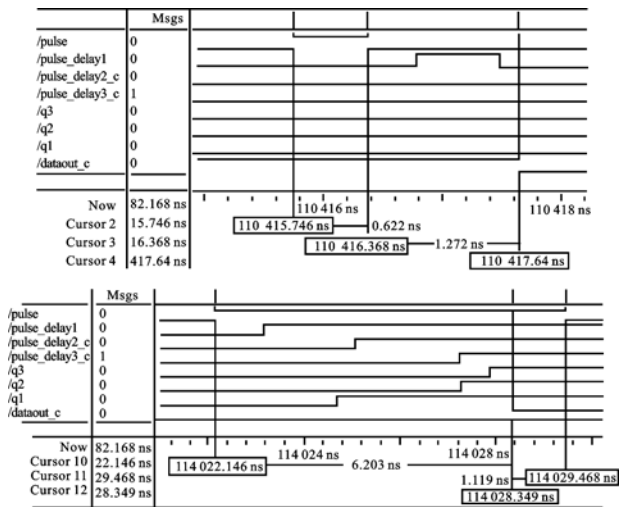


图5 电路仿真结果

4.2 仿真

T_{pulse} 表示任一脉冲的宽度. 上图分别在 $T_{\text{pulse}} = 0.622 \text{ ns}$, $T_{\text{pulse}} = 7.322 \text{ ns}$ 的情况下仿真了电路对脉冲的区分和 SET 的滤除能力. 当 T_{pulse} 为 0.622 ns 时 $q_3 = 0$, 且 pulse 下降沿到来时 $q_2 q_1 = 00$, 判定为 SET 脉冲并滤除, 在 pulse 上升沿到来后 1.894 ns 输出正确结果; 当 T_{pulse} 为 7.322 ns 时, $q_3 = 1$, 判定为正常信号, 在脉冲上升沿到来后 6.203 ns 输出正确结果. 6.203 ns 是处理所有宽度脉冲所需最长延时.

4.3 结论与分析

对于 $T_{\text{pulse}} = 0 \sim 7.322 \text{ ns}$ 内间隔 0.5 ns 或 1 ns 共取 13 个点, 在文献[7]时间 TMR、文献[9]流水线结构 DMR 和本文设计方法的情况下仿真并计算其延时, 拟合得如图6所示的曲线. 其中 x 轴表示脉冲宽度, $y_1 = t_1/t_{p1}$ 和 $y_2 = t_1/t_{p2}$ 分别表示为本文方法与时间 TMR 和流水线 DMR 处理相同宽度的脉冲所需的之间延迟之比. 时间 TMR 与流水线结构 DMR 的

工作频率均设定在 FPGA 可达到的最高频率 350 MHz , 根据式(2)及 Fusion 系列 FPGA 在相应综合条件下的逻辑门传输延时可得 $t_{p1} = 11.995 \text{ ns}$, $t_{p2} = 8.571 \text{ ns}$.

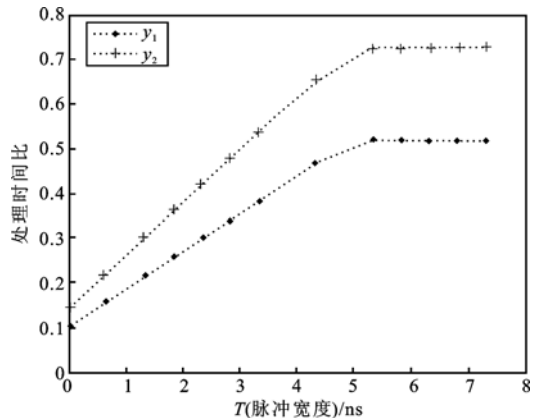


图6 处理相同脉冲所需延时之比

由图6可得, 分段滤除电路相对于时间 TMR 和流水线 DMR 在处理 SET 脉冲时均减小了关键路径上的延迟, 提高了对于 SET 脉冲的处理能力. 由文献[1]可知 Flash 型 FPGA 的 SET 脉冲宽度大多数在 $0 \sim 3 \text{ ns}$ 之间, 分段滤除电路可将该部分处理时间分别减少至文献[7]的 $10.42\% \sim 35.9\%$ 、文献[9]的 $14.58\% \sim 49.8\%$; 且兼顾了 SET 脉冲在传播过程中的展宽现象, 可以实现最宽 $T_{\text{SET}} = 5.1 \text{ ns}$ 的 SET 脉冲的滤除; 对于正常信号的处理时间则减少至文献[7]的 51.7% . 当工作频率小于 350 MHz 时, t_{p1} 和 t_{p2} 进一步加大, 分段滤除电路将更大程度地减小延时.

根据相应的分析工具, 可得三种设计所需的硬件资源、IP 核资源以及功耗如见表1所示. 在减少延时的同时, 分段滤除电路并未带来硬件资源的增加, 且功耗较时间 TMR 有所减少, 这是因为时间 TMR 需要倍频 PLL, 使用了 IP 核, 保持了高频时钟不断采集组合逻辑的输出端, 持续对多个节点进行充电; 而本文的设计方法只有在脉冲来到时才会产生动态功耗.

表1 资源与功耗

Type	Core cell	IP cell	Power Consumption/mW
时间 TMR	8	1	164.39
流水线 DMR	需要外加 SRAM	—	—

本文方法	8	0	8.16
------	---	---	------

5 结束语

本文依据 Flash 型 FPGA 的 SET 脉冲宽度分布,提出了一种分段滤除的降低延时方法^[10]. 在 Fusion 系列 FPGA 上进行的仿真结果表明,当 SET 脉冲小于 3 ns 时,分段滤除电路能将关键路径上因处理 SET 引起的的延时减小至传统方法的 10.42% ~ 49.8%,提高单位时间内对 SET 脉冲的处理能力,同时功耗有所下降,整体设计所占用的逻辑资源和 IP 核未增加,达到了预期的效果.

参考文献:

- [1] Rezgui S, Wang J J, Tung E C, et al. New methodologies for SET characterization and mitigation in flash-based FPGAs [J]. Nuclear Science, IEEE Transactions on, 2007, 54(6):2512-2524.
- [2] 黄晔. 同时针对 SEU/SET/MBU 的 MOS 集成电路抗辐射加固技术研究[D]. 上海:上海交通大学,2009.
- [3] Violante M. On the evaluation of radiation-induced transient faults in flash-based FPGAs [C] // On-Line Testing Symposium, IOLTS '08. 14th IEEE International. Greece, Rhodes, IEEE, 2008:135-140.
- [4] Sterpone L, Battezzati N. On the mitigation of SET broadening effects in integrated circuits [C] // Design and Diagnostics of Electronic Circuits and Systems (DDECS), 2010 IEEE 13th International Symposium on. Austria, Vienna, IEEE, 2010:36-39.
- [5] Battezzati N, Sterpone L, Ferlet-Cavrois V. Analysis of SET propagation in flash-based FPGAs by means of electrical pulse injection [C] // Radiation and Its Effects on

Components and Systems (RADECS), 2009 European Conference on. Belgium, Brugge, IEEE, 2009:87-90.

- [6] 梁斌,陈书明,刘必慰,等. SET 传播过程中的脉冲展宽效应[J]. 半导体学报,2008,29(9):1827-1831.
- [7] 费尔南达·利马·卡斯腾斯密得. 基于 SRAM 的 FPGA 容错技术[M]. 北京:中国宇航出版社,2009.
- [8] Lopez-Ongil C, Department E T, Madrid U C I D, et al. Logic masking for SET mitigation using approximate logic circuits [C] // On-Line Testing Symposium (IOLTS), 2012 IEEE 18th International. Spain, Sitges, 2012, 7203(4):176-181.
- [9] Kim J E, Lin J, McMurchie L, et al. Mitigation of single-and multiple-cycle-duration SETs using double-mode-redundancy (DMR) in time [C] // Aerospace Conference, 2005 IEEE. USA, Bigsky, 2005:1-10.
- [10] Wirth G, Kastensmidt F L, Ribeiro I. Single event transients in logic circuits-oad and poropagation induced pulse broadening [J]. Nuclear Science, IEEE Transactions on, 2008, 55(6):2928-2935.

作者简介:

史方显 男,(1992-),硕士研究生. 研究方向为 FPGA 系统设计. E-mail:zy1415209@buaa.edu.cn.

曾立 男,(1976-),博士,副教授. 研究方向为空间环境仪器科学与工程.

王淼 女,(1988-),硕士研究生. 研究方向为 FPGA 系统设计.

曹建勋 男,(1990-),硕士研究生. 研究方向为空间电子技术.

权妙静 女,(1989-),硕士研究生. 研究方向为空间电子技术.