

高效宽电压工作标准单元库分析与优化

王京睿, 李翔宇

(清华大学 微电子学研究所, 北京 100084)

摘 要: 研究了剔除大扇入逻辑门对于高电源电压下的电路指标的影响, 证实这一方法对电路在高电压下的性能和功耗没有明显的负面影响, 主要影响是在一定程度上增大电路的面积. 分别对 32 nm 标准单元库中的异步置位复位 D 触发器单元和电平移位器单元进行了电路优化, 使得它们在低电压下的延时分别减少了 14.6% 和 19.9%, 解决了电源电压降至近阈值时性能恶化过于严重的问题.

关键词: 能量效率; 近阈值; 宽电压工作; 大扇入逻辑门; D 触发器; 电平移位器

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2016)08-0072-04

Analysis and Optimization of High-Efficiency Standard Cells Operating With in Wide-Range Supply Voltage

WANG Jing-rui, LI Xiang-yu

(Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

Abstract: In this paper, we study the influence of ‘Eliminating big fan-in logic gates’ method, and finally prove that circuit synthesized with this method behaves little performance deterioration or energy increase, its main effect is increasing circuit area in some cases. We also optimize the structure of D flip-flop with asynchronous set and reset, and voltage up level shifter, which reduces their transition delay for 14.6% and 19.9% when operated at low source voltage, respectively. Thus our work solve the problem which is induced by the performance deterioration of near-threshold operating.

Key words: energy efficiency; near threshold; wide-range operating; big fan-in logic gate; D flip-flop; lever shifter

1 引言

随着集成电路技术的发展、规模的扩大, 电路功耗急剧增大, 已成为约束电路设计的一大瓶颈, 在高性能的追求之外, 低功耗也成为电路设计时必须考虑的. 能量效率(energy efficiency, 简称能效), 定义为消耗单位能量所能完成的操作次数, 相对于性能和功耗, 是一个能体现电路设计对性能和功耗进行折中的需求的评价指标.

已有研究^[1]论证了近阈值操作的高能效优势, 即当电路的电源电压为器件阈值电压的 1~2 倍范围内时, 能达到最高能效. 但近阈值操作相比于超阈值操作, 电路速度较慢, 因此允许电源电压进行大范围调整, 即宽电压工作, 有利于在提高电路性能和降

低电路功耗、追求最高能量效率之间作折中.

合理选择宽压工作的电压范围是非常必要的, 研究^[1]发现电源电压存在一个使得能量效率最高的值, 若电源电压低于此值, 能量效率反而下降, 与高能效的设计意图相悖, 因此将宽电压工作范围的下限设置为能效最优的电压值, 是追求性能与功耗平衡的设计的合理选择.

同时, 由于晶体管的驱动能力随电源电压下降而变化^[2], 工作电流与截止电流之间的差异减小^[3], 电路在近阈值电压下将表现出同超阈值工作时不同的特性. 如果将超阈值设计的电路不加改动直接置于低压下工作, 电路的有比逻辑部分可能出现竞争(contention)^[4-5]. 竞争甚至可能导致电路计算出错误的逻辑结果, 引起功能失效(function failure).

因此,宽压电路的设计需要对底层库单元进行分析和优化,选取合适的宽电压工作范围,同时保证在近阈值和超阈值情况下均正确工作。此外,与单纯的亚阈值电路、近阈值电路不同,宽电压电路不希望因为适应低电压端的工作而在高电压端(超阈值工作)时的性能出现明显恶化。

本文以一个 28/32 nm 平面 CMOS 工艺标准单元库为对象,对宽电压标准单元库的设计方法进行研究。

2 能效最高电源电压分析

我们对标准单元库中的常用单元进行了基于 HSPICE 仿真的不同电源电压下的扫描分析,发现此工艺下,大部分常用标准单元在电源电压为($V_{th} \sim 2V_{th}$)区域内能效最高,约为 0.6~0.8 V,在这个范围内单元电路都可以正常工作,但是随着电源电压的降低,部分标准单元的性能降幅过大,成为低压工作的瓶颈。这些单元包括大扇入逻辑门、4 选 1 多路选择器、异步置位复位的 D 触发器、升压电平移位器等。

3 大扇入门分析

大扇入门如 4 输入或非门、4 选 1 多路选择器等在低压下往往构成性能瓶颈,文献[4-6]中均采用了“直接剔除大扇入门,仅使用小扇入门搭建电路”的方法。本文通过 DC 综合评估此方法对电路性能、功耗、面积等关键评价指标的影响,分析其可行性和合理性。

测试电路为 4 输入或非逻辑,在综合时通过 set_dont_use 命令剔除库中的大扇入门(包括 AND4、NOR4、NAND4、NOR4),仅用 2/3 输入的小扇入门组合搭建的电路(记为电路 A),与直接使用大扇入门综合出的电路对比(记为电路 B)。电路负载不同的情况下综合出的电路结构不同,其性能、功耗、面积指标也不同,实验中扇出 F 的最大值取 300 使得最大输出负载与工艺库中输出 pad 的输入电容相当。

如图 1 所示,在不同电压下电路 A 和电路 B 的性能和功耗几乎相同,差别仅在面积上:负载 $F < 20$ 时,二者面积相近,大扇入门电路(电路 B)的面积稍大; $F > 20$ 时,小扇入门组合电路(电路 A)面积较大。可见采用“直接剔除大扇入门”的方法对电路延时和功耗的影响很小,即综合时从标准单元库中剔除大扇入门不会引起性能和功耗的明显下降,仅在

大输出负载的情况下增大电路面积。

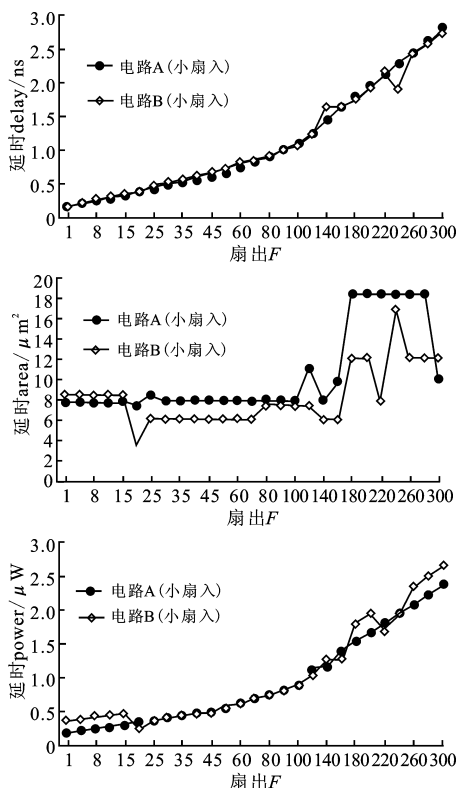


图1 电路 A 与电路 B 的性能、功耗、面积对比

4 单元优化及验证

大扇入门及最小尺寸电平转换可以直接剔除以免低压下性能恶化,但时序单元 D 触发器作为最常用的单元,电平移位器作为不同电压域间进行电源电压转换的必须单元,是无法替代的。本文通过仿真分析其性能瓶颈,改进内部电路结构,提高单元在低压下工作时的性能。

4.1 DFFASR 优化

异步复位置位 D 触发器(简称为 DFFASR)的原始电路结构如图 2 所示。图中主级和从级的反馈支路是多晶体管堆叠的结构,且由本地时钟信号 CLK_N 和 CLK_P 控制的头足管(例如 MP10)位于堆叠结构中远离输出的一端,对延时的影响较大。

仿真发现,此 DFFASR 在异步置位过程中输出由低至高的翻转延时随电源电压的降低增加最快,在置位发生的三种情形中,异步置位的下降沿接近时钟下降沿时性能恶化最严重——当电源电压由 1.05 V 下降为 0.65 V 时,最坏情况下(SS, -40℃)延时增加了 9.3 倍——此时关键路径为时钟经过两级本地反相器产生本地时钟信号 CLK_P、CLK_P 控制 PMOS 管 MP10 对结点 FB4 充电,再通过 PMOS

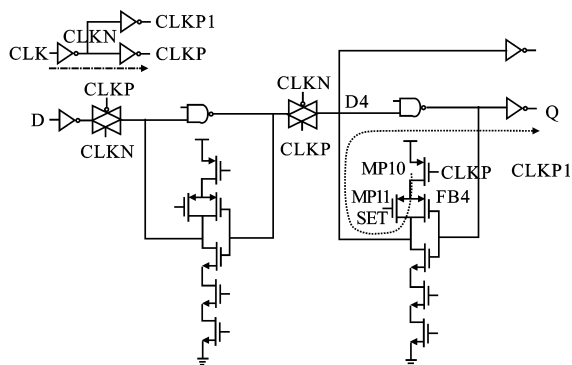


图2 DFFASR 优化前后电路结构

管 MP11 对结点 D4 充电,即图 2 中虚线所指示路径.此关键路径中 CLKP,FB4,D4 等结点的电压变化如图 3 所示.由图 3 可见,由于本地时钟信号 CLKP 的延时导致 MP10 开启较晚,FB4 结点存在一个随电源电压降低而急剧增大的“平台”,此“平台”持续的时间在关键路径延时中占有较大比例;另一方面,由于 MP10 和 MP11 两个堆叠 PMOS 管对 D4 结点进行充电,它们的驱动能力直接决定充电速度.

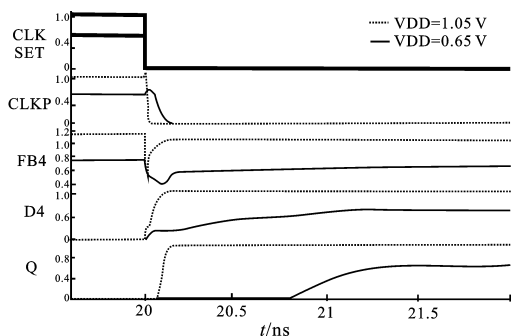


图3 DFFASR 原结构关键结点电压

DFFASR 优化方案如图 2 中虚线圈内部分,增加一个扭斜反相器(图 2 中阴影反相器)使对 CLKP1 的驱动能力更强,使 MP10 的控制信号 CLKP1 下降更快,从而使得 MP10 更早开启,同时增大关键路径上晶体管(MP10 和 MP11)的尺寸,加快对 D4 结点的充电速度.优化方案可以缩短由于 MP10 开启时间晚而导致的“平台”时间,同时加快 MP10 和 MP11 对 D4 结点的充电速度——在最坏情况下优化结构的“set-to-q”输出延时比原结构的减小了 18.3%.

4.2 LSUP 优化

升压电平移位器(简称为 LSUP)电路结构如图 4(a)所示.当低压侧电源电压(VDDL)降低后,NMOS 管 MN2 和 MN3 的过驱动电压降低,驱动能

力减弱,而时开启的 NMOS 管与上拉 PMOS 管构成的伪 CMOS 支路中 PMOS 的过驱动电压高且不随 VDDL 的降低而减小、驱动能力强,当 VDDL 和 VDDH 差距过大时,二者的竞争导致 net2/net3 结点通过 MN2/MN3 放电的速度变慢,仿真 net2, net3, Y 结点的电压如图 4(b)中的实线所示,可见由此导致的延时增加所占比例最高——当电源电压由 1.05 V 下降为 0.65 V 时,最坏情况下(SS、-40℃)延时增加了 11.3 倍.

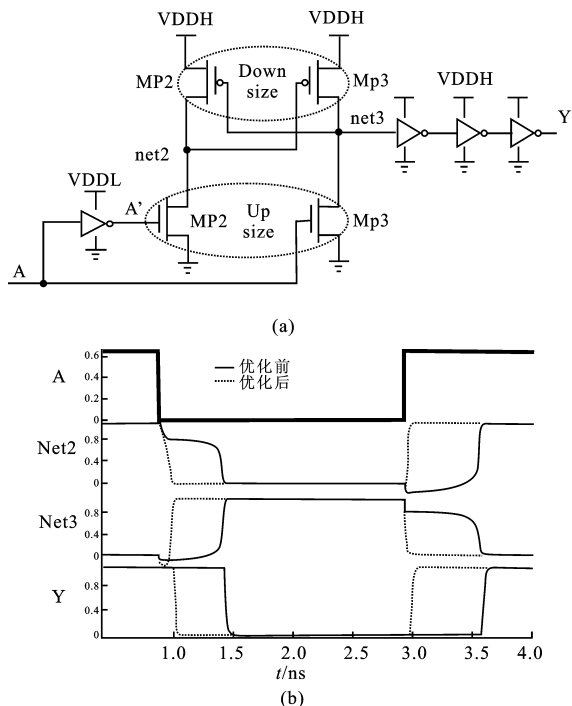


图4 LSUP 优化前后电路结构及关键结点电压

对由伪 CMOS 结构中竞争关系导致的性能恶化,以及减小上拉 PMOS 管(MP2 和 MP3)的尺寸、同时增大 NMOS 管(MN2 和 MN3)的尺寸,通过调整二者的驱动能力来解决.优化结构的 net2, net3, Y 结点电压如图 4(b)中的虚线所示,可见当输入 A 由高至低翻转时,由于 MP3 等待 net2 放电后打开的“平台”仍然存在,但由于 MN2 的驱动能力增强,net2 放电变快,“平台”期变短.当输入 A 低至高翻转时,net3 由 MN3 放电,由于 MN3 驱动能力增强,net3 放电变快,输出延时大大缩短——在最坏情况下优化结构的输出延时比原结构的减小了 79.7%.

4.3 优化前后指标对比

在标准情况(TT 工艺角、25℃)下 DFFASR 和 LSUP 优化前后电路的延时和功耗指标对比分别如表 1 和表 2 所示,可见优化后的电路在标准电压下

的性能几乎相同的情况下,在低压下工作时的延时分别减少了 14.6%和 19.9%.同时,优化结构所引入的面积和功耗开销是相对较小的.

表 1 DFFASR 优化前后指标对比

	标准电压 下延时/ns	低电压 下延时/ns	功耗/ μW	面积
优化前	67.1	272.5	4.99	1
优化后	66.2	232.7	1.55 ~ 5.83	1.09
相对变化	-1.3%	-14.6%	-69%~+17%	+9%

表 2 LSUP 优化前后指标对比

	标准电压 下延时/ns	低电压 下延时/ns	功耗/ μW	面积
优化前	38.6	70.5	4.15	1
优化后	39.2	56.5	4.14 ~ 4.35	1.15
相对变化	+1.6%	-19.9%	-0.2%~+4.8%	+15%

而在最坏情况(SS,-40℃)下,DFFASR 和 LSUP 的优化结构在低压下的延时减少的幅度均更大,分别为 18.3%和 79.7%.

5 结束语

本文围绕将普通标准单元库改进为支持宽电压工作的标准单元库的方法,研究了剔除大扇入逻辑门对于高电源电压下的电路指标的影响,DC 综合实验表明剔除大扇入逻辑门对电路在高电压下的性能和功耗没有明显的负面影响,主要影响是在一定程度上增大电路的面积.分别对 32 nm 标准单元库中的异步置位复位 D 触发器单元和电平移位器单元进行了电路优化,在标准条件(TT,25℃)下,使得它们在低电压下的延时分别减少了 14.6%和 19.9%,解决了电源电压降至近阈值时性能恶化过于严重的问题.

参考文献:

[1] S J Surhud Khare. Prospects of Near-Threshold Voltage Design for Green Computing [C]// proceedings of the 26th International Conference on VLSI Design. Pune;IEEE, 2013. 120-124.

[2] A Steven K Hsu, Mark A Anders, Sanu K Mathew, et al. A 280 mV-to-1.1 V 256b reconfigurable SIMD vector permutation engine with 2-dimensional shuffle in 22 nm tri-gate CMOS [J]. JSSC, 2012; 48(1): 118-127.

[3] M A Himanshu Kaul, Steven Hsu, Amit Agarwal, et al. Near-threshold voltage (NTV) design—opportunities and challenges[C]// DAC. San Francisco, CA; IEEE, 2012: 1149-1154.

[4] Nitin Borkar, Vivek De, Shekhar Borkar et al. A 280mV-to-1.2V wide-operating-range IA-32 processor in 32nm CMOS[C]// ISSCC. San Francisco, CA; IEEE, 2012; 66-68.

[5] J P d G Yu Pu, Henk Corporaal, Yajun Ha. An ultra-low-energy multi-standard JPEG co-processor in 65 nm CMOS with sub/Near threshold supply voltage [J]. JSSCC, 2009; 45(3): 668-680.

[6] S L Wei Jin, Weifeng He, Zhigang Mao. A 230mV 8-bit sub-threshold microprocessor for wireless sensor network[C]// VLSISoC. Hong Kong; IEEE, 2011; 126-129.

作者简介:

王京睿 女,(1991-),硕士研究生.研究方向为低功耗数字电路设计. E-mail:wjr13@mails.tsinghua.edu.cn.

李翔宇 男,(1977-),博士,副研究员.研究方向是高效 VLSI/SOC,信息安全芯片等.

(上接第 71 页)

[11] Kim Y, Song Y H. Analysis of thermal behavior for 3D integration of DRAM[C]// Consumer Electronics (ISCE 2014), The 18th IEEE International Symposium on. Madrid Spain;IEEE, 2014;1-2.

作者简介:

怡 磊 男,(1991-),硕士研究生.研究方向为基于 TSV(硅

穿孔)的三维处理器结构以及三维电路设计.

E-mail:1311970283@qq.com.

单光宝 男,(1971-),研究员.研究方向为 TSV/MEMS 设备及其工艺技术.

肖建青 男,(1987-),博士研究生.研究方向为处理器架构研究.

刘 松 男,(1988-),博士研究生.研究方向为 TSV 三维串路设计.