

基于时序路径的 FPGA 时序分析技术研究

周 珊,王金波,王晓丹

(中国科学院 空间应用工程与技术中心,北京 100094)

摘 要: 针对于航天高可靠 FPGA 测试时时序分析技术的重要性,根据多年 FPGA 设计测试经验对时序分析技术进行深入剖析,提炼出一套切实可行的时序分析技术,阐明了时序分析的分析对象,时序分析技术的主要方法,给出了时序分析时接口信号时序计算法则,以及时序测试结果的分析准则;并把这套分析技术成功的应用到了多个航天高可靠软件的测试中,发现了很多由时序问题引起功能失效的重大问题,对其中常见的时序问题给予归类总结.

关键词: 时序分析技术;时序测试需求;延时计算准则;时序分析方法

中图分类号: TP391.9

文献标识码: A

文章编号: 1000-7180(2016)01-0076-05

Research of FPGA Timing Sequence Analysis Technology Based on Timing Sequence Path

ZHOU Shan, WANG Jin-bo, WANG Xiao-dan

(Technology and Engineering Center for Space Utilization, Chinese
Academy of Sciences, Beijing 100094, China)

Abstract: For the significance of high reliable FPGA test timing sequence analysis technology on Spaceflight, depending on the FPGA design and test experience for several years, timing sequence analysis technology is analyzed deeply, and a set of feasible solution is extracted, and the analysis target of timing sequence analysis is clarified. The interface signal timing sequence calculation rules of timing sequence analysis and analysis rules of timing sequence test results are presented by the main method of timing sequence analysis technology; this set of technology is applied successfully on the tests of several high reliable software on Spaceflight, many significant functional disabled problems, caused by timing sequence problems, can be found, and the common timing sequence problems are classified and summarized.

Key words: timing analysis technology; timing test requirement; delay calculation rule; timing analysis means

1 引言

FPGA 器件具有集成度高,高速、高可靠性、低功耗的特点,在高可靠的领域如航空航天方面得到了广泛应用.但针对于 FPGA 的验证技术尤其是时序方面的分析验证技术在业界还没有统一的标准.所以必要研究一套切实可行且经过大量工程检验的时序测试方法.本文根据多年的 FPGA 测试验证经

验,研究了一套基于物理路径的 FPGA 时序分析技术,并将这一分析技术应用在了多个型号任务的 FPGA 测试中,发现了很多由时序问题引起功能失效的重大问题.

2 现状

ASIC 设计中由于流片费用非常昂贵,所以其时序分析验证有一套严格的流程如图 1 所示,综合后的网表需经过综合后仿真、综合后静态时序分析、

综合后网表和 RTL 级代码一致性分析;布局布线后的网表需经过布局布线后仿真、布局布线后网表静态时序分析、布局布线后网表和 RTL 级代码一致性分析.而在 FPGA 设计或验证时,由于可编程逻辑器件可反复擦写,且烧写速度快,所以采用的测试方法为直接下载到 FPGA 中进行验证.其次由于设计人员或测试人员对时序测试的对象不够明确且对时序测试的方法缺乏认识,认为只要时序分析报告没有报错就代表整个设计的时序没有问题.这样就存在时序路径覆盖不全面,测试场景不全面从而时序错误被遗漏,最终在实际应用会引发极限情况下的问题或偶发问题,导致任务失败.

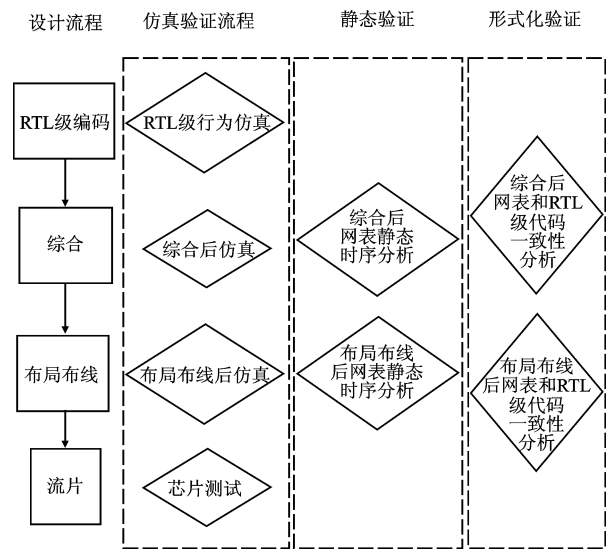


图 1 芯片设计和验证流程

3 基于时序路径的时序分析技术

时序分析技术是一整套方法技术,不是一种单一的方法,而是贯穿在整个设计的需求层面,详细设计层面,电路板设计层面,以及最后的布局布线后网表层面.时序分析的目的就是确保在 FPGA 芯片的三种工况下(最差工况:温度在芯片允许范围内最高,电压在芯片允许范围内最低;典型工况:温度为室温,电压为正常供电电压;最好工况:电压在芯片允许范围内最高,温度在芯片允许范围内最低),整个设计的接口设计满足上级和下级系统接口时序需求,且留有余量(业界默认为 20% 余量);内部的时序路径满足建立保持时间,规避了亚稳态的风险.本文提出的基于时序路径的分析方法如图 2 所示.

基于时序路径的分析方法特点为时序测试需求的

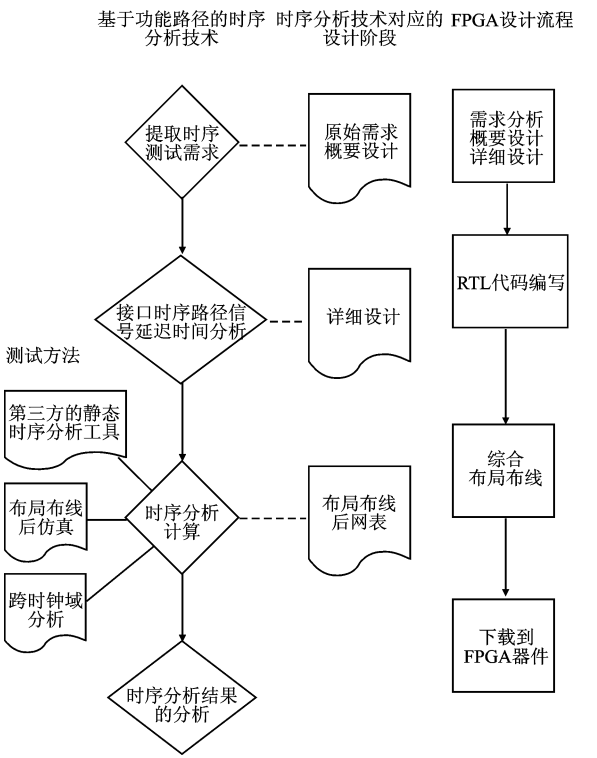


图 2 基于物理路径的时序分析技术

抽取,接口时序路径的延时计算以及时序分析结果的分析严格按照信号时序路径来分析,这样分析的结果更加接近真实环境,利于发现有重大价值的问题.

3.1 抽取时序测试需求

时序测试需求分析是基于对原始需求中输入输出接口物理层分析的基础上得到,在可编程逻辑设计中,输入输出接口主要分为主时钟接口、复位接口、源同步接口、异步接口、无时钟的同步接口^[1],差分接口等六类.以下分别说明这 6 种接口的测试需求提取.

(1)主时钟接口

主时钟为整个设计的基准时钟,主时钟在片内可通过 PLL(锁相环),DCM(分频器)等生成多时钟域的时钟组,基于主时钟提取时序测试需求时主要针对于在基准时钟下,基准时钟有偏斜(占空比改变,时钟在精度范围内偏差)以及基准时钟有余量的情况下,接口以及内部时序路径的建立保持时间是否满足工艺库中触发器的要求,输出接口的时序关系是否满足协议值的要求.

(2)复位接口

复位信号是让内部各个触发器恢复到初始态的触发信号,复位信号在设计中可采用同步复位、异步

复位以及同步复位异步释放等方式. 基于复位信号提取时序测试需求时主要针对于复位信号的恢复时间和移除时间是否满足工艺库单元中触发器复位端的要求.

(3) 源同步接口

源同步信号为 FPGA 设计中常用的一种信号类型, 一般由时钟信号、数据信号、使能信号构成. 针对源同步输入信号, 首先分析信号相对时序关系的协议值如数据和时钟的偏斜值, 使能信号和时钟的偏斜值等(协议值一般为原始需求规定或者芯片手册规定), 时序测试需求在提取时要满足输入信号为协议值以及与协议值偏差 20% 的情况下, 功能是否满足要求; 针对于源同步信号的输出, 首先分析信号输出的时序范围(从原始需求或芯片手册中查阅), 时序测试需求主要关注源同步信号的输出时序是否满足输出时序范围的要求.

(4) 异步接口

异步接口主要是指与设计时钟无固定相位关系的独立信号, 在设计中这类信号主要是被主时钟采样(如串口信号). 提取时序需求时主要考虑此类信号被时钟采样时是否存在防止出现亚稳态的有效同步机制.

(5) 无时钟的同步接口

此类接口主要应用在 CPU 和 FPGA 交互的总线信号, FPGA 和板级芯片(PROM, 1553 等)交互的控制信号等, 提取此类信号的时序测试需求时首先分析信号的协议值如控制信号和数据信号的建立保持时序, 控制信号之间的时序等, 如果为输入信号就要分析信号在协议值以及与协议值偏差 20% 的情况下, 设计是否满足功能需求; 如果为输出信号, 则需关注设计的输出时序是否满足协议范围.

(6) 差分接口

差分信号接口为可编程逻辑设计中独有接口信号, 主要应用在高速信号的传输中, 针对于此类信号提取时序测试需求时主要关注差分信号的延迟是否控制在工艺库单元中器件输入延迟偏差要求范围内.

3.2 接口时序路径的延迟时间估算

时序路径是时序分析的基本单元, 一个完整的时序路径如图 3 所示.

时序路径的建立和保持时间分析都是基于 Ar-

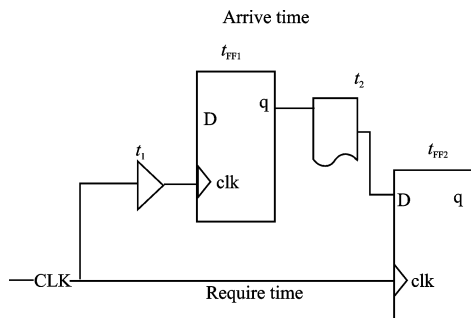


图 3 时序路径基本单元

rive time(到达时间)和 Require time(需要时间)的基础上, 其中 Arrive time 时间为 $t_1 + t_{FF1}$ ($\text{clk} \rightarrow q$) $+ t_2$, t_1 为主时钟延迟时间, t_{FF1} 为第一级触发器从触发时钟到 Q 端输出的延时, t_2 为组合逻辑的延时. Require time 为主时钟到第二级触发器的延长时间^[2-3].

网表内部的时序路径为一个闭合体, 有完整的起止点, 使用时序分析工具分析时能准确计算建立保持时间是否满足要求. 而对于接口的时序路径因缺少起点(第一级触发器)或者终点(第二级触发器)的闭合, 所以需要人工计算起点或者终点路径的时序, 而人工分析的结果直接影响了接口是否满足时序要求. 所以非常有必要对接口时序路径的估算方法做研究, 使其和真实环境下的时序误差达到最小. 根据研究结果将接口分为如下几类:

(1) 直接输入输出的板内接口

这类接口一般是指板级芯片如 E2PROM, DSP, FLASH 等与 FPGA 直接相连的控制信号接口, 如图 4 中 A 所示, 这类接口在计算外部延时只需计算同类信号的板级走线延迟 t_1 , 在一般的设计中电路板走线延迟相对于 FPGA 芯片管脚到触发器的延迟时间 N 或 S 来说非常小, 可以忽略不计. 在超高速设计中, 电路板的走线延时变的非常敏感, 所以需使用理论值和经验值相结合的方式对其进行估算.

(2) 带回环路径的板内接口

这类接口一般是指 FPGA 芯片的输入信号必须依靠同组输出信号触发或者 FPGA 芯片的输出信号必须依靠同组输入触发得到, 这类信号如图 4 的 B 所示, 例如 DSP 与 FPGA 直接相连的读数据信号接口信号, AD 芯片与 FPGA 相连的中断完成信号等都属于这类信号. 计算这类接口的外部延时

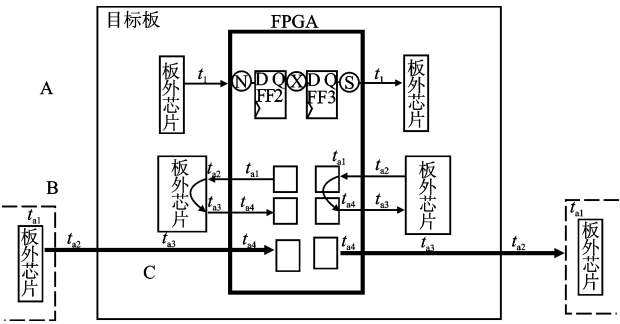


图 4 接口延时计算图

需考虑触发信号的延时,总延时计算公式为 $t_{a1} + t_{a2} + t_{a3} + t_{b1}$,其中 t_{a1} 为触发信号从源端寄存器发出到芯片管脚的之间的延时, t_{a2} 和 t_{a3} 都为板级走线延时, t_{a4} 为触发信号和宿端信号的时序。

(3)板外接口

这类接口一般是指 FPGA 芯片的输入信号或者输出信号经过增强驱动能力的芯片或者直接走线到接插件和下一级的目标板相连,如 FPGA 的 SPI 接口信号经过 422 差分转换走线到接插件. 计算这类接口的外部延时需考虑接插件以及电缆的延时,总延时计算公式为 $t_{a1} + t_{a2} + t_{a3} + t_{a4}$. 其中 t_{a1} 为上级源端信号到上级目标板接插件的延时, t_{a2} 为电缆的延时, t_{a3} 为宿端接插件到 FPGA 芯片的延时, t_{a4} 是指 FPGA 管脚到第一级触发器的延时。

3.3 时序测试方法

时序分析的方法有三种:静态时序分析,后仿真,跨时钟域分析. 三种方法具体的应用场景如表 1 所示。

表 1 时序分析方法应用场景

类型	用途	应用场景
跨时钟域分析	识别跨时钟域信号是否做了同步处理,以及同步处理的机制是否正确	多时域的设计; 输入接口信号相对于采样时钟为异步信号;
静态时序分析	分析所有时序路径的建立保持时间是否满足要求	全部同步的时序路径
后仿真	分析带时序信息的网表功能是否正确	典型功能模式下测试布局布线后的网表功能是否正确

利用上述三种测试方法配合测试可以时时序路径的覆盖达到 100%,跨时钟域的方法针对于异步信号,静态时序分析方法针对于全同步路径,分析结果可以给出内部路径和外部接口路径的建立保持时间以及纯组合路径的延迟时间. 后仿真的方法适用

于功能分析,因为静态工具是从时序路径延时算法方面对整个设计的评估,不涉及具体功能,所以一般通过后仿真的方法对静态时序分析有问题的路径进行动态的仿真,确认功能方面的表象。

3.4 分析时序测试结果

(1)分析内部建立保持时间

内部时序路径如图 5 所示的 FF2 和 FF3 之间的时序路径分析:一般是指内部寄存器与寄存器之间的数据延迟时间与时钟采样时间在一个窗口范围内是否保持不变,如果发生跳变就有可能引起亚稳态. 理论上内部路径的建立保持时间应达到 100% 满足,如发生违规,应从如下方面分析^[4]:

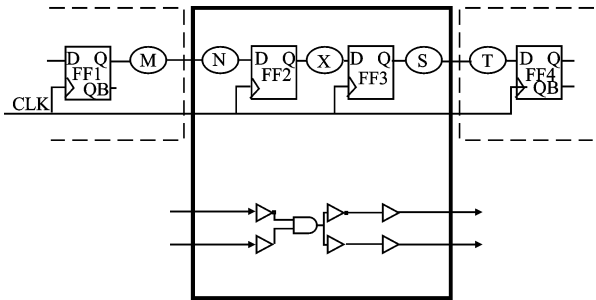


图 5 时序路径的网表形式

(a)分析发生违规的时序路径是否为多周期路径,如果为多周期路径,则可以利用多周期的法则将时序路径分割为多个周期再做进一步分析;

(b)如果为单周期路径,则分析这条路径是否为功能关键路径,利用后仿真的方式分析这条路径在出现违规时是否会引起功能失效;

(c)如果时序路径为跨时钟域信号的时序路径则利用跨时钟域工具分析是否采用了同步机制,以及同步机制的正确性。

(2)分析外部接口建立保持时间

接口的建立保持时间分析如图 5 所示的 FF1 和 FF2 以及 FF3 和 FF4 之间的路径分析,外部延时的输入输出计算基于第 3.1 节的分析方法. 分析如下:

(a)输入为源同步输入或输出,则查看控制信号被源同步时钟采集时,是否存在建立保持时间不满足的情况;

(b)输入相对于本地时钟来说是异步输入,则利用跨时钟域工具分析是否采用了同步机制,以及同步机制的正确性;

(c)输出接口中包含带时序关系的多路控制信号的输出,则需人工分析输出信号的延时是否在协议值的范围之类。

(3)分析纯组合路径的延迟时间

FPGA 设计中经常存如图 5 所示从 PAD 输入到 PAD 输出只经过了组合逻辑不经过任何寄存器的路径,这类信号在时序分析时因为在设计中不存在建立保持时间的约束所以容易被忽略掉。分析这类信号时,首先划归信号的相关性,把控制同一对象的信号划归到一组,人工获取组内信号在 FPGA 内部的延时,然后分析输出信号的延时是否满足控制信号协议值要求。

(4)FPGA 输出信号和 CPU 输出信号协同控制目标芯片的时序分析

此类信号常见在对一些协议芯片的控制,如 1553 芯片,通常数据信号和地址信号由 CPU 直接发出,控制信号由 FPGA 经过时序转换后发出,分析此类信号的时序结果时,首先分析由 FPGA 发出的控制信号是否满足协议要求,其次要分析由 CPU 配合发出的数据、地址信号和 FPGA 控制信号协同在一起是否满足协议要求,CPU 发出的数据和地址信号的延时仅考虑走线延时。

4 应用实例

上述的时序分析技术应用在航天高可靠型号任务可编程逻辑测试的时序分析中,共分析了 16 个项目,发现了如下几类常见问题:

(1)极限工况下(高温,低压)时序达不到要求;

(2)时钟约束提高 20%的情况下时序达不到要求;

(3)输入接口的时序偏移 20%的情况下时序达不到要求;

(4)由于 FPGA 管脚分配不合理导致对同一芯片的控制信号时序偏差较大;

(5)内部关键路径时序紧张;

(6)跨时钟域信号未做同步或者同步机制不

正确。

测试发现,上述几类问题引发了许多重要功能的不满足,由此可见基于时序路径的 FPGA 时序分析技术在高可靠 FPGA 软件的测试中起到至关重要的作用,在工程实践中存在着重要价值。

5 结束语

本文针对于航天高可靠 FPGA 时序分析技术进行深入剖析,提炼出了一套切实可行的时序分析技术,阐明了时序分析的分析对象,时序分析技术的主要方法,给出了时序分析时接口信号时序的计算法则,以及时序测试结果的分析准则;并把这套技术成功的应用到了多个航天高可靠软件的时序测试中,对其中常见的时序问题给予归类总结。这套技术可以作为高可靠 FPGA 时序分析技术的一个参考标准^[5]。

参考文献:

- [1] 鲍瑞. 芯片测试平台中的 FPGA 时序分析及芯片接口测试方法研究[D]. 广州:华南理工大学,2013.
- [2] 王石. 基于 FPGA 芯片的功能仿真平台构建及静态时序分析[D]. 西安:西安电子科技大学,2008.
- [3] 吕宗伟,林争辉,张镭. 数字集成电路的时序分析[J]. 微电子学,2001,31(2):127-129.
- [4] 周海斌. 静态时序分析在高速 FPGA 设计中的应用[J]. 电子工程师,2005,31(1):41-44.
- [5] 王石. 基于 LUT 的 FPGA 时序分析及后仿真实现[D]. 西安:西安电子科技大学,2009.

作者简介:

周珊 女,(1983-),硕士,工程师. 研究方向为高可靠软件、嵌入式软件测试. E-mail:zhoushan@csu.ac.cn.

王金波 男(1978-),博士,副研究员. 研究方向为高可靠软件.

王晓丹 女(1982-),工程师. 研究方向为高可靠软件、嵌入式软件测试.