

基于部分重构的 SRAM 型 FPGA 单粒子翻转模拟

李 林^{1,2}, 徐 宇^{1,2}, 卢凌云^{1,2}, 贾海涛¹,
蔡 刚¹, 李 悦^{1,2}, 杨海钢¹

(1 中国科学院 电子学研究所, 北京 100190; 2 中国科学院大学, 北京 100049)

摘 要: 介绍了一种基于部分重构技术的 SRAM 型 FPGA 单粒子翻转模拟方法. 针对 SRAM 型 FPGA 的单粒子翻转特性, 建立了一种能够模拟不同线性能量转移 (LET) 值和注量率 (Flux) 重离子入射的故障注入模型. 该模拟方法可用于对 SRAM 型 FPGA 应用电路采用的抗辐照加固效果进行定量预评估, 验证不同加固方案的有效性, 同时还可减少辐照试验的次数, 降低试验成本. 基于 Virtex-4 SRAM 型 FPGA, 针对三模冗余 (TMR) 的单粒子翻转加固方法进行了定量评估. 评估试验结果表明, 该方法较好地模拟了入射粒子 LET 值和系统电路失效率之间的关系, 验证了三模冗余加固方法的有效性.

关键词: SRAM 型 FPGA; 单粒子翻转 (SEU) 模拟; 部分重构

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2015)12-0095-05

Emulation of Single Event Upsets in SRAM-based FPGA Using Partial Reconfiguration Techniques

LI Lin^{1,2}, XU Yu^{1,2}, LU Ling-yun^{1,2}, JIA Hai-tao¹,
CAI Gang¹, LI Yue^{1,2}, YANG Hai-gang¹

(1 Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China;

2 University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: An emulation method of single event upsets (SEUs) in SRAM-based FPGA by using partial reconfiguration techniques was presented. According to the characteristics of SEUs in SRAM-based FPGA, a fault injection model was built to emulate incident particles with different Linear Energy Transfer (LET) and Flux. Preliminary quantitative evaluation of hardening-by-design techniques can be done with this method, to enhance the effectiveness and pertinence, and reduce the time of radiation ground-testing which means less cost. A design with Triple Module Redundancy (TMR) based on Virtex-4 FPGA was been evaluated, and the result showed that this method emulated the SEE and the failure rate was reduced with TMR.

Key words: SRAM-based FPGA; Emulation of Single Event Upsets; Partial Reconfiguration

1 引言

SRAM (Static Random Access Memory) 型 FPGA (Field Programmable Gate Arrays) 因具备可重复编程、开发周期短、集成度高等优点, 在航天领

域得到了越来越多的关注和应用. 然而, 在太空环境下, 高能粒子轰击导致的单粒子效应 (Single Event Effects, SEE)^[1] 严重影响了航天器件的可靠性. 相比 ASIC (Application Specific Integrated Circuit)、反熔丝 FPGA 等器件, SRAM 型 FPGA 更容易发

收稿日期: 2015-02-03; 修回日期: 2015-03-29

基金项目: 国家自然科学基金 (61271149); 国家重点基础研究发展计划 (2014CB744600)

生单粒子翻转(SEU). 因此, 必须对 SRAM 型 FPGA 采用一定的抗单粒子翻转技术, 并对用户设计进行可靠性评估.

目前, 常用的可靠性评估方法有地面辐照试验和故障注入模拟两种. 前者使用加速器产生不同 LET 值和注量率的重离子、质子和中子来模拟空间辐射环境, 试验结果真实可靠^[2]. 但辐照试验机时难以申请, 试验时间有限, 且试验成本高昂, 制约了该方法的应用. 近年来采用故障注入^[3]的模拟方法成为研究热点. 该方法通过将翻转故障引入目标电路中来模拟单粒子翻转对系统的作用效果, 实现对使用 SRAM 型 FPGA 的系统进行可靠性评估.

故障注入主要有逐位注入和累积注入两种方式. 逐位注入采用遍历式的故障注入方法, 评估试验的耗时与 FPGA 的配置存储器容量成正比^[4], 随着芯片规模的不断增大, 试验耗时也会增大到不可接受的程度. 累积注入则通过连续注入随机故障, 减少评估试验的时间^[5]. 然而, 目前的累积注入方法没有考虑入射粒子 LET 值和注量率对评估试验结果的影响, 不能如辐照试验一样获取系统电路功能中断截面随 LET 值变化的关系曲线, 从而影响对系统电路的全面评估.

本文基于部分重构技术^[6], 提出一种新的 SRAM 型 FPGA 单粒子翻转模拟方法. 该方法通过建模解决入射粒子 LET 值和注量率与故障注入之间的关系, 可以定量评估入射粒子 LET 值和注量率对系统电路加固效果的影响, 得到如辐照试验一样的系统电路功能中断截面随 LET 值变化的关系曲线. 该方法建立的模拟系统可用于系统电路加固效果的预评估, 在辐照试验前就可为系统设计人员提供单粒子翻转定量分析, 验证系统加固设计的有效性, 提高系统电路的设计效率, 降低设计成本和试验成本.

2 SRAM 型 FPGA 单粒子翻转模拟

2.1 SRAM 型 FPGA 单粒子翻转特性

SRAM 型 FPGA 主要包含可编程逻辑资源(CLB)、可编程 IP 资源(BRAM、DSP、DCM)、可编程 IO 资源(IOB)和可编程布线资源(GRM)等, 如图 1 所示^[7].

SRAM 型 FPGA 中所有可编程资源的电路形式和连接方式均由静态随机存储单元中的存储值所控制. 它们决定了 CLB 的组合逻辑、信号走线、IOB 电平标准和 IP 资源状态等. 这些随机存储单元被称

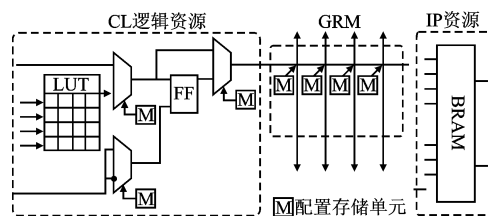


图1 SRAM 型 FPGA 内部资源示意图^[7]

作配置存储器, 分布于整个 FPGA 器件之中. 配置存储器是单粒子翻转敏感单元, 不同位置的配置存储器发生翻转会产生不同的影响效果.

2.2 SRAM 型 FPGA 单粒子翻转模拟建模

在重离子辐照试验中, 配置存储器的翻转概率用静态翻转截面 σ_{static} 表征, 单位为 cm^2/bit , 通常使用式(1)进行计算. 其中, N 表示发生的单粒子翻转总数, Fluence 表示单位面积上垂直入射的粒子总数, Device 则与被照射的器件相关, 等于该器件的配置存储器容量. σ_{static} 与器件本身抗单粒子翻转能力及入射粒子的 LET 值相关. 重离子翻转截面随入射粒子 LET 变化的关系曲线常用形如式(2)的 Weibull 曲线进行拟合, 如图 2 所示^[8]. 从图 2 可以看出: LET 值不同, FPGA 中配置存储器的翻转概率也不同. 因此在进行 SRAM 型 FPGA 单粒子翻转模拟时, 必须考虑到入射粒子 LET 值不同所带来的影响. 同时, 由于单位时间轰击到器件上的粒子数量不同, 即: 入射粒子的注量率不同, 配置存储器发生单粒子翻转的数量也不相同. 在对 SRAM 型 FPGA 进行故障注入模拟时, 其故障注入的速度并非随意选取, 应与入射粒子的 LET 值及注量率相关.

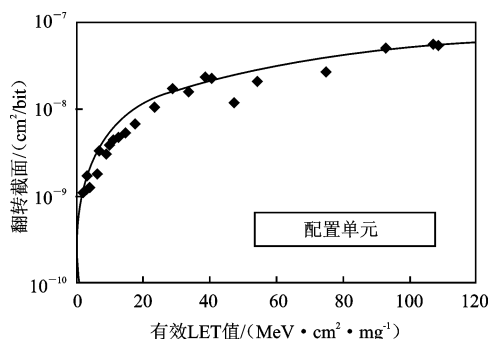


图2 Virtex-4 重离子试验中配置存储器的翻转特性曲线

$$\sigma_{static} = N / (\text{Fluence} \cdot \text{Device}) \quad (1)$$

$$\sigma(\text{LET}) = \sigma_{sat} (1 - \exp\{-[(\text{LET} - L_{th})/W]^s\}) \quad (2)$$

假设粒子束的注量率为 Flux, 式(1)和式(2)即

可确定在特定 LET 值的重离子轰击下,单位时间内配置存储器发生单粒子翻转的期望位数 N_{SEU} ,如式(3)所示.因此,根据式(3)选取对应单粒子翻转模拟试验的故障注入速度,即可模拟 SRAM 型 FPGA 在辐照试验中的单粒子翻转效应.

$$N_{SEU} = \sigma(LET) \cdot Flux \cdot Device \quad (3)$$

2.3 基于部分重构的故障生成方法

使用动态重构技术能够提高故障注入速率,扩大单粒子翻转模拟的动态范围,更全面地评估系统设计的加固效果.重构技术主要是通过更改配置码流文件实现. Virtex-4 系列 FPGA 配置存储器可寻址和读写的最小单位为帧(Frame).不同于早期的 Virtex 系列, Virtex-4 系列 FPGA 的帧长度固定,为 41 个字.

在单位时间内向 FPGA 中随机注入 N_{SEU} 个故障,即可模拟在特定 LET 值和注量率 Flux 下的重离子辐照试验.带有 N_{SEU} 个故障的重构码流文件的生成过程如图 3 所示.首先,截取原始码流文件中有效的配置帧数据,从中随机选出一帧,并翻转该帧的某位作为一个故障,重复 N_{SEU} 次.然后,在每一个故障帧前后分别添加帧地址寄存器(Frame Address Register, FAR)写命令和一个空帧(Pad Frame),构成故障码流文件的配置数据部分.最后在故障文件配置帧数据前后添加 File Header 和及相应的命令信息.与原始码流文件不同的是,其中一些信息例如文件大小、CRC 校验(Cyclic Redundancy Code)等需要修改.

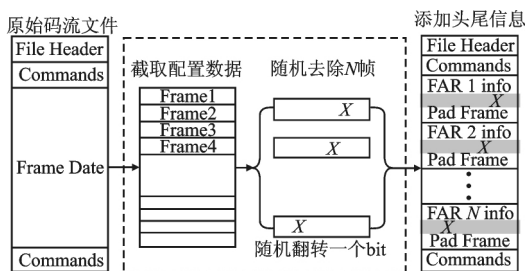


图3 带有 N 个故障的动态重构码流生成过程

在一次单粒子翻转模拟试验中,如果多个故障处于同一帧中,处于后面的重复故障帧需包含之前该帧中已注入的故障位,避免这些故障位在试验过程中被错误地修复,影响试验的准确性.

2.4 单粒子翻转模拟系统实现

本文提出的单粒子翻转模拟系统结构如图4所示.该系统由上位机主控系统、待测电路和功能监测模块3部分组成.

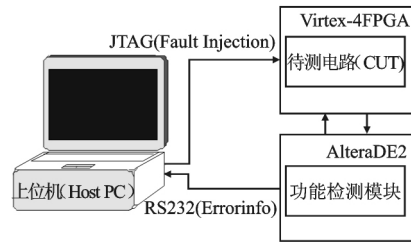


图4 单粒子翻转模拟系统结构

(1)上位机主控系统.主控系统根据用户输入的模拟条件参数和用户设计的配置码流文件,计算出 N_{SEU} 并生成对应的故障码流文件.通过 JTAG 接口对 Virtex-4 FPGA 执行动态重构,实现故障注入并分析模拟试验结果.

(2)待测电路 CUT(Circuit Under Test).使用 Virtex-4 FPGA 实现,接受上位机的故障注入,执行测试激励,并向功能监测模块输出执行结果.

(3)功能监测模块.使用 Altera DE2-115 开发板实现,负责向 CUT 提供激励向量,并对比注入故障后 CUT 的输出与事先保存的正确结果.通过 RS232 串口向上位机报告功能错误信息.

利用待测 FPGA 的片外资源实现故障注入电路和功能监测电路,从而避免影响待测电路 CUT 原始的布局布线,同时还可以防止因为故障注入电路或监测电路被注入故障,错误地向上位机传递故障信息,即所谓的“边界效应”^[9],确保试验结果的准确性和有效性.

2.5 单粒子翻转模拟流程

单粒子翻转模拟试验的流程如图5所示,主要包含4个步骤:系统初始化、故障注入、功能监测和故障修复.

(1)系统初始化.选取用户设计对应的配置码流文件,完全重配置待测 FPGA,初始化待测电路 CUT 及功能监测电路,并将测试激励和正确的输出结果保存在 DE2 中.根据用户输入的 LET 值、注量率 Flux 等参数,计算出故障注入速度,相应生成带有故障的部分重构码流文件.

(2)故障注入.通过 JTAG 接口,根据上一步计算得到的速度,利用动态重构技术向 CUT 连续地下载故障码流文件,模拟配置存储器中的单粒子翻转效应.注入期间待测电路持续执行测试激励,并向 DE2 输出电路执行结果.

(3)功能监测.功能监测模块比较 CUT 的输出结果与事先保存的正确结果,通过 RS232 串口向上位机上报功能错误信息.

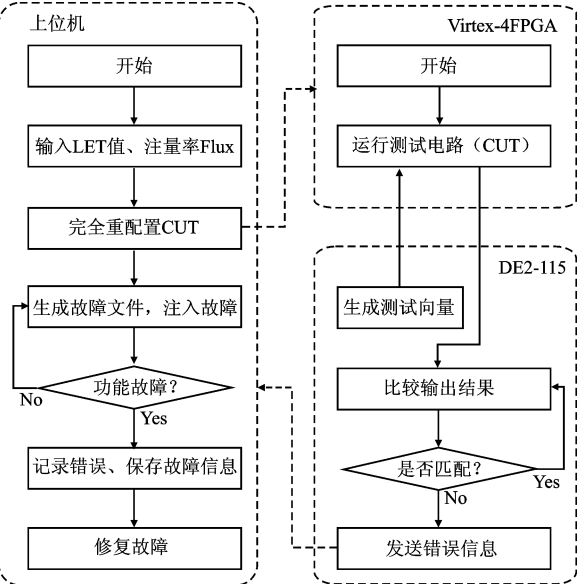


图 5 单粒子翻转模拟系统流程图

(4)故障修复. CUT 功能发生错误后,上位机停止故障注入,保存错误信息、已注入的故障地址和故障注入的持续时间 t ,并将包含正确配置数据的重构码流文件下载至待测 FPGA 中,修复已注入的故障,等待下一次故障注入试验.

3 试验结果及分析

3.1 单粒子翻转模拟试验环境

本次单粒子翻转模拟的目标器件是 Xilinx Virtex-4 XC4VVSX55 FPGA,由其配置码流控制的资源组成如表 1 所示^[10]. 功能监测电路使用 Altera DE2-115 实现. 设计工具使用的是 Xilinx Integrated Software Environment(ISE)14. 3,并通过 iMPACT (ISE 的工具之一)完成码流下载.

表 1 XC4VVSX55 的配置码流组成

种类	CLB	IOB	DSP	CLK	BRAM Int	BRAM
数量/帧	8 448	720	1 344	24	1 600	5 120

BRAM 作为用户电路的数据存储区,不可注入故障,通过控制故障帧的地址,可将其从故障注入的目标中剔除. 因此,单粒子翻转模拟的对象包括 CLB、IOB、DSP、CLK 和 BRAM 连接等控制位,共 12 136 帧,每帧长度为 1 312 位,即 Device 等于 15 922 432 位.

待测电路使用移位寄存器 (Shift Register),长度为 512 位,共 16 组. CUT 分为未加固和 TMR 加固两种,各自占用的资源种类及数量如表 2 所示. 从表中可以看出, TMR 加固 CUT 触发器 (Flip

Flops, FF) 的使用率约为未加固 CUT 的 3 倍.

表 2 CUT 资源利用率

资源		Flip Flops	Slices	IOBs
未加固	使用数	8 212	4 134	30
	利用率/%	16	16	4
TMR 加固	使用数	24 596	12 374	30
	利用率/%	50	50	4

3.2 单粒子翻转模拟试验结果

通过模拟辐照试验环境,单粒子翻转模拟试验能够直接得到用户设计的动态翻转曲线. 适当的故障注入速度是试验时间与试验精度之间的一种折中. 根据器件容量及 CUT 的资源利用率,本次试验选取的故障注入速度为 15 bit/s,由式(3)可计算出不同 LET 值 ($\text{MeV} \cdot \text{cm}^2 \cdot \text{mg}^{-1}$) 对应的注量率 Flux ($\text{个} \cdot \text{cm}^{-2} \cdot \text{s}^{-1}$),如表 3 所示.

表 3 单粒子翻转模拟试验数据记录

试验条件		未加固 CUT		TMR 加固 CUT	
LET/ ($\text{meV} \cdot \text{cm}^2 \cdot \text{mg}^{-1}$)	Flux/ ($\text{个} \cdot \text{cm}^{-2} \cdot \text{s}^{-1}$)	故障数	耗时 t / s	故障数	耗时 t / s
2	926	2010	134	2670	178
5	315	1 290	86	3 300	220
10	152	900	60	2 340	156
20	75	1 140	76	2 730	182
30	51	1 590	106	2 550	170
50	31	1 860	124	3 390	226
60	25	1 120	80	2 940	210
90	20	1 104	69	2 992	187

为提高试验结果的准确性,减小偶然误差,本次单粒子翻转模拟试验中,同组试验条件下的模拟试验重复进行 10 次,共 8 组. 试验过程中记录的数据包括待测电路出现功能故障的次数,每次功能故障发生时已注入的故障位数、故障地址,以及每组试验故障注入累计消耗的时间 t .

3.3 试验结果处理及分析

重离子辐照试验中,在 FPGA 上实现的设计的动态翻转截面 σ_{dynamic} 一般使用式(4)计算^[11],单位为 $\text{cm}^2/\text{Device}$,表征系统易受到扰动的程度. 其中 E 为故障注入试验中设计功能失效的次数,而 Fluence 为单位面积上入射的粒子通量. 动态翻转截面可以用于系统在轨失效率的预估,是系统可靠性设计的重要参数.

$$\sigma_{\text{dynamic}} = E/\text{Fluence} \quad (4)$$

$$\text{Fluence} = \text{Flux} \cdot t \quad (5)$$

本次单粒子翻转模拟试验中每组试验功能失效次数 $E=10$, 等效注量 Fluence 则使用式(5)进行计算, 进而求得不同试验条件下 CUT 的动态翻转截面 σ_{dynamic} 如表 4 所示. 图 6 所示为未加固 CUT 和 TMR 加固 CUT 的动态翻转截面特性曲线.

表 4 不同 LET 值下 CUT 的 σ_{dynamic}

试验条件		未加固 CUT		TMR 加固 CUT	
LET/ ($\text{MeV} \cdot \text{cm}^2 \cdot \text{mg}^{-1}$)	Flux/ ($\text{个} \cdot \text{cm}^{-2} \cdot \text{s}^{-1}$)	Fluence/ ($\text{个}/\text{cm}^2$)	$\sigma_{\text{dynamic}}/(\text{cm}^2/\text{Device})$	Fluence/ ($\text{个}/\text{cm}^2$)	$\sigma_{\text{dynamic}}/(\text{cm}^2/\text{Device})$
2	926	124 084	0.008%	164 828	0.006%
5	315	27 090	0.037%	69 300	0.014%
10	152	9 120	0.109%	23 712	0.042%
20	75	5 700	0.175%	13 650	0.073%
30	51	5 406	0.184%	8 670	0.115%
50	31	3 844	0.442%	7 006	0.142%
60	25	2 000	0.500%	5 250	0.190%
90	20	1 380	0.724%	3 740	0.267%

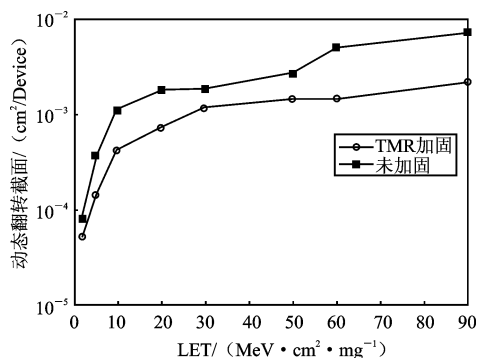


图 6 CUT 动态翻转截面特性曲线

试验结果表明:

(1) 单粒子翻转模拟试验花费时间短. 分别使用 675 s 和 1 529 s, 便可得到未加固 CUT 和 TMR 加固 CUT 完整的动态翻转截面特性曲线, 快速、全面评估系统的抗单粒子翻转性能.

(2) TMR 加固方案有效. 未经加固的 CUT 在更短的时间内便产生功能故障, 而经 TMR 加固后的 CUT 发生故障的时间约为未加固 CUT 的 2.3 倍, 失效速度明显降低.

(3) 该方法可定量分析系统加固设计的有效性. 对于同一 CUT, σ_{dynamic} 随着 LET 值的提高逐渐增大, 但当 LET 值超过 $30 \text{ MeV} \cdot \text{cm}^2 \cdot \text{mg}^{-1}$ 后 σ_{dynamic} 开始趋于平缓, 与静态翻转截面曲线相对应.

并且, TMR 加固 CUT 的 σ_{dynamic} 有了明显下降, 多数试验条件下其下降幅度约为 60%.

(4) LET 值等于 $60 \text{ MeV} \cdot \text{cm}^2 \cdot \text{mg}^{-1}$ 时, 未加固 CUT 的 σ_{dynamic} 出现了一定波动, 可通过减小故障注入速度、增加试验次数提高试验结果的准确性.

4 结束语

本文基于部分重构技术, 提出了一种新的 SRAM 型 FPGA 单粒子翻转模拟方法. 该方法通过建模解决了入射粒子 LET 值和注量率与故障注入之间的关系, 能够定量评估入射粒子 LET 值和注量率对系统电路加固效果的影响. 使用该方法建立的模拟系统, 仅花费 37 min 即可获得待测电路在 TMR 加固前后完整的动态翻转截面特性曲线. 根据试验目的和对象, 可灵活调整试验条件, 快速、全面评估系统的抗单粒子翻转性能, 提高系统电路的设计效率, 降低设计成本和试验成本. 但该方法主要针对单配置位翻转故障, 多位翻转故障尚待研究, 故障分布模型亦可根据辐照试验的统计数据进一步改进.

参考文献:

- [1] Sterpone L. electronics system design techniques for safety critical applications[M]. Netherlands: springer, 2008.
- [2] Yui C C, Swift G M, Carmichael C, et al. SEU mitigation testing of Xilinx Virtex II FPGAs[C]// presented at the Radiation Effects Data Workshop Record. [s. l.]:IEEE, 2003.
- [3] Swift G M, Rezgui S, George J. Dynamic testing of Xilinx Virtex-II field programmable gate array (FPGA) input/output blocks (IOBs) [J]. IEEE Trans Nucl Sci, 2004, 51(6):3469-3474.
- [4] Kretzschmar U, Astarloa A, Lazaro J, et al. An automatic experimental set-up for robustness analysis of designs implemented on SRAM FPGAs[C]// Int'l Symp. on System on Chip, 2011:96-101.
- [5] Grzegorz G Cieslewski, Alan D George, Adam M Jacobs. Acceleration of FPGA Fault Injection through Multi-Bit Testing[C]// ERS. [s. l.]:IEEE, 2010.
- [6] Xilinx Inc. Partial Reconfiguration User Guide UG702 (v14.5)[R]. 2013.
- [7] 费尔南达利马 卡斯腾斯密得, 路易吉卡罗, 里卡多赖斯. 基于 SRAM 的 FPGA 容错技术[M]. 杨孟飞, 龚健, 文亮, 等译. 北京:中国宇航出版社, 2009.

(下转第 104 页)

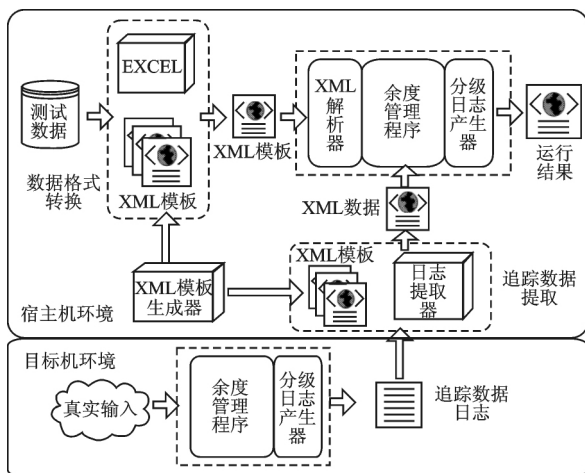


图7 余度管理跨平台综合验证原理

题中应用实践,与传统的余度管理软件开发相比,提高了余度管理软件开发效率与可靠性。在项目的软件需求分析阶段,可以有效地复用通用需求库中的共性需求,并针对项目专用需求进行分析,完成完整的软件需求过程。在项目的软件设计阶段,首先根据共性需求从通用构件库中进行构件选取与组装;其次根据项目专用需求完成定制算法的开发,完成完整的控制平面程序;最后利用余度管理配置工具录入配置信息,自动生成数据平面程序,对数据平面与控制平面进行集成,快速形成余度管理软件整体解决方案。最后可以依托操作系统与数据接口,结合XML数据接口仿真数据,即使在系统环境不具备的情况下,也可以有效地完成余度管理软件的验证与测试。实践证明,基于飞控系统余度管理软件通用开发平台可以提高软件设计的安全性、可靠性,缩短软件开发与验证的周期。

参考文献:

- [1] 杨美清,梅宏,李克勤. 软件复用与软件构件技术[J]. 电子学报,1999,27(2):69-75.

- [2] 张文,怀进鹏. 领域分析与建模研究[J]. 北京航空航天大学学报,2004,30(12):1225-1230.
- [3] Anderson William, Morris Ed, Smith Dennis, et al. COTS and reusable software management planning: A Template for Life Cycle Management[R]. Technical Report CMU/SEI-2007-TR-011, 2007.
- [4] 张伟,梅宏. 一种面向特征的领域模型及其建模过程[J]. 软件学报,2003,14(8):1345-1355.
- [5] Liu Mingyi, Zhou Xiaofeng. The application of domain engineering in MGIS development[C]// 2012 International Conference on Computer Science & Service System (CSSS). [s. l.]:IEEE, 2012.
- [6] Guo Ying, Wang Jun, Zhang Xiaoyan, et al. Domain service acquisition and domain modeling based on feature model[C]// IEEE International Conference on Computational Science and Engineering Dalian, Liaoning:IEEE,2011:26-33.
- [7] Robert Krut, Nathan Zalman. Domain analysis workshop report for the automated prompt and response system domain[R]. Technical Report CMU/SEI-96-SR-001, 1996.
- [8] 宋翔贵. 电传飞行控制系统[M]. 北京:国防工业出版社,2003.
- [9] 保鹏飞. 嵌入式软件的构件化模型的研究[D]. 长沙:国防科学技术大学,2011.

作者简介:

刘海亮 男,(1982-),硕士,工程师.研究方向为容错处理软件设计技术研究.

屈海敏 女,(1970-),本科,研究员.研究领域为安全性软件体系架构.

武方方 男,(1977-),博士,高级工程师.研究领域为安全性软件设计与验证.

姚龙辉 男,(1988-),硕士,助理工程师.研究领域为容错处理软件设计技术研究. E-mail: yaolonghui@126.com.

(上接第99页)

- [8] Allen G, Swift G, Carmichael C. Virtex-4VQ static SEU characterization summary [J]. JPL, NASA, 2008,15(6):68-83.
- [9] Monson J S, Wirthlin M, Hutchings B. Fault injection results of linux operating on an FPGA embedded platform[C]//Proc Int Conf ReConFig Comput. FPGAs: IEEE, 2010:37-42.
- [10] Carl Carmichael, Chen Wei Tseng. Correcting single-event upsets in virtex-4 FPGA configuration memory

[J]. xilinx Corporation,2009,10(1):128-134.

- [11] Johnson E. Estimating the Dynamic Sensitive Cross Section an FPGA design through Fault Injection[M]. Utah: Department of Electrical and Computer Engineering, Brigham Young University, 2005.

作者简介:

李林 男,(1990-),硕士研究生.研究方向为单粒子翻转故障注入算法. E-mail:lilin_jeas@163.com.