

基于 VHDL-AMS 的流水线 ADC 结构式 建模方法与仿真

陈世同, 赵振栋

(哈尔滨工程大学 自动化学院, 黑龙江 哈尔滨 150001)

摘 要: 目前很多模数转换器(ADC)缺乏仿真模型, 为了大型模数混合信号系统建模与仿真的需要, 提出一种基于 VHDL 模拟混合信号扩展(VHDL Analog and Mixed-Signal Extensions, VHDL-AMS)的流水线 ADC 结构式建模方法. 以多比特位每级的 12 位分辨率、10 MSPS 流水线 ADC 作为建模对象, 根据流水线 ADC 的结构特征, 在考虑非理想因素误差情况下, 分别建立采样保持放大和乘法数模转换器的 VHDL-AMS 子模型, 然后通过例化建立顶层流水线 ADC 的结构模型. 通过 SystemVision 和 Simulink 联合仿真, 得到静态性能参数微分非线性度和积分非线性度均小于 1 LSB, 动态性能参数无杂散动态范围 94.9417 dB, 总谐波失真 -94.9419 dB, 信噪比 58.7544 dB, 验证了所提建模方法合理与有效.

关键词: VHDL-AMS; 流水线模数转换器; 结构模型; 联合仿真

中图分类号: TN401

文献标识码: A

文章编号: 1000-7180(2016)04-0091-06

Constructral Modeling Method and Simulation for Pipeline ADC Using VHDL-AMS

CHEN Shi-tong, ZHAO Zhen-dong

(School of Automation, Harbin Engineering University, Harbin 150001, China)

Abstract: A large amount of analog-to-digital converters (ADC) lack of simulation model now, a constructral modeling method for pipeline ADC using VHDL Analog and Mixed-Signal Extensions (VHDL-AMS) is proposed in this paper in order to meet the necessary of modeling and simulation of large analog/mixed signal system. Multi-bit/stage 12 bit, 10 MSPS pipeline ADC is taken as modeling object, according to its architectural character, the VHDL-AMS sub-model of Sample-Hold Amplifier and Multiplying Digital to Analog Converter is built respectively with taking account of nonideal factors, and then the architectural model of high level pipeline ADC is built by instantiating. By the co-simulation of SystemVision and Simulink, intatic performance parameter Differential Non-Linearity (DNL) and Integral Non-Linearity (INL) are all less than 1 LSB; dynamic performance parameter Spurious Free Dynamic Range (SFDR) is 94.9417 dB, Total Harmonic Distortion (THD) is -94.9419 dB, Signal to Noise Ratio (SNR) is 58.7544 dB. The result shows that the proposed modeling method is reasonable and verified.

Key words: VHDL-AMS; pipeline ADC; constructral model; co-simulation

1 引言

流水线模数转换器(Analog to Digital Converter, ADC)具有高吞吐率、高线性度和低温度漂移等优良性能, 是典型的模数混合信号器件. 由于某些器件厂商不给用户提供仿真模型, 为了大型数模混合

信号系统进行建模与仿真, 建立系统元器件的模型势在必行. 目前, 对流水线 ADC 器件建模方面, 主要采用 Matlab/Simulink 进行行为级建模并仿真^[1], 模型通用性不强、不易被移植调用. 文献[2]虽采用 VHDL 模拟混合信号扩展(VHDL Analog and Mixed-Signal Extensions, VHDL-AMS)进行

ADC 的系统级建模,但并不是针对特有的流水线结构 ADC,没有过多考虑流水线 ADC 实际非理想因素引起的误差.文献[3]中利用晶体管级 Pspice 和系统级 Simulink 进行联合仿真,但普通用户无法得知系统内部详细的电路结构和参数.本文采用 SystemVision 建模工具,基于 VHDL-AMS 高级建模语言对多位每级流水线 ADC 作结构式建模,经 SystemVision 和 Simlink 联合仿真验证所建模型贴近器件实际性能.

2 流水线 ADC 结构

如图 1 所示,流水线 ADC 主要包括采样保持放大电路 (Sample-Hold Amplifier, SHA)、四级流水线转换电路、延时对准寄存器阵列、数字校正逻辑电路和时钟发生电路.每级流水结构又分为子 ADC (Sub-ADC)、子 DAC (Sub-DAC)、减法器 and 余量增益采样保持放大器,通常把当前级子 DAC、加法器、放大器和下一级 SHA 称为乘法数模转换器 (Multiplying Digital to Analog Convertor, MDAC),即图 1 中流水级放大视图虚线包围区域.为了消除比较器比较偏差引起的误差,根据流水线 ADC 的冗余位数字校正原理^[4],通常取 0.5 位作为冗余数字校正位.本文采用此原理将确定各级以“4.5+3.5+2.5+3”位的 12 位分辨率、10 MSPS 流水线 ADC 作为建模对象,由于末级结构只有 A/D,不会与后级进行冗余位校正,所以末级确定为 3 位级结构.

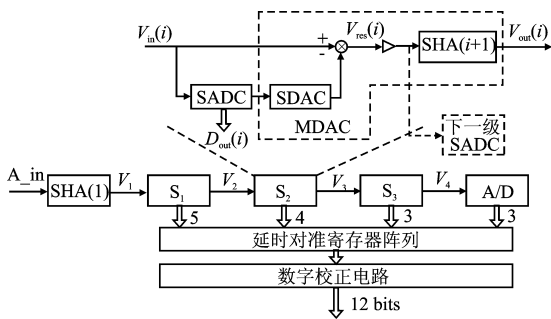


图 1 12 位流水线 ADC 功能结构图

3 ADC 各单元原理分析与建模

3.1 SHA 建模

SHA 是采样开关电容结构,微分输入 SHA 基本原理图如图 2 所示. SHA 将模拟输入信号按照时序采样、保持放大后供后级电路处理.

当单端输入时,采样开关闭合,保持开关打开,则 SHA 处于采样阶段,其输出电压

$$V_o = V_i - (V_i - V_{\text{initial}}) \cdot \exp\left(-\frac{t - t_{\text{sample}}}{t_{\text{acq}}}\right) \quad (1)$$

如果采样开关打开,保持开关闭合,则 SHA 处于保持阶段,其输出电压

$$V_o = V_{\text{hold}} \cdot \exp\left(-\frac{t - t_{\text{hold}}}{t_{\text{drop}}}\right) \quad (2)$$

式中, V_i 为输入电压, V_o 为输出电压, 采样时刻初始时刻电压为 V_{initial} , 采样初始时刻为 t_{sample} , 采样捕捉时间 t_{acq} ; 保持初始时刻电压 V_{hold} , 保持阶段放电时间常数 t_{drop} .

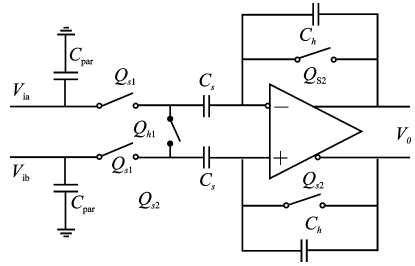


图 2 基本 SHA 原理图

采样保持电路在实际工作时有很多非理想因素引起的误差,这些非理想误差的主要参数包括孔径延时、保持建立时间、保持阶段波动频率、采样保持环节动态抖动和保持模式偏差^[5]. 当考虑补偿这些非理想因素引起的误差时,采样阶段的传输特性不变,而保持阶段的传输特性表达式^[6]则变为

$$V_o = V_{\text{hold}} \cdot \exp\left(-\frac{t - t_{\text{hold}}}{t_{\text{drop}}}\right) - V_{\text{error}} \cdot \left(\frac{|V_{\text{hold}} - V_{\text{initial}}|}{V_{\text{swing}}}\right) \cdot \left\{ \exp\left(-\frac{t - t_{\text{hold}}}{t_{\text{settle}}}\right) \cdot \sin[\omega_s(t - t_{\text{hold}})] - \left(\exp\left(-\frac{t - t_{\text{hold}}}{t_{\text{settle}}}\right) - 1\right) \right\} \quad (3)$$

式中, $\omega_s = 2 \cdot \pi \cdot f_{\text{swing}}$; t_{aprt} 代表孔径延时, t_{settle} 为保持建立时间, f_{ripple} 为保持阶段波动频率, V_{swing} 为采样保持环节动态抖动, V_{error} 为保持模式偏差.

SHA 环节的执行流程图如图 3 所示.

流程图中函数 get_vout_temp 接受实参 v_initial、v_hold、t_sample、t_hold、start_sampling 和实时时间,并将执行的临时电压 vout_temp 反馈给采样、保持初始电压 v_initial 和 v_hold. 函数 get_vout_temp 的声明代码如下:

```
function get_vout_temp(
    v_hold : real;
    v_initial : real;
    t_sample : real;
    t_hold: real;
```

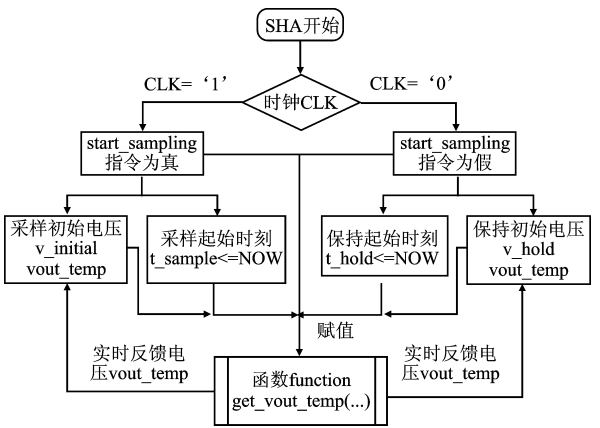


图 3 SHA 执行流程图

```
tnow      : real;
start_sampling : boolean )
return real is
begin
if start_sampling then return
vin-(vin-v_sample_initial)*exp(-(tnow-t_sample)/time2real(t_acq));
else return
v_hold*exp(-(tnow-t_hold)/time2real(t_drop))-
Verror*(abs(v_hold-v_initial)/Vswing)*(exp(-(tnow-t_hold)/time2real(t_settle))*sin(ws*(tnow-t_hold))-
(exp(-(tnow-t_hold)/time2real(t_settle))-1.0));
end if;
end function get_vout_temp;
```

3.2 Sub-ADC 建模

Sub-ADC 电路是将前期采样保持后的模拟信号量化编码为数字信号. 比较器是子 ADC 电路的核心器件, 以 2.5 位 Sub-ADC 为例, 需要 6 个比较器. 假设额定参考电压为 V_{ref} , 输入流程范围被分压成 7 个比较区间, 每个比较器的参考电压依次是 $-5V_{ref}/8$, $-3V_{ref}/8$, $-V_{ref}/8$, $V_{ref}/8$, $3V_{ref}/8$ 和 $5V_{ref}/8$. 输入电压与参考电压相比较, 比较器输出数字信号, 如此得到温度计型数字码. 关于 2.5 位 Sub-ADC 的参考电压和输出码之间的关系见表 1.

表 1 2.5 位 Sub-ADC 传输特性

输入 V_{in}	输出 D_{out}
$V_{in} < -5V_{ref}/8$	000
$-5V_{ref}/8 \leq V_{in} < -3V_{ref}/8$	001
$-3V_{ref}/8 \leq V_{in} < -V_{ref}/8$	010
$-V_{ref}/8 \leq V_{in} < V_{ref}/8$	011
$V_{ref}/8 \leq V_{in} < 3V_{ref}/8$	100
$3V_{ref}/8 \leq V_{in} < 5V_{ref}/8$	101
$V_{in} \geq 5V_{ref}/8$	110

2.5 位流水级子 ADC 非理想因素主要是比较器偏差电压, 依次记为 $V_{offset1}$ 、 $V_{offset2}$ 、 $\cdots$ 、 $V_{offset6}$. 考虑比较器偏差电压时, SADC 的 VHDL-AMS 部分代码如下所示.

```
if Vin < (-5.0 * Vref/8.0 + Voffset1) then
code <= "000";
elsif (-5.0 * Vref/8.0 + Voffset1) < Vin and Vin < (-3.0 *
Vref/8.0 + Voffset2) then
code <= "001";
elsif (-3.0 * Vref/8.0 + Voffset2) < Vin and Vin < (-Vref/
8.0 + Voffset3) then
code <= "010";
elsif (-Vref/8.0 + Voffset3) < Vin and Vin < (Vref/8.0 +
Voffset4) then
code <= "011";
elsif (Vref/8.0 + Voffset4) < Vin and Vin < (3.0 * Vref/ 8.0
+ Voffset5) then
code <= "100";
elsif (3.0 * Vref/8.0 + Voffset5) < Vin and Vin < (5.0 *
Vref/8.0 + Voffset6) then
code <= "101";
elsif Vin > (5.0 * Vref/8.0 + Voffset6) then
code <= "110";
end if;
```

3.5 位和 4.5 位流水级 Sub-ADC 结构类似于 2.5 位 SADC, 只是比较器个数较多, 分别是 14、30 个. 其传输特性关系以及 VHDL-AMS 模型可根据 2.5 位 Sub-ADC 类似推导. 另外, 末级唯有 Flash ADC, 输出 3 位数字码, 不参与冗余位数字校正. 令 $N_i=8$, $FS/2=V_{ref}$, 可得均等的 8 个参考区间, 输出 3 位数字码和对应的参考区间较容易得到, 这里亦不再赘述.

3.3 MDAC 建模

流水线 ADC 的 MDAC 电路和 SHA 都是采用开关电容结构, 运算放大器和开关电容构成 MDAC, 内部结构的特性决定了 MDAC 涵有非理想因素误差, 主要包括电容失配误差、运放有限增益误差和运放有限带宽^[7].

采用冗余数字校正技术, 余量放大器增益 $G_i = 2^{n_i-1}$, 半量程 $FS/2 = V_{ref}$, $N_i = 2^{n_i}$. 由 MDAC 传输方程^[8]

$$V_{out}(i) = [V_{in}(i) - V_{dac}(i)] \cdot G_i$$
$$= \left[V_{in}(i) - \left(D_{out}(i) - \frac{N_i - 1}{2} \right) \cdot \frac{FS}{N_i} \right] \cdot G_i$$

(4)

考虑非理想因素带来的误差, 电容失配误差记作 d , 运放有限增益误差记作 k , 则当 $n_3 = 3$ 时

对象,输入一斜坡信号,其仿真结果如图 5 所示.实线表示斜坡输入电压,虚线表示为 MDAC 残差放大后输出电压,下方二进制数是转换输出的数字码.从图中可看出流水级输出电压被分为 7 个参考电压区段,每个区段都不超过满量程电压,为满刻度的一半值,与其对应的输出数字码十进制数分别是 0、1、2、3、4、5、6,仿真结果与流水级设计原理一致.

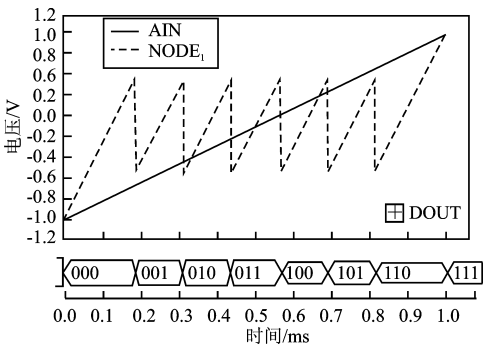


图 5 2.5 位流水级信号仿真

4.3 流水线 ADC 总体信号仿真

输入一个频率 1 kHz、幅值 1.0 V 的正弦信号,时钟频率为 25 kHz,其总体流水线 ADC 信号仿真结果如图 6 所示.中间视图是下方 ADC 输出 12 位数字信号 D_{out} 的连续形式显示,从图 6 中可知数字信号能实时跟踪输入正弦信号,并且随着正弦信号的起伏具有递增、递减单调性.在仿真截止时间 1 ms 处,数字信号值未超过 2 000,这是因为流水线各个模块都有转换延时,所以最终输出信号延迟于输入模拟信号一定时间,该时延并不会对信号转换造成错码和失码.

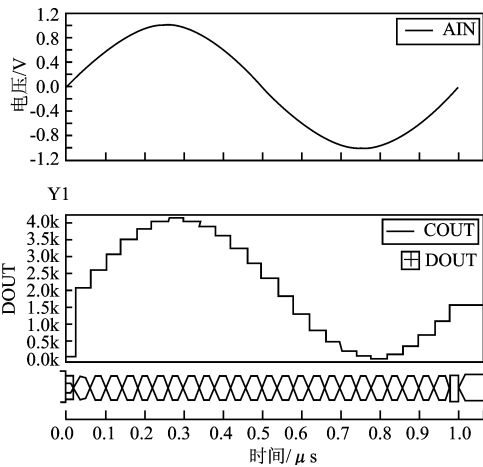


图 6 总体流水线 ADC 信号仿真

4.4 静态性能仿真

SystemVision 即可以与 Matlab/Simulink 联合

仿真. SystemVision 具有快速建模的优势,而 Matlab 具有强大的后期数据处理能力,形成优势互补. SystemVision 与 Simulink 配置成功后,需要调用 SVX 组件才能进行数据通信, SystemVision 连接如图 4 所示, Simulink 连接如图 7 所示.

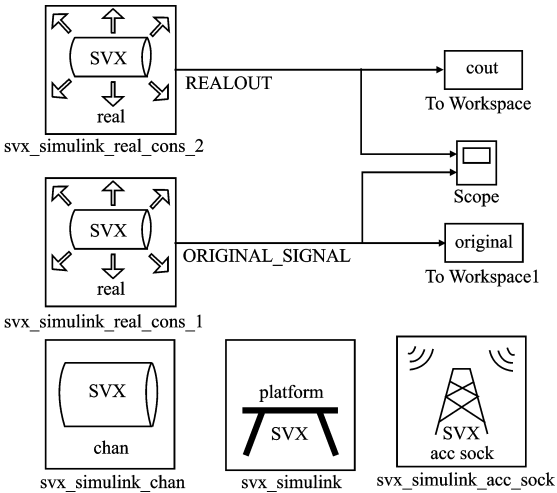


图 7 Simulink 模型图

ADC 的静态性能参数主要有分辨率、量化误差、偏移误差、满刻度误差、积分非线性误差 (Integral Non-Linearity, INL) 和微分非线性误差 (Differential Non-Linearity, DNL), 诸多静态参数以 INL 和 DNL 最具有说明性. 通常, 测试 INL 和 DNL 有斜坡和码密度^[9]两种方法, 本文采用码密度法测试 INL 和 DNL.

假设时钟周期为 2.5 μ s, 输入正弦信号频率 0.05 Hz, Simulink 模型中 svx_simulink_real_cons 插件的消耗周期时间范围为微秒级, 则 SystemVision 导入到 Matlab 工作空间的数字量有 20 001 个. 静态测试结果表明: 图的码密度直方图具有数字码两端次数多, 中间次数少的特征, 符合输入正弦信号规律; 计算得到 $INL = 0.7374 \text{ LSB}$, $DNL = 0.5857 \text{ LSB} < 1.0 \text{ LSB}$, 结合转换曲线可知 ADC 输出没有失码.

4.5 动态性能仿真

动态性能最能反映流水线 ADC 模型工作的性能状态. 假设正弦输入信号频率为 0.1 kHz, 时钟频率为 1.0 MHz, 快速傅里叶变换 (Fast Fourier Transform, FFT) 采样频率为 1.0 kHz, 采样点 1 024 个, 采用 Blackman 窗函数来防止频率泄漏. 动态性能仿真如图 8 所示, 仿真结果得到无杂散动态范围 (Spurious Free Dynamic Range, SFDR) 为 94.941 7 dB, 总谐波失真 (Total Harmonic Distor-

tion, THD) 为 $-94.929\ 9\ \text{dB}$, 信噪比 (Signal to Noise Ratio, SNR) 为 $58.754\ 4\ \text{dB}$.

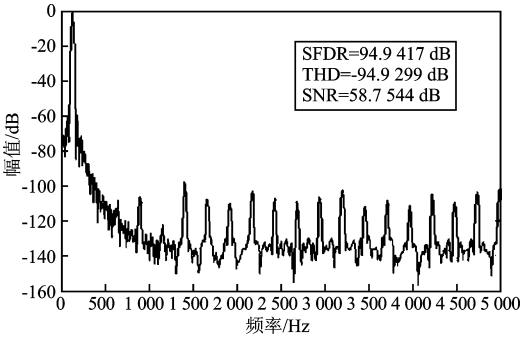


图 8 动态性能仿真

5 结束语

本文提出一种对多位每级流水线 ADC 进行 VHDL-AMS 结构式建模方法,此方法新颖、简单、仿真速度快.经 12 位流水线 ADC 静态性能和动态性能仿真,仿真结果正确无误,不会出现失码和缺码现象,验证了采用此方法建立流水线 ADC 模型的有效性.所建模型具有以下优点:

- (1)根据文中多位每级输出数字码的形式,用户可以自由修改流水级结构来满足使用需求;
- (2)模型考虑了非理想因素带来的误差,参数可调,模型符合器件实际工作性能;
- (3)基于 VHDL-AMS 的 ADC 模型在大型数模混合信号系统建模仿真时可以任意调用,移植性强.

参考文献:

[1] Lan D, Liu X D. Behavioral model based on simulink for 14-bit 200MS/s pipelined ADC[C]// International

Conference on Control Engineering and Communi- cation Technology. Shenyang:IEEE, 2012: 79-82.

[2] 申振胜. 基于 VHDL-AMS 的 ADC 建模及仿真[D]. 西安:西安电子科技大学,2014.

[3] IEEE-SA Standards Board. IEEE Std 1076. 1-1999. Definition of analog and mixed signal extensions to IEEE Standard VHDL[S]. New York: The Institute of Electrical and Electronics Engineers, Inc, 1999.

[4] 孙可旭,何乐年. 基于频域特性的流水线 ADC 数字校正技术[J]. 浙江大学学报:工学版,2013,47(8): 1393-1301.

[5] 刘蒲霞,陆铁军,王宗民. 16 位流水线 ADC 系统级建模及仿真[J]. 微电子学与计算机,2009,26(12): 120-121.

[6] AMS Modeling Cookbook for VHDL-AMS. Mentor Graphics Corporation[R]. MentorGraphics Corpora- tion, 2010.

[7] 薛亮. 10 位高速流水线模数转换器的研究[D]. 北京:清华大学,2004:42-50.

[8] Mikael G, J Jacob Wikner, Tan N X N. CMOS data converters for communications[M]. Boston: Kluwer Academic Publishers, 2000.

[9] Xu D J, Jun P. The study of code density histogram testing method to high-speed ADC based on DSP[C]// Proc of the 8th World Congress on Intellgent Control and Automation. Jinan:IEEE, 2010: 2069-2074.

作者简介:

陈世同 男,(1980-),博士,讲师.研究方向为光纤陀螺信号检测与处理技术、光纤陀螺捷联惯性导航技术.
E-mail:gsdxzdd@sina.com.

赵振栋 男,(1991-),硕士研究生.研究方向为数模混合信号系统建模仿真技术、惯性器件与系统建模技术.

(上接第 90 页)

参考文献:

[1] Ma Guire. Issues In the development of an integrated environment for Implementation[J]. Microprocessors and Microsystems,1999,23(4):199-206.

[2] SystemC v2.0. 1 UserGuide [EB/OL]. [2015-04-20]. <http://www.systemc.org>

[3] 王国富. 浅谈基于 SystemC 的系统设计[J]. 科技创新与应用,2014,24(16):60-60.

[4] 夏宇闻,甘伟. SystemC 入门[M]. 北京:北京航空航天大学出版社,2008.

[5] 杨光,冉峰. 单片机汇编器的设计与实现[J]. 微型计算机应用,2005,26(2):231-233.

作者简介:

韦 祎 女,(1987-),硕士研究生.研究方向为软件与理论.
E-mail:wyy811@126.com