

一种改进型比例积分环路滤波器的设计

胡建来, 李 磊

(电子科技大学 电子科学技术研究院, 四川 成都 611731)

摘 要: 为改善系统由于非线性 Bang-Bang 鉴相器的引入而导致的系统非线性, 提出了一种改进型数字环路滤波器, 能够根据相位误差的大小, 自动调整环路系数, 提高了系统线性度. 在 AMS 数模混合电路仿真环境中, 仿真了采用此环路滤波器的时钟数据恢复电路. 仿真结果表明, 相比于采用传统环路滤波器的时钟数据恢复电路, 采用该结构的时钟数据恢复电路的线性度最高可提高 60%.

关键词: Bang-Bang 鉴相器; 数字环路滤波器; AMS; 时钟数据恢复

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2016)06-0092-03

An Improved Design of Proportional-Integral Digital Loop Filter

HU Jian-lai, LI Lei

(Research Institute of Electronic Science and Technology, UESTC, Chengdu 611731, China)

Abstract: To improve the linearity of system using nonlinear Bang-Bang phase detector, this paper presents a proposed digital loop filter (DLF) with coefficients that adapt to relative magnitude of the phase error, improved system linearity. In AMS digital and analog simulation environment, clock and data recovery adopting the proposed DLF is simulated. The simulation results shows that the linearity of the clock and data recovery adopting proposed DLF increases by 60% at most compared to adopting conventional proportional-integral DLF.

Key words: Bang-Bang phase detector; digital loop filter; AMS; clock and data recovery(CDR)

1 引言

时钟数据恢复(CDR)电路是许多串行高速接口的重要组成部分, 如 USB3. 0、PCIE、SATA 等^[1,2]. Bang-Bang 鉴相器(BBPD)由于其具有增益高, 能工作在很高的速率下等优点^[3], 在 CDR 等高速电路中被广泛使用. BBPD 只产生输入信号相对参考信号是超前还是滞后信号, 对相位误差的大小不提供任何信息, 这也是 BBPD 的缺点, 给系统带来了非线性. 在大的相位误差扰动下, 可能造成系统不稳定. 数字环路滤波器(DLF)对 BBPD 的输出进行处理, 并产生控制字. 环路滤波器可以采用“随机徘徊”滤波器^[4]或可变模计数器^[5]实现, 也可采用比例积分结构的滤波器^[6,7]实现. 这两种电路都能平滑 BBPD 的输出, 在相位误差比较小的情况下比较适用. 但是没有考虑到 BBPD 的非线性特点对系统造

成的影响. 当相位误差比较大时, 系统稳定所需时间比较长, 系统线性响应比较差.

本文提出了一种改进型比例积分环路滤波器, 能够根据相位误差的大小自动调整环路系数, 减小系统稳定所需时间, 提高系统的线性度.

2 基于相位插值结构的 CDR

基于相位插值结构的 CDR^[8]如图 1 所示, 半速率 BBPD 判断时钟是超前还是滞后数据, 数字环路滤波器对 BBPD 的输出进行处理, 有限状态机根据 DLF 输出的控制字, 输出相位选择控制信号给相位选择器(PS), 经相位选择器选择出来的时钟送到相位插值器进行插值, 插值器输出的时钟再送给 BBPD, 形成一个反馈环路. 时钟产生模块(Clock Generator)产生相位选择器所需的多相位时钟. 当整个环路锁定时, 便可恢复出时钟和数据.

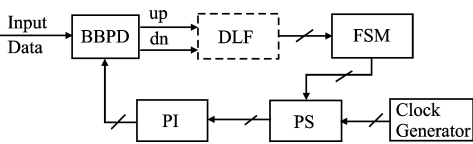


图 1 时钟数据恢复电路

3 比例积分环路滤波器结构

比例积分环路滤波器的一般结构如图 2(a)所示,由比例路径和积分路径组成,每条路径上有整型系数 α 和 β 对整个环路进行调节,当 up/dn 为高时,积分路径进行正积分,up/dn 为低时,进行负积分.还有一个延时单元用来调节控制字的更新速度^[6].在此基础上,提出了一种改进方案,增加了一个计数模块,用于对同一极性的误差信号所持续的时间进行计数.当极性改变时,计数器重新开始计数,其结构如图 2(b)所示.计数器的输出用于调节环路滤波器的系数,从而调节控制字的变化速率,其值越大,控制字增加或减小的速率越大.这样,控制字的变化速率和相位误差的大小就建立了联系,相位误差越大,控制字的变化速率也越大.通过这种方法,可以知道相位误差的幅度,弥补了 BBPD 只能反映相位误差极性的缺点,提高了系统的线性响应.

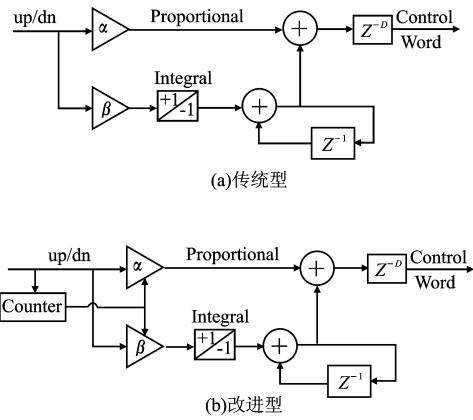


图 2 比例积分环路滤波器结构

改进后的环路滤波器内部结构如图 3 所示.计数器被分成 n 段,当它的值达到 V_1 时,积分路径中累加量增加或减少 A_1 ;到达 V_2 时,累加量再增加或减少 A_2 ,如此下去,一直到 V_n ,累加量继续增加或减少 A_n .计数器相当于一个控制器,控制着积分路径中的累加量的大小.当相位误差幅度比较大时,计数器的值也比较大,那么积分路径中的累加量也大,控制字增加或减小的速度加快.比例路径的值 α 则对环路进行微调. α 的值对系统的稳定性很重要, α 值

太小,起不到调节的作用, α 值太大,可能造成系统不稳定. α 的值只有在相位误差的极性改变时才更新,其他情况下保持不变.

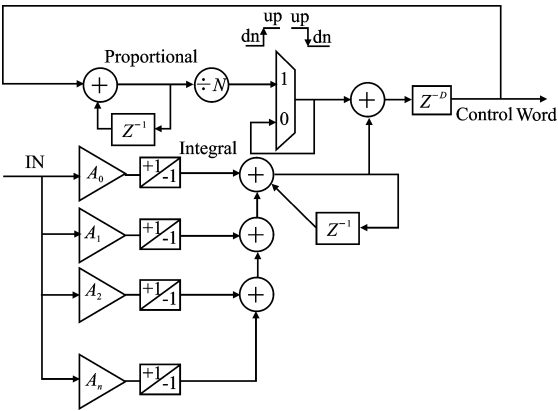


图 3 改进后的环路滤波器内部结构

图 4 显示了当 $n = 4, D = 0$,相位误差为正时,控制字的变化情况.从图中可以看出,随着相位误差幅度的增大,控制字的斜率不断增大. n 的大小可根据实际情况选择, n 越大,系统的线性响应越好,但设计会变复杂,功耗也会变大.

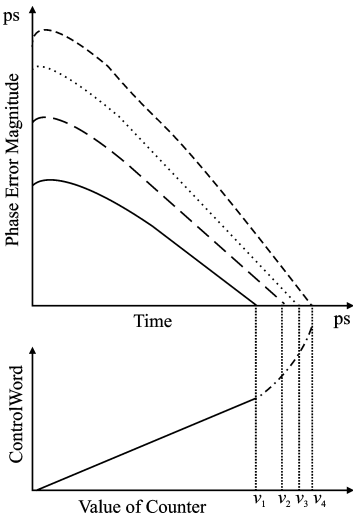


图 4 不同相位误差下,控制字的变化

4 电路设计及系统线性度分析

4.1 改进型数字环路滤波器电路设计

改进型数字环路滤波器采 Verilog HDL 描述,主要包括计数器部分和加减控制逻辑部分.计数器对同一极性的误差信号所持续的时间进行计数,当极性改变时,计数器的值就清零,重新开始计数.加减控制逻辑部分接收计数器的输出,根据计数器的值决定积分路径累加量的大小.同时根据极性是否改变来决定是否更新比例路径的值 α ,最后输出 9 位

控制字。

4.2 环路滤波器对系统线性度的影响

传统比例积分环路滤波电路中、在任何时间内，控制字的大小由比例路径的系数和积分路径的系数组成。假设初始相位差为正，在时间 $m \cdot T$ (T 为系统时钟周期) 内，比例路径增加的值为 α ，积分路径增加值为 $m \cdot \beta$ ，控制字每 D 个周期更新一次。在这段时间内，控制字增加的平均值为 $INC_{cw} = \alpha + \beta \cdot m$ 。初始相位为负的情况类似，只是积分路径负向积分。改进后的比例积分滤波电路中，比例路径中，系数根据控制字自动调整，且只在相位误差信号极性改变时才改变。而在积分路径中， β 值随着相位误差的增大而增大，相对传统型而言，控制字增加得速度逐渐变快，直到相位误差极性改变，控制字又变得比较小。

为评估改进后的数字环路滤波器对系统线性度的影响，分析采用此环路滤波器的时钟数据恢复系统，系统框图如图 1 所示。系统线性度 L 的定义是：相位为 $90^\circ/270^\circ$ 的时钟第一次对齐数据所用时钟周期数 C 和初始相位差 Δp 的比值，即 $L = C/\Delta P$ ；

在系统开始工作到时钟和数据第一次对齐的这段时间内，BBPD 输出信号的极性一直未改变，DLF 正是利用这个特性来调整环路系数。时钟和数据的相位差越大，环路系数增加的越快，控制字增加的速度也越快，时钟相位调节加快。当 BBPD 输出信号极性第一次改变后，由于此时时钟和数据的相位差很小，计数器的值也很小，从而导致环路系数比较小，控制字的变化也比较小。此后，控制字在很小的一个范围内波动，系统达到锁定状态。

由前面的分析可知，环路滤波器在相位误差大的时候，通过调节控制字的大小使系统调节得快，误差小的时候，使系统调节得慢，有效地提高了系统线性度。

5 仿真结果与分析

两种基于比例积分结构的环路滤波器参数设置如表 1 所示。

表 1 DLF 参数设置						
	n	A_0	A_1	A_2	D	α
改进型	2	1	1	2	2	自适应
传统型	—	2	—	—	2	2

使用 Cadence 下的 AMS 数模混合电路仿真器对电路进行仿真。由于本文采用的是半速率鉴相器，而输入数据的变化周期为 400 ps，故输入数据和时

钟相位差最大为 400 ps。在不同初始相位条件下，计算出相位为 $90^\circ/270^\circ$ 的时钟对齐数据所用周期数，结果如表 2 所示。

表 2 不同相位差下所求得周期数

相位差/ PS	周期数 C		线性度 L		提高率/ %
	传统型	改进型	传统型	改进型	
60	16	16	0.267	0.267	0
160	44	28	0.275	0.175	36.4
250	64	38	0.256	0.152	40.6
280	95	49	0.339	0.175	48.4
335	214	101	0.639	0.301	52.8
360	251	118	0.697	0.328	52.9
390	335	133	0.859	0.341	60.3

从表中可以看出，在相位差不断增大的情况下，改进后的环路滤波器相比传统型环路滤波器，第一次时钟对齐数据所用的周期数大大减小，系统线性度得到了有效提高。在相位误差很小的时候(如 60 ps 时)，两种环路滤波器的效果相当。说明改进后的环路滤波器既能在相位误差比较大时，起到很好的调节作用，又能在相位误差比较小时，像传统环路滤波器一样工作得很好。

相位差为 335 ps 时的仿真结果如图 5 所示。相位为 90° 的时钟(`clk_90`) 在 91 ns 时(由于复位在 10 ns 时失效，实际周期数约为 101)，已经和输入数据 `sout` 的对齐。这种情况下，系统线性度 $L = 101/335 = 0.301$ ，线性度提高率 $= (0.639 - 0.301)/0.639 = 0.528$ 相位为 $0^\circ/180^\circ$ 的时钟(即图中的 `clk_0` 和 `clk_180`) 的上升沿为输入数据最佳采样时刻，时钟和数据能够正确恢复，图中 `dout` 为最后恢复出来的数据，和输入的数据一致。

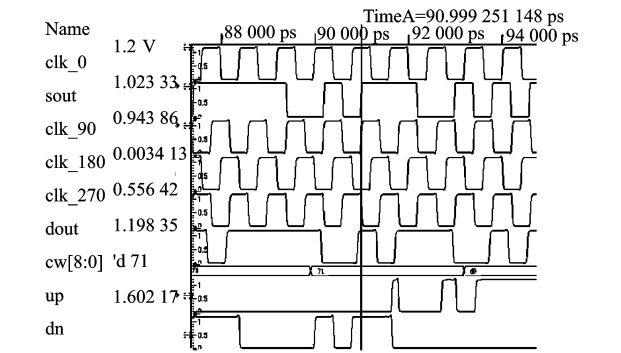


图 5 相位差为 335 ps 时的仿真结果

改进型比例积分环路滤波器除了可以运用于基于 BBPD 的相位插值结构时钟数据恢复电路中，也可以运用于全数字锁相环电路中^[7]。

由此可见,扩展的生日悖论标签估计算法在所比较的几种方法中,具有最低的平均浪费时间,即平均识别时间最少。

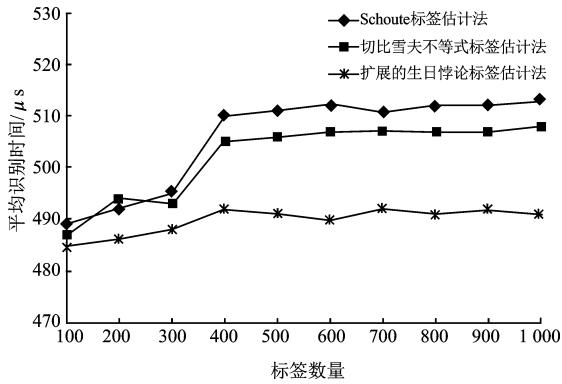


图 6 不同估计方法的标签平均识别时间的比较

6 结束语

通过扩展的生日悖论概率论思想应用到标签估计方法中,提出了一种改进的动态帧时隙 ALOHA 算法.改进后的算法通过选择基于标签准确估计数目的最佳帧大小增加了系统的效率.通过算法的仿真,根据扩展生日悖论概率论思想提出的标签估算方法相对与其他几种估算方法具有较低的平均错误率,减少了标签识别过程中的平均浪费的时间,提高了信道的使用效率,具有良好的性能。

参考文献:

[1] 刘智珺,李腊元. 基于图着色的事务调度算法的设计[J]. 微电子学与计算机,2012,29(4):97-100.

[2] 刘智珺,李腊元,杨少华. 基于双簇头非均匀分簇的 LEACH 协议的改进[J]. 微电子学与计算机,2011,28(11):81-84.

[3] 丁志国,朱学永,郭立. 自适应多叉树防碰撞算法研究[J]. 自动化学报,2010,36(2):237-241.

[4] 陈颖,张福洪. RFID 传感网络中多阅读器碰撞算法的研究[J]. 传感技术学报,2010,23(2):265-268.

[5] 程文青,赵梦欣,徐晶. 改进的 RFID 动态帧时隙 ALOHA 算法[J]. 华中科技大学学报,2007,25(6):14-16.

[6] YU J,LEE W,DU D Z. Reducing reader collision for mobile RFID[J]. IEEE Transactions on Consumer Electronics,2011,57(2):574-582.

[7] Zhu L,Yum T S P. A critical survey and analysis of RFID anti collision mechanisms[J]. IEEE Communications Magazine,2011,49(5):214-221.

[8] 李萌,钱志鸿,张旭. 基于时隙预测的 RFID 防碰撞 ALOHA 算法[J]. 通信学报,2011,32(12):43-50.

作者简介:

潘雪峰 男,(1980-),硕士,副教授.研究方向为物联网应用,射频识别技术. E-mail:panxuefeng800103@sina.com

曹加恒 男,(1946-),教授,博士生导师.研究方向为物联网应用。

(上接第 94 页)

6 结束语

本文提出的改进型比例积分数字环路滤波器能够根据相位误差的大小,自动调整环路系数,有效地提高了系统线性度. AMS 仿真结果表明,相比于采用传统环路滤波器的时钟数据恢复电路,采用该结构的时钟数据恢复电路的线性度最高可提高 60%。

参考文献:

[1] GuanghaiShu, Saurabh Saxena, et al. A reference-less clock and data recovery circuit using phase-rotating phase-locked loop[J]. IEEE Journal of solid-state circuits, 2014, 49(4): 1036-1047.

[2] Ward S Titus, John G Kenney. A 5.6 GHz to 11.5 GHz DCO for digital dual loop CDRs[J]. IEEE Journal of solid-state circuits, 2012, 47(5): 1123-1130.

[3] Habib Adrang, Hossein Miar-Naimi. Modeling of jitter in bang-bang CDR with Fourier Series Analysis [J]. IEEE

Fransaction on Regular Papers,2013, 60(1): 3-10.

[4] 邓军勇,蒋林,曾泽沧. 高速 CMOS 时钟数据恢复电路的设计与仿真[J]. 微电子学与计算机,2014, 31(11): 56-63.

[5] 杨莉荣,王伟. 基于 FPGA 的数字锁相环设计[J]. 微计算机应用,2009,30(1):68-71.

[6] 刘阳. 基于数字锁相环的低功耗时钟发生器设计[D]. 北京:北京交通大学,2014.

[7] Liming Xiu, Wen Li, Meiners J, et al. A Novel All-Digital PLL With Software Adaptive Filter[J]. IEEE Journal of solid-state circuits, 2004, 39(3): 476-483.

[8] S Sidiropoulos, M A Horowitz. A semidigital dual delay-locked loop[J]. IEEE Journal of solid-state circuits, 1997, 32(11):1683-1692.

作者简介:

胡建来 男,(1990-),硕士研究生.研究方向为数模混合集成电路设计. E-mail:18215548179@126.com.

李磊 男,(1982-),博士,副研究员.研究方向为超大规模集成电路设计。