

低能耗三输入 AND/XOR 门的设计

阳 媛, 夏银水, 钱利波

(宁波大学 电路与系统研究所, 浙江 宁波 315211)

摘 要: 提出了一种基于传输门逻辑的低能耗三输入 AND/XOR 门设计电路. 基于 55 nm CMOS 工艺, 采用 HSPICE 仿真软件在不同工艺角下对门电路进行后仿真分析, 并与已有的 AND/XOR 门电路进行对比. 仿真结果表明该电路的性能良好, 在典型工艺角下, 提出的电路的功耗、速度和功耗-延时积的改进量最高分别可达 10.08%, 29.03% 与 36.12%, 满足低能耗的设计要求.

关键词: 与/异或; 功耗; 功耗-延时积; 低能耗

中图分类号: TN431.2

文献标识码: A

文章编号: 1000-7180(2016)08-0102-05

Design of Low Energy Consumption 3-Input AND/XOR Gate

YANG Yuan, XIA Yin-shui, QIAN Li-bo

(Institute of Circuits and Systems, Ningbo University, Ningbo 315211, China)

Abstract: A transmission gate logic based low energy consumption 3-input AND/XOR gate is proposed. Under 55 nm CMOS process, the post-simulations of the circuit under different process corners are carried out by using HSPICE and compared with the published circuits. The simulation results show that the performance of this circuit is good, under typical process corner, the improvement of the proposed circuit can be up to 10.08%, 29.03% and 36.12% respectively in terms of the power, delay and power delay product, which meets the design requirement of low energy.

Key words: AND/XOR; power; power delay product; low energy consumption

1 引言

随着工艺尺寸的缩小和设计技术的进步, 集成电路朝着更大规模、更复杂的趋势前进, 低能耗已成为其设计的主要目标之一. 目前, 几乎所有电路的设计方法均采用基于“与”、“或”、“非”运算集的传统布尔(Traditional Boolean, TB)逻辑. 实际上, 逻辑电路既可以用 TB 逻辑实现, 也可以用基于“与/异或(AND/XOR)”运算的 Reed-Muller(RM)逻辑来实现^[1]. 据统计, 50% 的电路采用 RM 逻辑来实现, 可得到更好的设计. 此外, 较之于 TB 逻辑, RM 逻辑电路还具有如下优点: 良好的可测试性和易于映射到现场可编程逻辑门阵列(field programmable gate array, FPGA)^[2], 这为解决当今集成电路设计中存在的“验证”难题提供有效的途径; 采用 RM 逻辑

实现算术运算部件、奇偶校验函数等某些逻辑函数要更为简单^[3], 这不仅有利于面积的节省, 而且在功耗和速度方面具有潜在的优势. 然而, RM 逻辑之所以没有得到广泛应用, 主要障碍是缺乏相应的 EDA 工具和库单元. 近年来, 关于 AND/XOR 门的研究, 虽然已提出了采用与/与非(AND/NAND)门和同或/异或(XOR/XNOR)门级联而成的传统电路结构和晶体管级的 AND/XOR 门电路结构, 但是仍然存在功耗较大、延时较长、功耗-延迟积(power delay product, PDP)高等问题.

据此, 本文采用传输门(transmission gate, TG)逻辑设计了一种新型的三输入 AND/XOR 门电路, 在标准 55 nm CMOS 工艺下, 采用 Cadence IC5141 进行电路的原理图及版图的设计, 使用 HSPICE 进行了五种不同工艺角下的后仿真, 并对

其功耗、延时、PDP 等性能指标进行分析,仿真结果表明所提出的电路在能耗上具有明显的优势。

2 现有的 AND/XOR 门电路设计

三输入 AND/XOR 门作为 RM 逻辑电路的一种基本复合门电路单元,其逻辑表达式可表示为

$$AB \oplus C = \overline{ABC} + ABC = \overline{AB} \oplus \overline{C}.$$

式中,⊕表示 XOR,+表示或,根据实现该逻辑功能的电路结构,三输入 AND/XOR 门电路可分为门级设计和晶体管级设计。

门级设计的三输入 AND/XOR 门电路均采用二输入 AND/NAND 门和二输入 XOR/XNOR 门级联构成。由于 XOR/XNOR 门电路作为全加器、乘法器等运算电路的基本组成模块,近年来,人们对其设计研究给予了高度的重视。

根据所采用 XOR 门的不同,可以得到不同种类 AND/XOR 门电路设计。图 1(a)所示的三输入 AND/XOR 门通过采用基于互补 CMOS 逻辑的 NAND 门和 XOR 门级联构成^[4-5],互补 CMOS 逻辑使用范围较广,由连接电源的上拉网络和连接地的下拉网络组合实现给定的功能,具有噪声容限大和静态功耗小的特点。基于互补 CMOS 逻辑实现的 XOR 门由四个 PMOS 晶体管构成的上拉网络和四个 NMOS 晶体管构成的下拉网络组成,电路结构对称,内部结点及输出信号呈全摆幅,但晶体管数目较多,功耗较高。AND/XOR 门的一条关键路径如图 1(a)中虚线所示。

图 1(b)所示的三输入 AND/XOR 门^[6]由基于互补 CMOS 逻辑的 AND 门和传输管逻辑(pass-transistor logic, PTL)的 XOR 门^[7]级联构成,PTL 通过允许原始输入驱动 MOS 晶体管的栅端和源-漏端来减少实现逻辑功能所需的 MOS 晶体管数目,从而降低了电容。基于 PTL 的 XOR 门,虽然 PMOS 晶体管和 NMOS 晶体管分别在传输信号‘0’,‘1’时存在一定的阈值电压损失,但 TG 的存在弥补了某些输入组合时节点 Q 处存在非全摆幅的缺陷,因此其具有功耗较低,内部结点呈全摆幅的特性^[8],但由于基于 PTL 的电路存在驱动能力弱的问题,常通过在具有相同结构的 XNOR 门尾端级联一级反相器,从而得到具有驱动能力的 XOR 门。AND/XOR 门的一条关键路径如图 1(b)中的虚线所示。

图 1(c)中所示的三输入 AND/XOR 门由基于互补 CMOS 逻辑的 NAND 门和 TG 的 XOR 门级联构成^[9]。基于 TG 的 XOR 门,在任意输入组合下

均能满足内部结点及输出节点呈全摆幅,在较低电压下亦能保持逻辑功能正确。

图 1(d)所示的电路为晶体管级设计的三输入 AND/XOR 门^[10],由一个基于 PTL 的 XOR 门、两个 TG 和三个反相器组成。输入信号 A 及其反相信号控制两个 TG,因此在任何输入组合的条件下,两个 TG 中只有一个导通,电路模块所有节点均呈全摆幅,并且避免了短路电流的产生,从而使电路的总功耗得到降低。由于电路结构基于 PTL 设计,电路的驱动能力较弱,因此其尾端级联两级反相器,以增强电路的驱动能力。电路的一条关键路径如图 1(d)中的虚线所示。

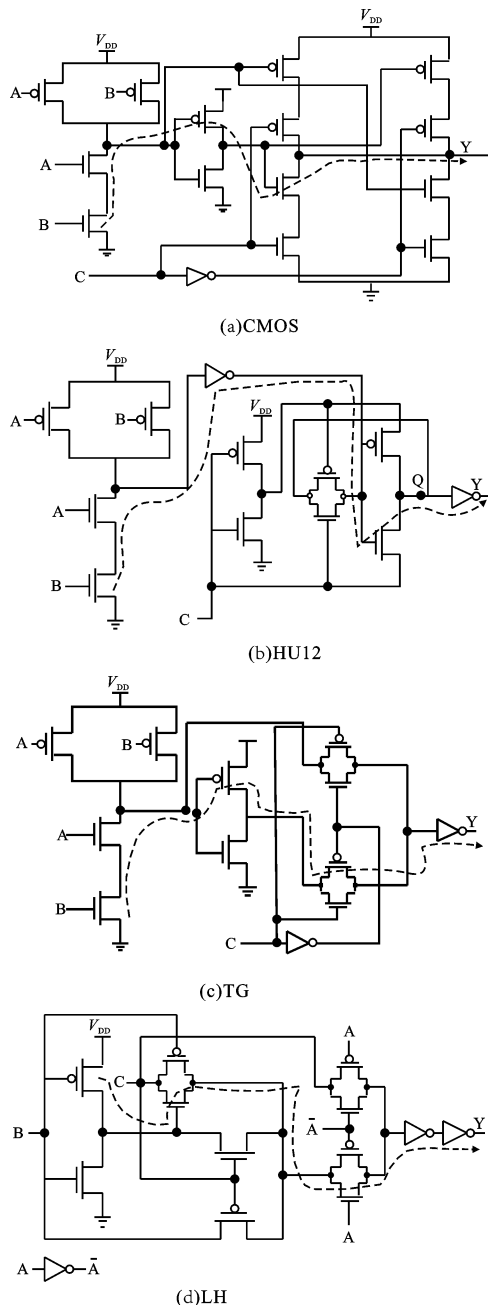


图1 现有的三输入 AND/XOR 门电路

综上,基于 AND/NAND 门和 XOR/XNOR 门级联而成的传统 AND/XOR 门电路结构和晶体管级的 AND/XOR 门电路结构的性能各异,基于互补 CMOS 逻辑的 AND 门和 XOR 门级联的 AND/XOR 门需要的晶体管数目较多、功耗较高;基于互补 CMOS 逻辑的 AND 门和 PTL 或者 TG 的 XOR 门级联的 AND/XOR 门关键路径较长;基于晶体管级的 AND/XOR 门电路关键路径较长,其尾端级联的两级反相器增大了电路的功耗. 因此,AND/XOR 门的设计有待进一步完善.

3 建议的 AND/XOR 设计

基于传输逻辑设计的电路具有速度快的特点,但往往由于内部结点的非全摆幅,导致阈值损失. TG 由一个 NMOS 晶体管并联一个 PMOS 晶体管构成,控制信号互补,同时具备传递 NMOS 晶体管强逻辑 0 和 PMOS 晶体管传递强逻辑 1 的特点,因此使用 TG 是解决阈值损失的有效方法之一. 图 2 是一个基于 TG 的三输入 AND/XOR 门电路设计. 电路由四个传输门 TG1, TG2, TG3, TG4 与四个静态反相器,共 16 个晶体管构成. 在任意输入组合下均能满足所有节点信号呈全摆幅. 输出端的反相器,增强了电路的驱动能力.

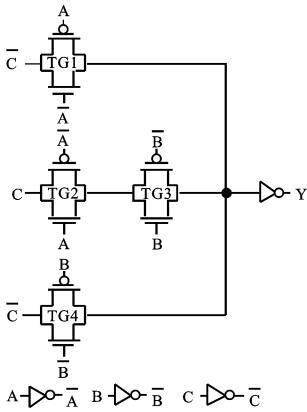


图 2 建议的 AND/XOR 门结构

电路的工作原理如下:当输入信号 A 或者 B=0 时,TG2,TG3 截止,输入信号 C 经过一级反相器反相,由传输门 TG1 或 TG4 经一级反相器传输到输出端,输出呈全摆幅;当输入信号 AB=00 时,输入信号 C 通过一级反相器反相,由传输门 TG1 与 TG4 经一级反相器到输出端,输出呈全摆幅;当输入信号 AB=11 时,TG1 与 TG4 截止,输入信号 C 由传输门 TG2 与 TG3 经一级反相器传输到输出端,输出呈全摆幅. 由于在大部分输入组合情况下,均只有一条路径导通,不仅减小了晶体管的开关活动性,而且避免了短路电流及短路功耗

的产生,从而降低了电路整体功耗. 此外,因电路的结构对称,易于版图结构实现,如图 3 所示.

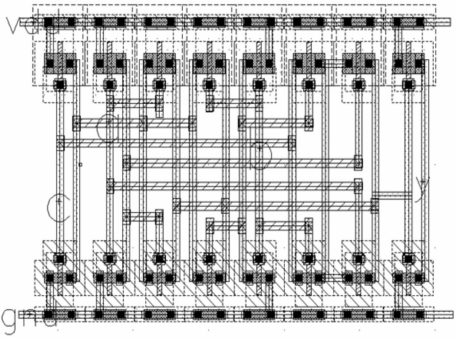


图 3 所建议电路的版图

4 仿真结果分析及比较

所设计的电路采用 55 nm CMOS 工艺实现,仿真环境如下:电源电压为 1.20 V,输入信号频率为 500 MHz, NMOS 管的宽/长=120 nm/60 nm, PMOS 管的宽/长=240 nm/60 nm,为使仿真更接近实际情况,每个输入信号级联两个标准反相器,输出端则并联 4 个标准的反相器作为负载,测试电路如图 4(a)所示. 电路瞬态仿真结果如图 4(b)所示,表明电路具有正确的逻辑功能.

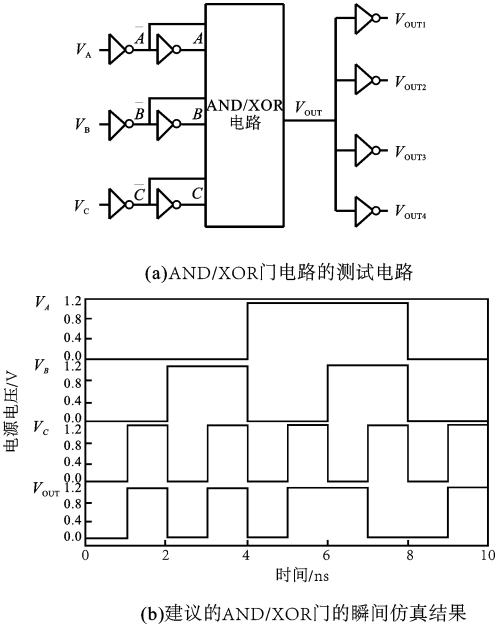


图 4 电路性能测试

对图 1(a)~(d)所示的电路在相同条件下进行后仿真分析比较,所有比较电路的 PMOS 管和 NMOS 管的宽长比按最小比率 2 : 1 取, NMOS 管的宽/长=120 nm/60 nm, PMOS 管的宽/长=240 nm/60 nm, 电路版图均采用最小间距设计, 面积 (Area) 取值垂直长度与水平长度的乘积; 功耗

(Power)取值输入信号级联的两级反相器以及 AND/XOR 门电路的 100 个工作周期的平均值;延时为输入电压 V_A 、 V_B 或者 V_C 变化至电源电压的 50%的时刻到输出电压 V_{OUT} 变化至电源电压的 50%的时刻之间的间隔时间,考虑到三个输入信号不同的跳变会导致不同的延时,延时(Delay)取最大

表 1 55 nm 工艺且 1.20 V、500 MHz 下后仿真结果

Circuits	Area/ μm^2	Power/ μW	Delay/ns	PDP/ $(\mu\text{W} \cdot \text{ns})$	Area/%	Power/%	Delay/%	PDP/%
CMOS	23.74	13.56	0.28	3.80	13.77	5.24	21.43	25.53
HU12	21.31	13.53	0.29	3.92	3.94	5.03	24.14	27.81
TG	20.83	13.84	0.28	3.88	1.73	7.15	21.43	27.06
LH	19.28	14.29	0.31	4.43	-6.17	10.08	29.03	36.12
Proposed	20.47	12.85	0.22	2.83	—	—	—	—

由表 1 可见,在所有的比较电路中,LH 电路的功耗最大,主要是由于其输出端的两级反相器导致电路的动态功耗大幅度增加,引起电路的总功耗增加;基于门级设计的 AND/XOR 门电路中,AND 门的输出信号作为后面级联的 XOR 门的传输信号或者控制信号,因此 AND 门及互补信号的引入,导致了 TG 结构和 HU12、CMOS 结构的功耗较高;CMOS 结构面积最大,但是输出端直接连接电源或者地,因此在尾端不级联反相器的情况下,所有输入组合的输出电压都呈全摆幅,驱动能力较好. 综上,与已发表的 AND/XOR 门电路比较,所设计的电路在功耗、延时和 PDP 方面均表现出一定的优势,改进量可分别高达 10.08%,29.03%与 36.12%.

从 AND/XOR 门电路的功耗和 PDP 随输入信号的频率变化的特性曲线可以看到,在不同信号工作频率下,所建议电路的功耗和 PDP 都具有一定的优势,如图 5 所示.

上述分析均基于典型工艺角情况,在纳米级 CMOS 工艺下,工艺波动不可避免. 为此,利用 HSPICE 在 16 种工艺角电压温度(Process Corner、Voltage、Temperature, PVT)组合下对各电路在输入频率为 500 MHz 的情况下进行后仿真分析:(1)慢 NMOS 和慢 PMOS (slow NMOS and slow PMOS, SS)工艺角,1.08 V 和 -25℃;(2)SS 工艺角,1.32 V 和 -25℃;(3)SS 工艺角,1.08 V 和 85℃;(4)SS 工艺角,1.32 V 和 85℃;(5)快 NMOS 和快 PMOS(fast NMOS and fast PMOS, FF)工艺角,1.08 V 和 -25℃;(6)FF 工艺角,1.32 V 和 -25℃;(7)FF 工艺角,1.08 V 和 85℃;(8)FF 工艺角,1.32 V 和 85℃;(9)快 NMOS 和慢 PMOS(fast

延时值;功耗-延时积(PDP)为 Delay 与 Power 的乘积;表 1 为图 1 与图 2 中所有电路在输入信号频率为 500 MHz 下的 Area、Power、Delay 和 PDP 的仿真结果;电路的 Area%、Power%、Delay%、PDP% 分别为建议电路相对于已发表电路的面积、功耗、延时和功耗-延时积的改进量.

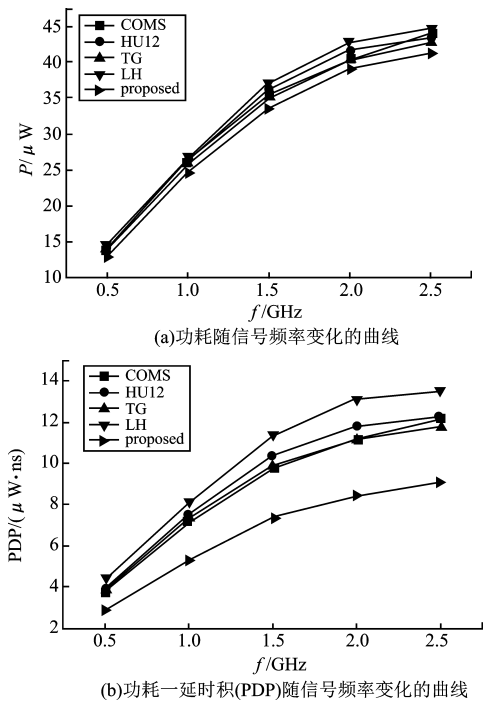


图 5 TT 工艺角下电路性能随信号频率变化的曲线 NMOS and slow PMOS, FS) 工艺角, 1.08 V 和 -25℃;(10)FS 工艺角, 1.32 V 和 -25℃;(11)FS 工艺角, 1.08 V 和 85℃;(12)FS 工艺角, 1.32 V 和 85℃;(13)慢 NMOS 和快 PMOS(slow NMOS and fast PMOS, SF)工艺角, 1.08 V 和 -25℃;(14)SF 工艺角, 1.32 V 和 -25℃;(15)SF 工艺角, 1.08 V 和 85℃;(16)SF 工艺角, 1.32 V 和 85℃.

由此可见,所建议电路在 16 种 PVT 组合下,功耗、延时和功耗-延时积均具有优势,其中延时和 PDP 的优势较明显. 这主要得益于所设计电路基于 TG 构成,电路结构对称,关键路径短,因此延时较小,从而获得更小的 PDP. 由于电路的动态功耗与

电源电压的平方呈正比的关系,因此 1.32 V 电源电压下的电路功耗较电源电压为 1.08 V 时大,同时 FF 工艺角带来的 MOS 晶体管阈值电压降低以及高电压导致源漏电流增大,从而使电路的漏功耗达到最大,因此电路在 FF 工艺角,1.32 V、85℃ 的 PVT 组合下功耗最大;由于高电压导致源漏电流增大,因此 1.32 V 的电源电压下,电路的延时较电源电压为 1.08 V 时小,同时 FF 工艺角和低温带来的 MOS 晶体管阈值电压降低导致源漏电流增大,电路速度增快,因此电路在 FF 工艺角,1.32 V、-25℃ 的 PVT 组合下延时最小;由于高温和 SS 工艺角下带来的 MOS 晶体管阈值电压升高以及低电压导致源漏电流减小导致所建议电路在 SS 工艺角,1.08 V、85℃ 的 PVT 组合下延时最大。

5 结束语

AND/XOR 门是 RM 逻辑电路的基本复合门。本文提出了一种三输入 AND/XOR 门电路结构,该电路基于传输门逻辑实现,消除了传输管节点的阈值电压损失,并通过缩短信号传输路径,改善了电路的性能。在 55 nm CMOS 工艺下,采用 HSPICE 进行电路的不同工艺角下的后仿真分析验证,与已有的 AND/XOR 门电路设计进行比较,结果表明,在典型工艺角下,电路在功耗、延时和 PDP 的改进量最高可达 10.08%,29.03% 与 36.12%,在其他 PVT 条件下,优势仍得到保持。因此本文所提出的电路在能耗方面有明显优势,可作为 RM 逻辑单元电路。

参考文献:

- [1] 夏银水,毛科益,叶锡恩. 逻辑函数适于双逻辑实现的探测算法[J]. 计算机辅助设计与图形学学报,2007,19(12):1522-1527.
- [2] 王伦耀,夏银水,陈偕雄. 逻辑函数的双逻辑综合与优化[J]. 计算机辅助设计与图形学学报,2010,22(7):961-967.
- [3] Ko S B, Lo J C. A novel technology mapping method for AND/XOR expression [C]// Proceeding of the

33rd IEEE International Symposium on Multiple-Valued Logic. Los Alamitos, USA: IEEE Computer Society Press, 2003:133-138.

- [4] Aguirre-Hernandez M, Linares-Aranda M. CMOS full-adders for energy-efficient arithmetic application [J]. IEEE Transactions on Very Large Scale Integration(VLSI) Systems, 2011,19(4):718-721.
- [5] 卢奕岑,蒋见花,袁甲,等. 宽范围低功耗亚阈值电平转换单元的设计[J]. 微电子学与计算机,2015,32(8):77-81.
- [6] Hu J P, Li Z L, Xia Y S. Description models and implementations of energy-efficient reed-muller standard cells [J]. Energy Education Science and Technology Part A: Energy Science and Research, 2012, 30(12):85-92.
- [7] Zhuang N, Wu H M. A new design of the CMOS full adder [J]. IEEE Journal of Solid-state Circuits, 1992, 27(5):840-844.
- [8] Mishra S S, Agrawal A K, Nagaria R K. A comparative performance analysis of various CMOS design techniques for XOR and XNOR circuits [J]. International Journal on Emerging Technologies, 2010,1(1):1-10.
- [9] Nishizawa S, Ishihara T, Onodera H. Analysis and comparison of XOR cell structures for low voltage circuit design[C]// Proceedings of IEEE 14th International Symposium on Quality Electronic Design Los Alamitos, USA: IEEE Computer Society Press, 2013:703-708.
- [10] 梁浩,夏银水,钱利波,等. 低功耗三输入 AND/XOR 门的设计[J]. 计算机辅助设计与图形学报,2015, 27(5):940-945.

作者简介:

阳 媛 女,(1990-) 硕士研究生. 研究方向为低功耗集成电路设计.

夏银水(通讯作者) 男,1963-,博士,研究员,博士生导师. 研究方向为集成电路综合和优化、高信息密度集成电路设计等. E-mail:xiayinshui@nbu.edu.cn.