

一种高电源抑制低温漂带隙基准电路设计

于全东,杨琦,张国俊

(电子科技大学 电子薄膜与集成器件国家重点实验室,四川 成都 610054)

摘 要: 基于 CSMC 0.5 μm BCD 工艺,设计了一种应用于片上系统(SOC)芯片的低温漂高电源抑制的带隙基准电路.采用一种带有负反馈环路调整型的电压预调整电路,并且将基准电压形成于负反馈环路,基准电路的电源抑制特性得到显著提高.仿真得到的电源抑制比分别为 -177.6dB@dc , -82.7dB@1MHz .此电路可以在 $-55\sim 125^\circ\text{C}$ 范围内实现较小的温度系数,温度系数为 $5.76\times 10^{-6}/^\circ\text{C}$.

关键词: 带隙基准;高电源抑制;低温漂;片上系统

中图分类号: TN433

文献标识码: A

文章编号: 1000-7180(2016)04-0148-04

Design of High Power Supply Rejection and Low Temperature Drift Voltage Bandgap Reference

YU Quan-dong, YANG Qi, ZHANG Guo-jun

(State Key Lab of Electronics Thin Films and Integration Device, University of Electronics Science and Technology of China, Chengdu 610054, China)

Abstract: Based on a CSMC 0.5 μm BCD process, a high power supply rejection and low temperature drift bandgap voltage reference is proposed for the application of system-on-chip. By introducing a pseudo-power supply and generating a voltage reference in a negative feedback loop, the power supply rejection of the reference is improved. This voltage reference provides a PSR of -177.6 dB at dc and -82.7 dB at 1MHz. Additionally, the temperature coefficient of this circuit achieves $5.76\times 10^{-6}/^\circ\text{C}$ covering a range of $-55\sim 125^\circ\text{C}$.

Key words: bandgap voltage reference; high power supply rejection; low temperature drift; system-on-chip

1 引言

随着集成电路尺寸的不断缩小以及便携式移动电子产品的需求的迅猛增加^[1],片上系统(SOC)的应用成为当今发展的趋势. SOC 芯片把对电源噪声敏感的模拟电路以及极易产生电源噪声的高速数字电路、开关电容电路集成在同一块芯片上^[2],使得数字电路产生的噪声极易影响模拟电路的工作,从而使整个系统的性能受到严重的影响.

传统的提高电路电源抑制比的方法通常是引入共源共栅结构,增大电源到输出节点的小信号阻抗^[3]. 这种方法减小了电源电压的扰动对输出支路电流的影响,提高了电路的电源抑制性能. 然而,共源共栅结构需要一个比较高的电源电压来保证所有晶体管工作在

饱和区,这限制了这种技术在低压场合的应用.

因此,为了产生一个稳定的、可应用于高精度片上系统的带隙基准电压,必须尽可能提高基准电路的电源抑制特性,同时还要兼顾低温漂特性.

本文基于 CSMC 0.5 μm BCD 工艺,设计了一种低温漂高电源抑制带隙基准电路. 此电路通过负反馈机制产生一个相对稳定的预调整电压来为带隙基准供电,显著地提高了带隙基准电路的电源抑制性能.

2 带隙基准电路原理

带隙基准电压的基本原理是将两个具有相反温度系数的电压以合适的权重相加,最终获得具有零温度系数的电压,如图 1 所示. V_{IE} 是具有负温度系数的电压,而 V_{P} 具有正温度系数电压,两者按一定比例加和,

即可得到零温度系数电压 V_{REF} . 表达式为:

$$V_{REF} = V_{BE} + MV_P$$

(1)

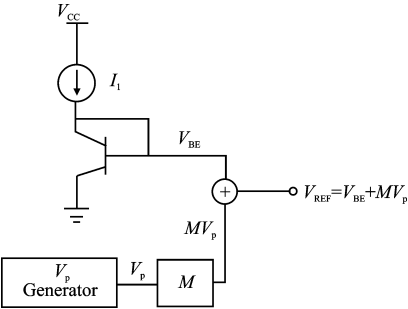


图 1 带隙基准产生电路

3 高性能带隙基准电路设计

本文设计的带隙基准电路如图 2 所示. 图 2 中从左到右分别是电源预调整电路、带隙基准核心电路及启动电路,图中未包含偏置电路. 电源预调整电路为带隙基准核心电路及启动电路提供一个预调整的电源电压 V_{IN_PR} , 该电路将极大的提高带隙基准的 PSR; 启动电路确保带隙基准核心电路脱离零电流的简并工作点.

3.1 带隙基准核心电路分析

带隙基准核心电路等效电路图如图 3 所示.

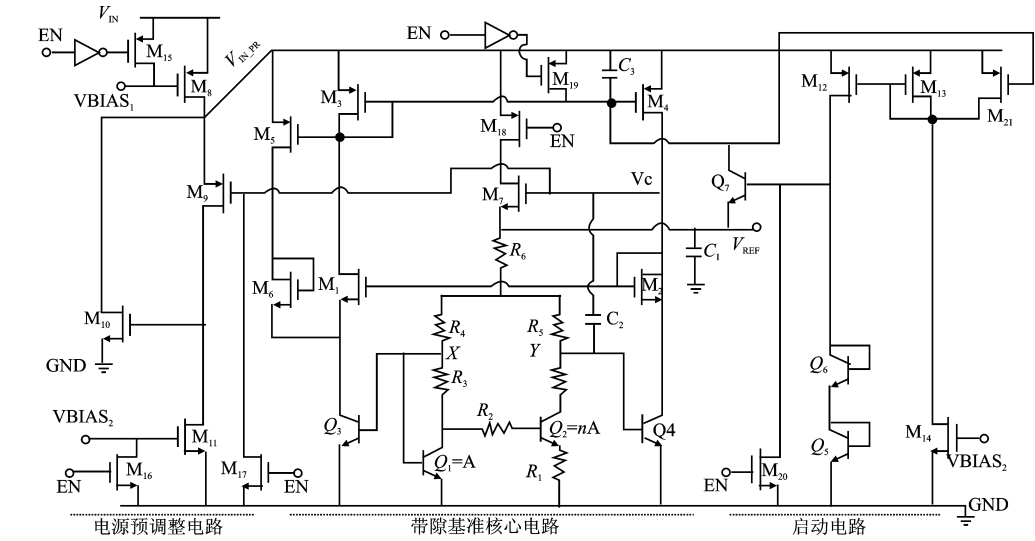


图 2 高性能带隙基准电路

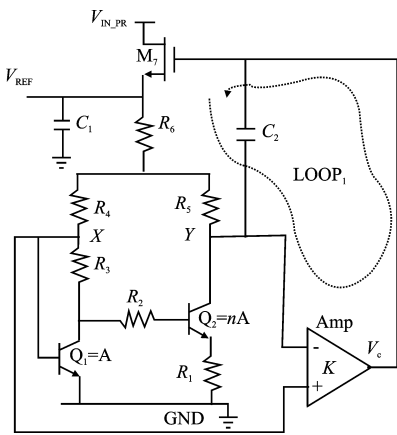


图 3 带隙基准核心电路等效电路图

基准电路采用调整型输出结构,将 V_X 与 V_Y 连接到误差放大器 Amp 的输入端作误差放大,误差放大的输出驱动 M_7 的栅极从而形成负反馈环路. 当电路工作稳定时, V_X 与 V_Y 近似相等,假设忽略运算

放大器的输入电流, Q_1 与 Q_2 的电流放大倍数均为 β 而且 $\beta \gg 1$, 则有:

$$I_{PTAT} = I_{C2} \approx \frac{V_T \ln n}{R_3 + R_1}$$

(2)

$$V_{REF} \approx V_{BE2} + V_T \ln n \left(1 + \frac{(2R_6 + R_4)}{(R_3 + R_1)} \right)$$

(3)

式中, n 为三极管 Q_2 和 Q_1 发射极面积的比. 因此选取合适的 $R_1 \sim R_6$ 可以得到有比较好的温度系数的电压基准.

C_2 为该环路的补偿电容,在 Y 节点产生密勒电容 $(1+K)C_2$ 使得该节点的极点往低频原点移动保证环路的稳定性. C_1 是输出节点的滤波电容,滤除高频噪声.

3.2 误差放大器电路分析

图 3 中的误差放大器 Amp 电路结构如图 4 所示,其可等效为一个输入为 V_X 与 V_Y 的差分信号的误差放大器. 自偏置结构产生一个正反馈环路,因此

影响.

则 PSR_2 可以表示为:

$$PSR_2 \approx \frac{A_{V_dd}}{A_{V_LOOP1}} \approx \frac{1}{g_{mQ3} (r_{O4} || r_{O_{Q4}}) g_{m7} r_{O7}} \tag{8}$$

与计算 PSR_2 相似,在计算 PSR_1 时,将环路 $LOOP_2$ 等效成如图 7 所示的框图. 为了简化分析,不考虑偏置电路的电源增益,即假设 V_{IN} 至 $VBIAS1$ (2)的增益为零.

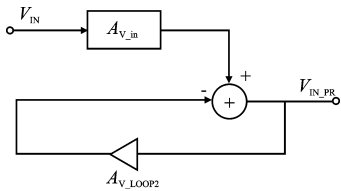


图 7 $LOOP_2$ 等效框图

与计算 PSR_2 相似,有:

$$PSR_1 = \frac{v_{IN_PR}}{v_{IN}} \approx \frac{1}{g_{m9} g_{m10} r_{O8} r_{O11}} \tag{9}$$

这样,将式(8)和式(9)的结果带入式(5)中,可得:

$$PSR \approx \frac{1}{g_{mQ3} g_{m7} g_{m9} g_{m10} (r_{O4} || r_{O_{Q4}}) r_{O7} r_{O8} r_{O11}} \tag{10}$$

由式(10)可知,本文设计的带隙基准有较高的 PSR,电源噪声抑制性能较好,能符合 SOC 芯片的应用要求.

5 仿真结果

本设计基于 CSMC 0.5 μm BCD 工艺库,使用 Cadence spectre 仿真工具,对电路进行仿真. 图 8 是本文设计的带隙基准的电源抑制特性的仿真曲线,图中包含了 V_{IN} 到 V_{IN_PR} 的电源抑制 PSR_1 以及 V_{IN} 到 REF 的电源抑制 PSR. 从图中可以知道,低频 1 Hz 处, $PSR = -177.6 \text{ dB}$, $PSR_1 = -65.7 \text{ dB}$,而在高频 1 MHz 处, $PSR = -82.7 \text{ dB}$, $PSR_1 = -26.2 \text{ dB}$.

图 9 所示为本文设计的带隙基准的温度特性仿真曲线,仿真温度范围是 $-55 \sim 125^\circ\text{C}$,在该温度范围内基准电压变化幅度为 $\Delta V_{REF} = 1.16 \text{ mV}$. 在常温下, V_{REF} 约为 1.185 V. 带隙基准的温度系数 $TC = 5.76 \times 10^{-6} / ^\circ\text{C}$.

将本电路的参数与参考文献中其他设计进行对比,结果如表 1 所示.

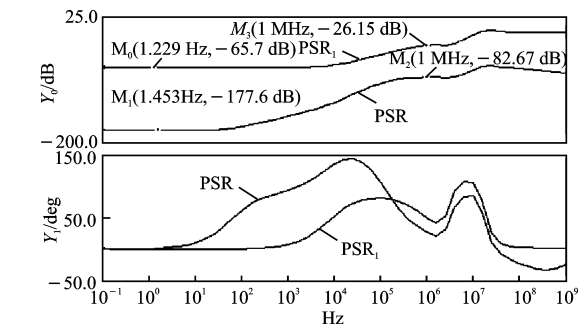


图 8 带隙基准电源抑制特性

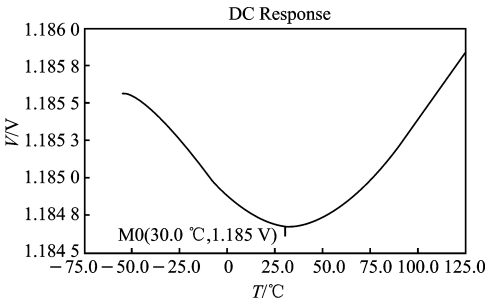


图 9 带隙基准温度特性

表 1 本设计与其他设计比较

参数	工艺	PSR/ dB	温度 系数	温度 范围/ $^\circ\text{C}$
文献 [4]	0.5 μm CMOS	-97@dc -69@100 kHz	$3.72 \times 10^{-6} / ^\circ\text{C}$	-40~125
文献 [5]	0.35 μm CMOS	-68@dc	$13.7 \times 10^{-6} / ^\circ\text{C}$	-50~150
文献 [6]	0.5 μm CMOS	-72.3@dc -56.6@1MHz	$16.9 \times 10^{-6} / ^\circ\text{C}$	-45~85
本文	0.5 μm BCD	-177.6@dc -82.7@1 MHz	$5.76 \times 10^{-6} / ^\circ\text{C}$	-55~125

从表 1 中可以看出,本电路低频 PSR 和高频 PSR 都较大,电源抑制特性明显好于其他参考文献. 同时,本电路在较宽的温度范围的温度系数也比较小.

6 结束语

本文设计了一种新型高电源抑制低温漂带隙基准电路. 电路采用一种带负反馈调整的电源电压预调整电路,使得基准电路在低频和高频下都取得了较好的电源抑制特性. 基于 Spectre 仿真结果表明,基准电压的电源抑制比低频时为 -177.6 dB ,在 1 MHz 时达到 -82.7 dB . 同时,在 $-55 \sim 125^\circ\text{C}$ 的温度范围内,基准电压的温度系数为 $5.76 \times 10^{-6} / ^\circ\text{C}$. 以上特性使得本电路特别适合用在高精度片上系统(SOC)的设计中,为其提供稳定可靠的基准电压.

5 结束语

如何更好地保障煤矿的生产安全,有效可靠的无线传感器网络节点故障诊断方法扮演着很重要的角色. 由于井下无线传感器网络的特殊性,所以必须采取合适的故障诊断算法. 因为井下 WSN 节点能量有限,又承担着环境监测、通信联络及故障检测等繁重的任务,对节约能耗以及系统稳定要求较高,要求故障诊断算法要节能、稳定又精确. 本章提出的改进的分簇式 DFD 节点故障诊断算法,针对井下特殊的情况,利用划分区域并按能量阈值形成簇首节点骨干通信链的方法,实现了适合于井下环境的能耗小、精度高的比较稳定的节点故障诊断算法. 优化了能耗较高的信息传递方式,减少了网络节点的信息处理总量,降低了能源消耗,同时诊断精度也有所提高. 经过仿真检验,基本达到了预期目的.

参考文献:

[1] Chen Jinran, KHER Shubha, ARUN Somani. Distributed fault detection of wireless sensor networks[C]. Proc. of the ACM Int’l Conf. on International Con-

ference on Mobile Computing and Networking. New York: ACM Press, 2006: 65-72.

[2] 蒋鹏. 一种改进的 DFD 无线传感器网络节点故障诊断算法研究[J]. 传感技术学报, 2008, 21(8): 1417-1421.

[3] 刘凯,彭力. 分簇式无线传感器网络节点故障诊断算法研究[J]. 传感器与微系统, 2011, 30(4): 37-41.

[4] 乔钢柱. 基于无线传感器网络的煤矿安全综合监控系统设计与关键技术研究[D]. 兰州: 兰州理工大学, 2012.

[5] 李蓉. 关于无线传感器网络在煤矿井下中的应用[J]. 煤炭技术. 2011(11): 68-71.

[6] 王俊,刘刚. 基于时间序列和神经网络的温室传感器节点故障诊断[J]. 中国农业大学学报. 2011(6): 112-115.

作者简介:

张美金 男, (1970-), 副教授, 硕士. 研究方向为计算机技术, 测控技术;

蔡 鹏(通讯作者) 男, (1988-), 硕士. 研究方向为智能检测技术, 无线传感器网络. E-mail: 909627251@qq. com

(上接第 151 页)

参考文献:

[1] 徐冠南, 嘉辰, 陈虹, 等. 一种极低功耗的 CMOS 带隙基准源[J]. 中国集成电路, 2011, 20(2): 27-30.

[2] Sobhy E A, Hoyos S, Snchez-Sinencio E. High-PSRR low-power single supply OTA[J]. Electronics letters, 2010, 46(5): 337-338.

[3] Cao T, Han Y, Liu X, et al. A 0. 9-V high-PSRR bandgap with self-cascode current Mirror[C]//Proceedings of the IEEE International Conference on Circuits and Systems. Kuala Lumpur: IEEE, 2012: 267-271.

[4] 周庆波, 龚敏, 邬齐荣. 一种宽电源电压的高精度带隙基准电路的设计[J]. 微电子学与计算机, 2010, 27(10): 128-131.

[5] Andreou C M, Koudounas S, Georgiou J. A novel

wide temperature range, 3. 9 ppm/°C CMOS bandgap reference circuit[J]. IEEE Journal of Solid-State Circuit, 2012, 47(2): 574-581.

[6] 夏晓娟, 张洪俞, 顾巍. 基于 LED 驱动芯片的低温漂 CMOS 基准电压源[J]. 微电子学与计算机, 2012, 29(5): 138-142.

作者简介:

于全东 男, (1989-), 硕士研究生. 研究方向为电源管理芯片设计、模拟集成电路的研究. E-mail: 960321551@qq. com.

杨 琦 男, (1990-), 硕士研究生. 研究方向为模拟集成电路芯片设计研究.

张国俊 男, (1960-), 教授. 研究方向为新型功率半导体器件与集成电路和系统设计.