

# 基于 FPGA 的高速图像跟踪系统设计

张格森<sup>1,2,3</sup>, 陈东生<sup>1</sup>, 邱海韬<sup>3</sup>, 令狐鼎<sup>1</sup>, 王怀野<sup>1</sup>

(1 北京航天微系统研究所, 北京 100094; 2 中国航天时代电子公司 博士后科研工作站, 北京 100094;

3 航天长征国际贸易有限公司, 北京 100070)

**摘 要:** 针对基于数字处理器的图像处理系统实时性较差和资源利用不充分等问题, 设计了一种新的图像跟踪高速处理系统, 以 FPGA 作为核心处理器, 利用快速中值滤波实现图像预处理, 将平均绝对差算法和 FPGA 高速并行处理相结合, 对图像点目标进行实时跟踪. 系统测试结果表明, 该系统实时性和跟踪效果良好, 资源利用充分, 满足设计要求.

**关键词:** 图像跟踪; FPGA; 快速中值滤波; 平均绝对差

**中图分类号:** TP391.4

**文献标识码:** A

**文章编号:** 1000-7180(2017)04-0013-04

## Design of High Speed Image Tracking System Based on FPGA

ZHANG Ge-sen<sup>1,2,3</sup>, CHEN Dong-sheng<sup>1</sup>, QIU Hai-tao<sup>3</sup>,

LINGHU Ding<sup>1</sup>, WANG Huai-ye<sup>1</sup>

(1 Beijing Aerospace Institute of Microsystems, Beijing 100094;

2 Postdoctoral Workstation of China Aerospace Times Electronics Corporation, Beijing 100094;

3 Aerospace Long-march International Trade Company Limited, Beijing 100070)

**Abstract:** Due to the bad real-time, resource underutilizations and hard to design properties of the classical digital signal processor based image processing system, a new image tracking high-speed processing system is presented. In this system, the FPGA is used as the core processor, and the fast median filtering is used to implement the image preprocessing. Finally, the image real-time point target tracking is realized by the combination of the mean absolute differences and the FPGA high-speed parallel processing. The system test validates the system has the advantages of good real-time, the effect on tracking and resource utilization rates, which meets the design requirements.

**Key words:** image tracking; FPGA; fast median filtering; mean absolute differences

## 1 引言

图像跟踪是指在序列图像中, 通过图像分析寻找同名点的过程<sup>[1]</sup>. 图像目标的跟踪和识别等问题是图像处理技术领域的核心问题之一, 同时也是机器视觉技术领域的重要研究课题, 广泛应用于机器人视觉、安防、图像制导等领域.

目前, 在实际应用中, 图像匹配和跟踪系统一般都要求硬软件系统满足实时性要求, 这一方面要求图像跟踪算法计算简便, 另一方面也要求硬件系统资源充足、设计合理<sup>[2]</sup>. 在跟踪算法方面, 目前, 常用

的图像跟踪算法主要有两大类: 基于模板匹配的图像跟踪和基于特征分析的图像目标跟踪<sup>[3]</sup>. 从运算速度和算法适应性等方面考虑, 目前跟踪系统大多采用基于模板匹配的图像跟踪方法. 硬件设计方面, 目前通常采用 DSP 作为核心处理器构建硬件系统, 总体上看, 这类数字信号处理系统常常在实时性、资源利用率和设计难度等方面存在一定缺陷.

针对图像跟踪系统设计问题, 本文从硬件系统和软件算法设计两个方面解决跟踪精度和处理速度的提升问题, 提出了将图像预处理和简化的平均绝对差算法相结合, 硬件设计方面, 采用 FPGA 作为

主运算器,实现图像目标的实时跟踪.

2 系统硬件总体结构

本系统的硬件系统结构如图 1 所示. 序列图像经过视频解码芯片采样后,将视频流传输给 FPGA, FPGA 是跟踪系统的主运算器和控制器,主要用于实现快速计算跟踪同名点坐标计算、伺服平台驱动、数据通信等,FPGA 芯片外围由 DDR 和 FLASH 实现辅助功能.

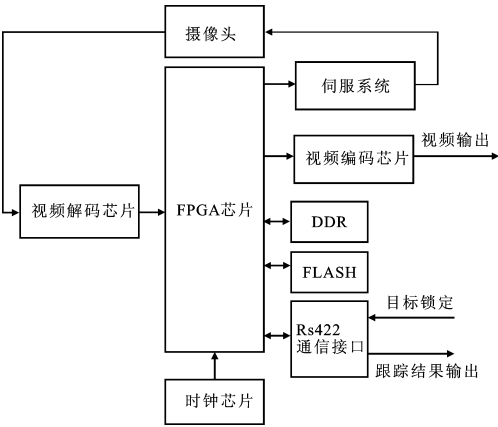


图 1 硬件系统总体结构

3 图像跟踪原理和算法

3.1 跟踪工作原理

在目前常用的图像跟踪算法中,模板匹配类算法运算比较简便,适用范围广泛,而特征分析类跟踪算法在实际应用中局限性较大,对运算器性能要求高,不同的特征分析算法对应用环境也有不同的限制. 由于本系统的设计初衷是强调低成本和通用性,因此,选用基于模板匹配的图像跟踪方法.

图像跟踪的基本工作原理如图 2 所示. 输入的序列图像首先经过图像预处理,滤除脉冲类噪声,经过预处理后,首先应在初始图像中确定待跟踪的目标点,生成初始的匹配模板,在下一帧图像中,将所有候选区域和在前一帧中生成的匹配模板进行对比,通过预设算法计算得出相似度参数,选取相似度程度最高的区域作为当前帧的目标区域,由此确定跟踪点坐标,同时,再生成当前帧的备用匹配模板.

3.2 快速中值滤波

在图像序列做模板匹配运算前,为了减少图像中的椒盐噪声,采用  $3 \times 3$  的中值滤波实现图像预处理. 作为一种重要的非线性滤波方法,中值滤波常常用于减少信号的脉冲类噪声,中值滤波的最主要优势是能够在滤除脉冲干扰的同时较多地保留图像纹

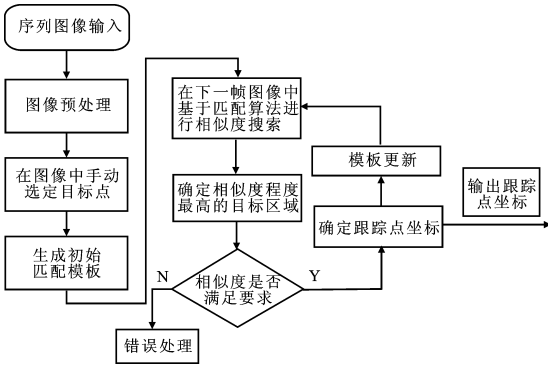


图 2 图像跟踪基本原理

理信息<sup>[4]</sup>.

常规的中值滤波工作过程是将全部数值进行灰度值排序,这种处理方法工作原理简单,但运算速度较慢,对运算单元的消耗很大. 为了提升运算速度,本设计将快速中值滤波引入图像预处理中. 快速中值滤波原理:首先,对  $3 \times 3$  滤波窗中的每一行 3 个的元素进行升序排列,得到 3 个升序数组,然后将这 3 个升序数组按照其中值的大小以升序进行重新排列,得到如图 3 所示的一组数据,经分析可知,  $d_{11}$ 、 $d_{12}$ 、 $d_{32}$  和  $d_{33}$  不可能是中值,因为 9 个数值中,至少有 5 个大于或等于  $d_{11}$  和  $d_{12}$ ,同理,至少有 5 个小于或等于  $d_{32}$  和  $d_{33}$ ,因此,在剩余的 5 个数值中做比较运算即可获得中值,同时,剩余的 5 个数值中已知  $d_{21}$ 、 $d_{22}$ 、 $d_{23}$  为升序排列,这将进一步减少运算次数.

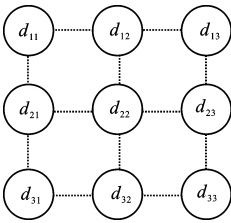


图 3 快速中值滤波示意图

3.3 平均绝对差算法

目前常用的模板匹配图像跟踪算法有平均绝对差算法(MAD)<sup>[5]</sup>、差方和算法(SSD)<sup>[6]</sup>和归一化互相关算法(NCC)<sup>[7]</sup>等. 在上述算法中,MAD 算法运算量适中,在序列图像经快速中值滤波去除了脉冲噪声的情况下,MAD 算法跟踪性能稳定且匹配精度很高. 经综合考虑,本系统采用 MAD 算法实现图像跟踪.

MAD 算法原理:假定经过图像预处理的实时序列图像由  $I$  表示,其待搜索区域的尺寸为  $k \times l$ ,匹配模板由  $T$  表示,其尺寸为  $m \times n$ ,对于  $I$  中的任一

点 $(u,v)$ ,该点与匹配模板 $T$ 的平均绝对差,即相似性测度公式为

$$D(u,v) = \frac{1}{m \times n} \sum_{i=1}^m \sum_{j=1}^n | I(u+i-1,v+j-1) - T(i,j) | \tag{1}$$

式中, $1 \leq i \leq k-m+1, 1 \leq v \leq l-n+1$ .

当所有的备选点平均绝对差系数计算完毕,遍历搜索域中的所有备选数值,若其中的最小值满足相似度要求,则选取最小值点作为图像 $I$ 中的跟踪同名点.上述 MAD 匹配可以描述为

$$(u_{cp}, v_{cp}) = \operatorname{argmin}_{u,v \in I} \{ D(u,v) \} \tag{2}$$

需要说明的是,式(1)中的 $m \times n$ 为常系数,不影响式(2)的判决,因此,实际的 MAD 模板匹配主要是加法运算,需要较多的加法器,这与目前多数 FPGA 芯片的设计初衷相匹配,因此,将 MAD 算法和 FPGA 相结合在资源利用和运算速度等方面具有明显优势.

4 算法的 FPGA 实现

4.1 Verilog 语言和 AXI 协议

本系统采用 Verilog HDL<sup>[8]</sup>(简称 Verilog)硬件描述语言设计实现 FPGA 软件系统设计,总线协议采用国际上通用的 AXI 协议总线.

Verilog 是目前国际上使用最广泛的硬件描述语言,于上世纪 80 年代由美国的 Gateway Design Automation 公司开发出来,Verilog 以语言文本的方式来描述数字系统硬件结构. Verilog 可以表示数字电路中的逻辑电路图、逻辑表达式等各类数字电路系统的硬件结构行为. 在具体的设计工作中,使用 Verilog 描述硬件结构的基本设计单元是模块(module),构建数字电路系统,主要是通过模块的层层连接来完成.

AXI(Advanced eXtensible Interface)<sup>[9]</sup>是由 ARM 公司最早提出和应用的一种片内总线协议,适用于低延迟、高性能、高带宽系统. 它的地址/控制与数据相位相互之间分离的,对于不对齐的数据传输,具有特定的处理机制,满足复杂的 SoC 片上系统的设计要求. 2009 年, Xilinx 和 ARM 公司在总线协议领域开展合作,设计和定义了 AXI4 总线规范,并将该规范应用于 FPGA. 总体上看,将 AXI4 规范中的 AXI4 Stream 和 vdma 应用于 FPGA 图像处理系统设计在处理速度和稳定性等方面具有明显优势.

4.2 FPGA 软件系统架构

为了满足系统设计要求,本设计采用 Xilinx 公

司的 SPARTAN6 系列 FPGA 作为系统的核心处理器. 本系统软件主要由时钟管理模块、图像采集接口模块、图像预处理模块、数据流动控制器模块(vdma)、Microblaze 软核处理器、DDR2 接口模块、MAD 图像跟踪模块和图像显示接口模块等部分组成. 系统软件结构如图 4 所示.

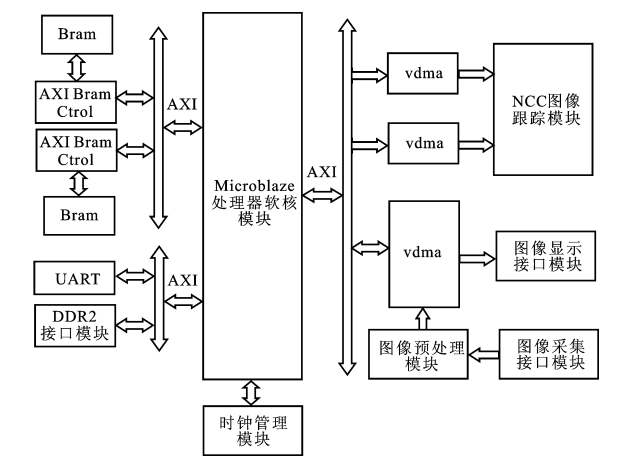


图 4 图像跟踪系统软件结构

时钟管理模块实现晶振时钟的输入和管理,图像采集接口模块管理图像数据流的输入,图像预处理模块对输入的图像进行中值滤波处理, Microblaze 软核处理器对各个模块进行综合调度及优化,具体的图像跟踪算法实现由 MAD 图像跟踪模块完成,图像显示接口模块管理图像数据流的输出. 需要说明的是,本系统晶振频率为 99.727 MHz,该系统除了 DDR2 使用晶振的 5 倍频外,其余模块均采用 99.727 MHz 时钟频率. 图 4 的软件结构设计合理,运行高效,可实现序列图像点目标的高速跟踪.

5 实验结果

本文基于 ISE14.1 开发环境实现 FPGA 的代码设计和仿真验证,测试图像选用 720×576 的航拍灰度序列图像,,图像模板尺寸为 31×31,局部跟踪区域为 101×101. 芯片资源利用情况和图像跟踪输出结果如表 1 和图 5 所示.

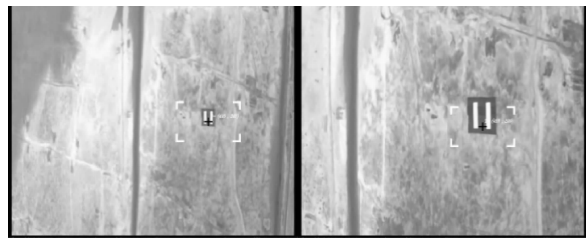
表 1 FPGA 资源利用情况

| 资源使用情况          | 百分比/% | 最高频率       | 运行帧率   |
|-----------------|-------|------------|--------|
| Slice registers | 24    |            |        |
| Slice LUTs      | 36    |            |        |
| Occupied slices | 54    | 99.727 MHz | 60 f/s |
| RAMB16B WERs    | 82    |            |        |



(a)首帧图像

(b)70 帧图像



(c)140 帧图像

(d)210 帧图像

图 5 实验结果

图 5 中,(a)为首帧图像,图像中用白色锁定框及其中心位置的黑色十字标出了待跟踪点,图(b)、(c)、(d)分别为第 70、第 140、第 210 帧图像,从图 5 可以看出,序列图像存在明显的位移和尺度变化,本系统能够准确跟踪首帧图像中标出的待跟踪点,跟踪精度小于 3 个像素点。经 FPGA 硬件系统测试,图像目标跟踪速度可达 60 帧/秒,满足实时处理设计要求。

## 6 结束语

针对图像目标的快速跟踪问题,本文从硬件系统和软件算法设计两个方面解决了跟踪精度和处理速度提升等问题,将快速中值滤波图像预处理、MAD 图像跟踪和 FPGA 高速并行处理相结合,设计图像跟踪高速并行处理系统。测试结果表明,该系统能够实现图像的快速跟踪,满足系统设计要求。

## 参考文献:

- [1] Silva A S, Severgnini F M Q, Oliveira M L, et al. Object tracking by color and active contour models segmentation [J]. IEEE Latin America Transactions, 2016, 14(3): 1488-1493.

- [2] Chen W. Current motion tracking from satellite image sequence with global similarity optimization model[J]. IEEE Transactions on Geoscience and Remote Sensing, 2015, 53(2): 1008-1015.
- [3] 武晓光,郭天文,沈天培,等. 基于分块背景更新的目标特征识别与跟踪[J]. 电子技术应用,2013,39(12): 141-144.
- [4] 沈学利,王肃国. 基于 FPGA 的改进型中值滤波算法研究[J]. 微电子学与计算机, 2014,31(1): 21-24.
- [5] 黄飞,李德华. 基于层次匹配和背景补偿的红外目标跟踪[J]. 模式识别与人工智能, 2007, 20(5): 722-726.
- [6] 董艳梅. 基于相关滤波器的目标跟踪技术[D]. 北京: 北京理工大学,2015.
- [7] 赵健,高军,罗超,等. 基于数字图像处理的玻璃缺陷在线检测系统[J]. 电子技术应用,2013, 39(12): 90-92.
- [8] Mohammad S S, Miremadi S G. FPGA-based fault injection into synthesizable verilog HDL models[C]// Proceedings of 2nd International Conference on Secure System Integration and Reliability Improvement. Yokohama, Japan, 2008: 143-149.
- [9] Xiao F, Li D, Du G, et al. Design of AXI bus based MPSoC on FPGA[C]//Proceedings of 3rd International Conference on Anti-counterfeiting, Security, and Identification in Communication. Xiamen, China, 2009: 560-564.

## 作者简介:

**张格森** 男,(1980-),博士,高级工程师.研究方向为图像处理与精确制导技术、信号检测与雷达成像。

E-mail:zhangesen@163.com.

**陈东生** 男,(1962-),博士,研究员.研究方向为惯性导航与信息处理技术。

**邱海韬** 男,(1976-),高级工程师.研究方向为组合导航与信息处理技术。