

基于延时链的高精度 SRAM 时序参数测量电路

姜 彬,张敏敏,王 琴,蒋剑飞,毛志刚
(上海交通大学 电子信息与电气工程学院,上海 200240)

摘 要: 本文提出并实现了一种用于测量 SRAM 时序参数的延时链电路,在 SMIC 130 nm 工艺下精度可以达到 4.9 ps. 该延时链电路包括可调链路和固定链路,可调链路由可编程粗调单元和精调单元组成,固定链路由固定单元组成. 并将待测 SRAM 和测量电路集成入 SOC 系统中,从而实现 SRAM 的建立、保持和读写时间切换测量的功能.

关键词: 延时链;SRAM 时序参数;SOC

中图分类号: TN4

文献标识码: A

文章编号: 1000—7180(2017)06—0018—03

A High-Precision SRAM Timing Parameter Measurement Circuit Based on Delay Line

JIANG Bin, ZHANG Min-min, WANG Qin, JIANG Jian-fei, MAO Zhi-gang

(School of electronic information and electrical engineering, Shanghai Jiao Tong University, Shanghai 200240, China)

Abstract: The paper mainly introduced a delay line circuit for SRAM timing parameter measurement. Under the process of SMIC 130nm, the precision could reach 4.9 ps. The delay chain circuit includes programmable and fixed path. Programmable path includes programmable coarse block and fine block; fixed path is made of fixed units. SRAM to be measured and measurement circuit are integrated to a SOC system so as to realize the SRAM function of establishment, hold and access time measurement.

Key words: delay line; SRAM timing parameter; SOC

1 引言

嵌入式存储器的时序参数,包括建立、保持、读写时间,决定了存储器的性能. 随着存储器性能的提高,传统测试机的成本在测量越来越短的时间也变得越发昂贵,精确地测量存储器的时序参数成为了一项巨大的挑战,因此需要片上电路测量方案.

许多研究中都有以延时链为核心的测量电路方案,文献[1]中设计了一种游标延时链电路,量程达到了 800 ps,精度达到了 13 ps,这种方案需要 6 个 DFF,电路开销较大. 文献[2-3]中电路都包含粗调模块和精调模块的延时链,文献[2]的测量电路量程可以达到 200 ps,精度达到 1.47 资料 ps,文献[3]的测量方案量程可以达到 670 ps,精度达到 21ps,

这两种方案只适合测量 SRAM 的建立、保持时间,而因为读写时间的大小是纳秒级的,测量方式也不相同,所以文献[2-3]不能测量读写时间. 本文提出了一种基于延时链的高精度 SRAM 时序参数测量电路,可以切换测量建立、保持、读取时间.

2 测量电路

2.1 测量原理

本文设计的 SRAM 时序参数测量电路的原理如图 1 所示.

对于建立时间的测量,在图 1 上方的电路结构中,首先让 D_1 的上升沿领先于 CLK 的上升沿,调节延时链使得 D_1 的上升沿越来越接近 CLK 的上升沿,直至 Q_1 从 1 跳变 0,跳变点就是建立时间的临界点.

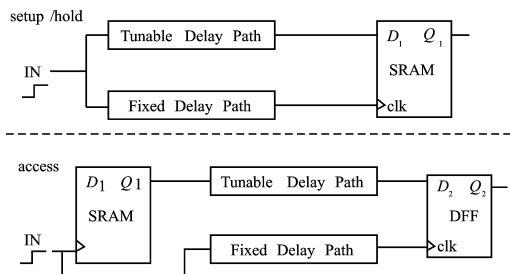


图1 建立、保持和读写时间的测量原理

对于保持时间的测量,在图1上方的电路结构中,首先让 D_1 的上升沿落后于CLK的上升沿,调节延时链使得 D_1 的上升沿越来越接近CLK的上升沿,直至 Q_1 从0跳变1,跳变点就是保持时间的临界点。

对于读写时间的测量,在图1下方的电路结构中,首先让 D_2 的上升沿领先于CLK的上升沿,调节

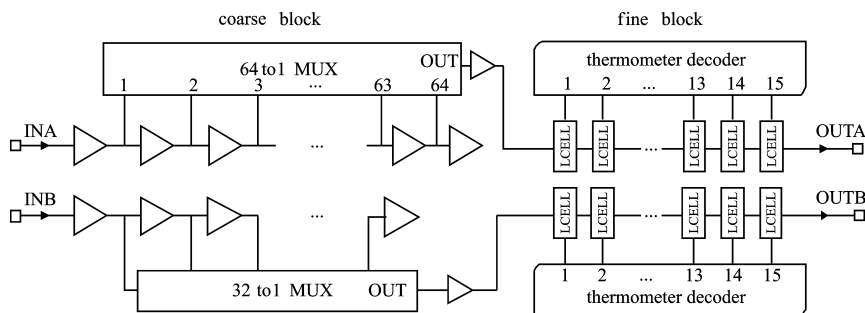


图2 延时链电路

可调链路的粗调单元和精调单元分别组成了粗调模块和精调模块,粗调模块是产生延时的主要部分,精调模块的步进决定了测量精度^[2-3]. 精调单元的结构如图3所示,每个精调单元由两个Buffer组成,输入IN输出为OUT之间有一个源漏相连的MOS管,这个MOS管是第一个Buffer的负载,CTRL信号用来控制负载的开断. 第二个Buffer用来屏蔽该负载的开断对下一级的精调单元的影响。

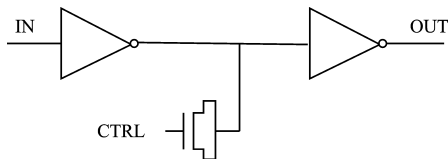


图3 精调单元(LCELL)结构

粗调模块步进为 T_B ,精调模块步进 T_L ,为了保证生产的时间间隔能够在Buffer负载调节单元的测量范围内线性增长, T_B 和 T_L 存在式1的关系:

$$(1/15)T_B < T_L < (1/10)T_B \quad (1)$$

延时链使得 D_2 的上升沿越来越接近CLK的上升沿, Q_2 的跳变点就是读写时间的临界点。

2.2 延时链电路

延时链电路如图2所示,由可调链路 $INA \rightarrow OUTA$ 和固定链路 $INB \rightarrow OUTB$ 组成. 可调链路总共由64级粗调单元和15级精调单元组成,粗调单元决定了电路量程,精调单元决定了电路的精度. 粗调单元由一个64-1的MUX进行选择控制,精调单元由一个温度译码器进行控制. 固定链路由32级粗调单元和15级精调单元组成,控制粗调单元的32-1 MUX固定全部选中32级,控制精调单元的温度译码器固定全部置0,这样可以使得固定链路的延时处于可调链路量程的1/2,从而能够产生可正可负的延时。

3 延时链延时计算

3.1 延时链延时的数学模型

在测量过程中,两条通路延时间隔的产生如图4所示,其中PATHB中有32级粗调单元,PATHA中有 $(32+m)$ 级粗调单元和 n 级精调单元。

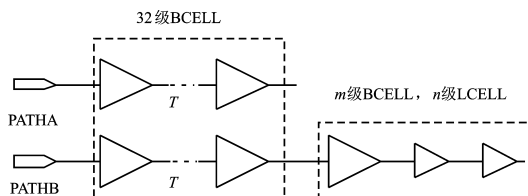


图4 延时链延时模型

延时大小可以用式2来表示:

$$\Delta T = T_{PATHA} - T_{PATHB} = m * T_B + n * T_L \quad (2)$$

T_{PATHA} 和 T_{PATHB} 分别是固定链路和可调链路的延时, m 是可调链路与固定链路的粗调单元数之差, n 是可调链路与固定链路的精调单元数之差, T_B 和 T_L 的值会在下一节进行讨论. 在测量过程中,一旦 m 、 n 、 T_B 和 T_L 的大小确定后,延时链的延时大小

就能相应得出.

3.2 仿真分析

T_B 和 T_L 的大小对延时的测量影响至关重要, 考虑到温度, 电压对 T_B 和 T_L 大小的影响, 本文在 1.08 V/125℃, 1.2 V/27℃, 1.32 V/0℃ 三种不同的温度电压条件下, 对 64 级粗调单元和 15 级精调单元进行了仿真分析(SMIC 130 nm 工艺库).

64 级粗调单元和 16 级精调单元的延时大小随着级数增加而呈线性增长, 如图 5 和 6. 由于温度与延时成正比例关系, 电压与延时近似成反比例关系, 1.08 V/125℃ 条件下温度最高, 电压最低, 则延时最大; 1.32 V/0℃ 条件下温度最低, 电压最高, 则延时最小, 表 1 中即为 T_B 和 T_L 在不同温度电压下的延时均值, 根据表中仿真结果可知, 延时链的精度能够达到 4.9 ps.

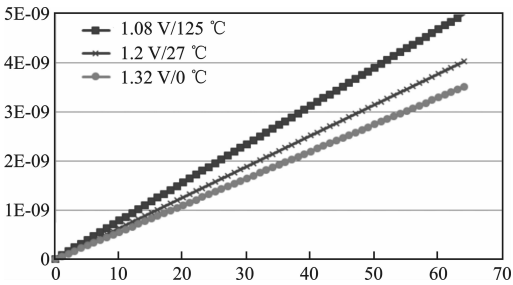


图 5 64 级粗调单元的延时

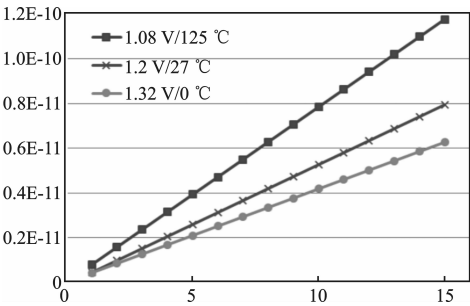


图 6 16 级精调单元的延时

表 1 T_B 和 T_L 仿真结果

	1.08 V/125 °C	1.2 V/27 °C	1.32 V/0 °C
T_B /ps	70.1	62.9	54.9
T_L /ps	4.9	4.6	4.1

4 SOC 实现和版图

为了实现片上测量电路, 本文设计了一种集成了测量电路和待测 SRAM 的 SOC 电路. 图 7 是该 SOC 电路的系统结构, CPU, ROM 和 RAM 的功能是通过总线连接其他模块进行指令的读写和存储, SPI 和 UART 的功能是从 PC 机上读取测量指令, 然后由 CPU 控制, 写入到测量电路的 32 位配置寄

存器中, 该寄存器可以实现建立/保持/读写时间切换和测量端口切换的功能配置. 当测量电路的配置寄存器 32 位全部写满后, 测量开始, 当测量结束后会将结果通过 SPI 传输到 PC 端进行显示. 图 8 左侧为测量电路版图, 右侧为 SOC 系统版图, 目前正在 SMIC 流片中^[4-5].

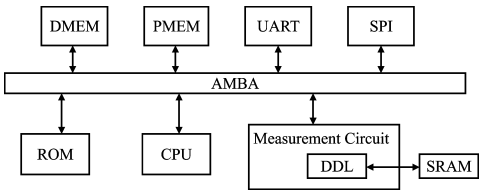


图 7 图 7 SOC 系统结构

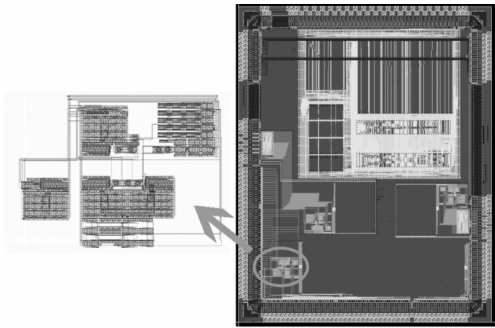


图 8 测量电路(左)和 SOC 版图(右)

5 结束语

本文设计并实现了一种基于延时链的高精度 SRAM 时序参数测量电路, 并对延时链的粗调模块和精调模块进行不同温度和电压条件下的仿真分析, 得到电路的精度为 4.9ps. 并将测量电路与待测 SRAM 集成入 SOC 系统中进行片上实时测量, 该方案能够实现 SRAM 时序参数的切换测量, 这是以往研究中所没有涉及的. 此外, 该测量电路不仅可以应用于 SRAM 的时序参数测量, 亦可应用于其他皮秒级微小时间的测量.

参考文献:

[1] Pei S, Li H, Li X. A low overhead on-chip path delay measurement circuit[C]//2009 Asian Test Symposium. IEEE, 2009: 145-150.

[2] Yuan X, Owczarczyk P, Drake A J, et al. Design considerations for reconfigurable delay circuit to emulate system critical paths[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2015, 23 (11): 2714-2718.

频域分形维数的计算,使得噪声和语音之间的区分更加明显,抗噪性得到了提高.

5 结束语

针对单一端点检测低信噪比下检测率下降的缺陷,本文通过分析分形维数和 TEO 的原理,研究分形维数在时域和频域上的使用,将分形维数和短时 TEO 能量结合在一起,采用两级判决的机制对语音进行端点检测.实验结果表明,联合算法弥补了单一算法的抗噪性不足以及改善了整个系统的准确度.即使在低信噪比的情况下也有良好的性能.

参考文献:

[1] 李杰,周萍,杜志然. 短时 TEO 能量在带噪语音端点检测中的应用[J]. 计算机工程与应用,2013,49(12): 144-147.

[2] 张雪英. 数字信号处理及 MATLAB 仿真[M]. 北京: 电子工业出版社,2010:207-215.

[3] 刘悦,王晓婷. 短时频域分形端点检测算法[J]. 微电子学与计算机,2015,32(9):81-84.

[4] 陈建安. 分形维数的定义及测定方法[J]. 电子科技, 1999,1(4):44-46.

[5] Kaiser J F. On a simple algorithm to calculate the energy of a signal[C]//IEEE International conference on Acoustics,Speech and Signal Processing. Albuquerque, NM: IEEE,1990:381-384.

[6] 王茂蓉,周萍,景新幸,等. 基于 Mel-TEO 的带噪语音端点检测算法[J]. 微电子学与计算机,2016,33(4): 46-49.

作者简介:

周 萍 女,(1961-),硕士,教授.研究方向为语音识别与智能控制.

张上鑫(通讯作者) 男,(1992-),硕士研究生.研究方向为语音识别. E-mail:503216199@qq. com.

郑凯鹏 男,(1992-),硕士研究生.研究方向为语音识别.

(上接第 20 页)

[3] Tsai M C, Cheng C H, Yang C M. An all-digital high-precision built-in delay time measurement circuit [C] // 26th IEEE VLSI Test Symposium (vts 2008). San Diego, California,IEEE, 2008: 249-254.

[4] Lee M K, Teng W K, Krishnasamy R K, et al. Delay-line based embedded memory access time measurement: Circuit, implementation and characterization techniques [C]// Quality Electronic Design (ASQED), 2012 4th Asia Symposium on. Penang, Malaysia,IEEE, 2012: 259-264.

[5] Murakami D, Kuwabara T. A digitally programmable delay line and duty cycle controller with picosecond resolution[C] // Bipolar Circuits and Technology Meeting, Proceedings of the 1991. Minneapolis,

USA, IEEE, 1991: 218-221.

作者简介:

姜 彬 男,(1992-),硕士.研究方向为集成电路工程、数字电路设计. E-mail:seu_jiangbin@163. com.

张敏敏 女,(1994-),硕士.研究方向为集成电路工程、数字电路设计.

王 琴 女,(1975-),副教授.研究方向为大规模集成电路设计、先进集成电路设计方法.

蒋剑飞 男,(1979-),助理研究员.研究方向为高速集成电路设计.

毛志刚 男,(1962-),博士,教授,博士生导师.研究方向为大规模集成电路设计、可重构体系结构设计、集成电路与元器件可靠性等.