

基于 DDS 与 PLL 混合的频率合成改进方法研究

王 锋, 刘鹏远, 李 兵

(军械工程学院 导弹工程系, 河北 石家庄 050003)

摘 要: 电子系统对频率源的精度、频率分辨率、转换时间和频谱纯度等指标提出了越来越高的要求。锁相频率合成技术具有体积小、电路简洁、杂散抑制度高, 具有窄带跟踪滤波能力的特点, 得到了广泛应用, 但其存在频率步进与转换时间的相互制约的缺点。而 DDS 具有极高的分辨率, 极快的频率转换速度, 输出频率上限不高。两种常用的方法有各自的优势和不足, 因此可以采用 DDS+PLL 技术方案, 既能保持锁相环路的优点, 又弥补了锁相环路的不足。本文正是基于这一思想提出了混合频率合成方法的改进方案。

关键词: DDS; PLL; 频率合成; 转换时间

中图分类号: TN743

文献标识码: A

文章编号: 1000-7180(2017)05-0017-04

A Research on Frequency Synthesis Improvement Based on DDS Mixed PLL

WANG Feng, LIU Peng-yuan, Li Bing

(The Department of Missile Engineering Ordnance, Engineering College, Shijiazhuang 050003, China)

Abstract: The development of electronic system brings more demands to the accuracy of frequency source, frequency resolution, conversion time and frequency spectrum purity. Phase-locked frequency synthesis technology has small volume, simple circuit and high stray inhibition degree. It has narrow-band filtering capability, so it is used widely. But there is a disadvantage between the frequency step and conversion time constraints. DDS has a very high frequency resolution, extremely fast frequency converting. But its upper limit of output frequency is not high. The two methods have their own advantages and disadvantages. So use DDS + PLL technology solutions which can both retain the advantages of the phase lock loop, and make up for the inadequacy of the phase locked loop. Based on the idea of mixed frequency synthesis method is this paper proposes the improvements.

Key words: DDS; PLL; frequency synthesis; conversion time

1 引言

频率合成器是现代电子系统中决定其系统性能的关键部件, 要求能产生高准确度和稳定度的频率信号, 许多系统的要求不仅是一个频率, 而是在一个宽的频率范围内可以提供多样的且具有相同稳定度的频率信号, 这就需要采用频率合成技术。频率合成是由一个或多个具有高稳定度的频率参考源, 通过混频、倍频和分频等处理^[1], 实现频率的加、减、乘、除运算, 获得与参考频率源具有相同稳定度的一个或多个频率信号。

随着现代通信、雷达、武器制导和电子对抗等高精度复杂系统的涌现, 对频率合成器的频率、带宽、变换速度、频率稳定度、频谱纯度等指标都提出了更高的要求, 对高性能频率合成新技术、新方法的研究要求也愈加迫切。传统非相干频率合成技术存在多个参考频率源, 输出频率低、频带窄, 频率纯度和稳定度都比较差, 已经不能满足现代电子系统的需求。目前通常采用的都是只有一个基准频率源的相干合成方法。

相干频率合成的基本方法主要有直接频率合成、间接频率合成、直接数字频率合成。

直接频率合成是由一个频率源,通过分频、倍频、混频和滤波,产生所需的各种频率.优点是频率变换快、频率分辨率高和相位噪声低^[2].缺点是体积大,伴随产生随着带宽增加的寄生频率分量.

间接频率合成即利用相位反馈控制原理实现稳频的锁相频率合成(PLL),具有良好的窄带跟踪特性,频率范围大,杂散抑制好,避免滤波器大量使用,利于集成和小型化,缺点是频率步进与转换时间的相互制约.

直接数字频率合成(DDS)是对参考时钟直接进行数字采样,用数字处理技术通过 DA 转换,以连续相位转换频率,实时地产生高分辨率的频率信号^[3].其不足是输出杂散较大,频率上限不能太高.

锁相频率合成技术电路简单、规模小、杂散抑制度高,锁定状态有无剩余频差,具有窄带跟踪滤波能力和易于集成等优点.但这种合成方法的频率准确度和稳定度都不太理想,提高频率转换速度和保证频谱纯度是一对固有的矛盾^[4].锁相环合成法单独工作时其产生的频率分辨率相对较低,频率合成、转换达到稳定工作所需要的时间相比其它两类方法较长.直接数字合成方法(DDS)的突出优点就是具有很高的频率分辨率,频率转换速度也很快,却受限于输出的频率不高.利用这两类方法的各自不同的优势进行互补,把 DDS 与 PLL 在一起联合应用,利用 DDS 的高分辨率特性解决 PLL 频率分辨率和频率转换时间的矛盾. DDS 的高频率分辨率来改进输出频率的步进间隔,同时利用 PLL 进行倍频输出更高频率信号.这种混合方案实现的频率合成系统能够获得宽频带、高频率分辨率、高频率转换速度的频率信号^[5],满足多种复杂系统的要求^[6].从硬件结构上,DDS+PLL 的方案比较简单,容易实现.因此 DDS+PLL 的混合方案可以在很大程度上克服各自的弊端,形成一种更加完善的频率合成方案.目前这两类方法混合方案从总体上可以分为两大类:一类是以 DDS 的输出频率作为 PLL 的参考信号源,以获得更高的频率分辨率;另一类是将 DDS 输出以混频的形式插入到 PLL 的环路中,信号上变频,满足高频鉴相器的使用条件.

2 DDS 激励 PLL

DDS 的输出具有很高的频率分辨率,输出频率的步进可以很小.这种混合方案就是利用 DDS 输出的频率信号作为锁相环电路的参考频率源,即以 DDS 驱动 PLL,实现混合频率合成方法^[7],因此,最

终的合成器输出就可以实现较小的频率间隔和较高的频率分辨率^[3].另一方面,PLL 的宽频带特性,可以有效弥补 DDS 输出频率范围小的不足.

图 1 所示为 DDS 激励 PLL 合成器原理图,利用 DDS 的作为激励源,分频器和 DDS 由微处理器控制,保持锁相环中分频器的分频比 N 不变,通过微处理器 MCU 控制 DDS^[6],改变其输出频率,也就是快速改变 PLL 的激励参考频率,实现系统的频率跳变.这样的电路结构,可以在保持较小的分频比的情况下,获得小间隔的频率步进,提高频率的分辨率.在器件上,使用高的鉴相频率来改善 PLL 的频率切换速度.而锁相环本身的宽频特性拓展了 DDS 输出的频率范围^[6],环路的带通特性对 DDS 频谱中产生的杂散进行有效滤除.实现合成器输出的低相噪、高杂散抑制和宽频率范围.

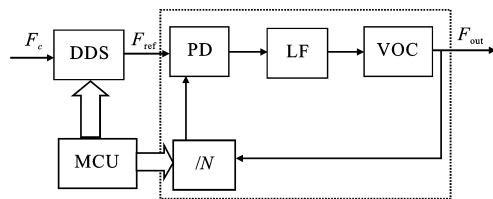


图 1 DDS 激励 PLL 频率合成原理图

图 1 中, F_c 为 DDS 参考时钟频率,DDS 的输出频率为 F_{ref} ,作为 PLL 的参考频率, N 是频率合成器的反馈分频比.电路中,MCU 控制 DDS 和分频器,通过控制 DDS 输出频率 F_{ref} 的变化^[2],以及调整反馈分频比 N 的数值来实现对频率合成器输出频率的控制.最终频率合成器的输出信号频率为:

$$F_{out} = F_{ref} \times N \quad (1)$$

分析这种混合合成模式输出信号的杂散抑制情况,一方面,PLL 的鉴相频率 F_{ref} 通过环路滤波器的泄露频率引起的杂散,但这种杂散通常位于环路通带之外,通过器件的合理选择可以较好的实现抑制.另一种,是由起始端 DDS 的输出的近端杂散信号造成的杂散^[6],由于这类杂散的频率多数处于环路滤波器带内,因此,环路滤波器对其抑制作用非常有限,DDS 输出的近端杂散成为这种混合模式的主要杂散成分.进一步分析,锁相合成基本方法的输出靠反馈分频比来控制,DDS 的近端杂散经过环路之后的恶化程度与分频比 N 有直接关系.根据文献^[2]给出的杂散抑制公式为:

$$\begin{aligned} SP_{SYNTH} &= SP_{ref} + 20\lg N \\ &= SP_{DDS} + 20\lg N \end{aligned} \quad (2)$$

式中: SP_{SYNTH} 为混合频率合成器的近端杂散抑制, SP_{DDS} 为 DDS 输出的近端杂散抑制. 频率合成器的输出与 DDS 及分频比 N 有关, 显然, 对选定的 DDS, 且目标频率确定的情况下, 只有通过降低分频比 N 来降低输出杂散, 但由式(1)可知, 目标输出频率为定值, 降低 N 就意味着必须提高 F_{ref} , 参考频率 F_{ref} 直接由 DDS 产生, 而 DDS 的近端杂散除了与材料、工艺等固有因素外, 输出频率越高, 杂散指标越差^[4].

同时, 输入参考频率 F_{ref} 的调节并非是有限的, 相应的 N 的取值变化也受到了限制. 同时 N 的减小也会降低输出频率, 影响频率带宽^[7]. 这就限制了这种混合模式的适用频率范围. 为缓解 DDS 输出频率与分频比 N 之间的矛盾, 电路在中在鉴相器前引入一个混频器, DDS 可以选择一个杂散较小的输出频率, 通过混频器将 DDS 的输出频率上变频, 再对 DDS 输出信号进行分频, 降低 DDS 的近端杂散. 同时在不提高 DDS 输出频率的前提下, 提高 PLL 的参考频率, 根据式(1), 从而可以降低反馈分频比的数值要求, 实现整个电路的杂散抑制. 原理图如图 2 所示.

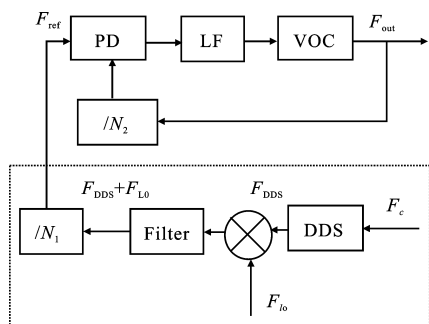


图 2 DDS 激励 PLL 频率合成改进原理图

由图 2 中 DDS 混频电路可知, 经过混频和分频后的输出近端杂散抑制为:

$$SP_{\text{ref}} = SP_{\text{DDS}} - 20\lg N_1 \quad (3)$$

式中: SP_{ref} 为改进后的近端杂散抑制, SP_{DDS} 为 DDS 输出近端杂散抑制, N_1 为上变频电路分频器的分频比.

上变频电路的输出作为 PLL 的激励参考, 联合式(2)、(3), 在这种方式下, 频率合成器的近端杂散抑制计算公式变为:

$$\begin{aligned} SP_{\text{SYNTH}} &= SP_{\text{ref}} + 20\lg N_2 \\ &= SP_{\text{DDS}} - 20\lg N_1 + 20\lg N_2 \end{aligned} \quad (4)$$

比较式(2)与式(4), 由于激励参考频率经过上变频, 可以降低反馈分频比, 因此 $20\lg N_2 \leq 20\lg N$.

同时由于混频作用降低了 DDS 输出频率, SP_{DDS} 会减小, 再加上上变频电路中分频器的抑制作用, 合成器最终输出近端杂散得到了明显的改善.

这种 DDS 激励方案兼顾了 DDS 和 PLL 的优势, 实现了合理的互补, 这种模式的结构相对简单, 频率合成器的输出可以实现高输出频率和频率分辨率, 频率跳变速度得到了很大的提高, 同时, 噪声和杂散性能也得到较好的抑制, 但这种抑制是有限度的, 由于混频器的作用, 还可能产生更多的频率组合形成干扰, 如果落在环路滤波器的通带内, 就无法滤除, 因此输出的杂散依然是一个主要问题. 如果对频率的要求比较高时就需要进一步改进混合方案.

3 DDS 内插 PLL 方式

DDS 的输出不作为 PLL 的激励参考信号, 而是以内插的形式通过与 PLL 输出混频接入到电路中, 即 DDS 的输出与 PLL 中的压控振荡器 (VCO) 输出进行混频, 混频后的信号再反馈到鉴相器, 原理如图 3 所示.

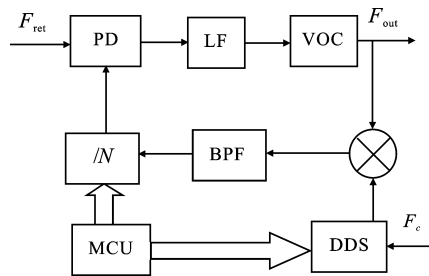


图 3 DDS 内插式混合合成方法原理图

这种混合方式中, DDS 的频率输出具有很高的频率分辨率, PLL 中的鉴相器可以使用更高频率的器件, 有效提高混合合成器的频率捷变时间. 由图 3 可知, DDS 的输出没有直接进入 PLL 的环路, 其输出的杂散和相位噪声没有经过倍频, 也因此而未被恶化, 保证了合成器输出的频率纯度. 在频率分辨率、捷变速度等方面性能优良, DDS 的相位噪声和杂散恶化的问题基本不存在. 主要的矛盾就集中在滤波器的设计上, DDS 输出与 VOC 的输出混频后, 必须依靠带通滤波器良好的性能滤出混频产生的谐波、杂散及交调信号等干扰^[6]. 要在不影响环路参数的前提下, 能够滤除混频造成的频率组合分量. 要保持分频器前信号的良好性能, 滤波器 BPF 成为电路设计的关键^[4].

这种方案中, PLL 的输出和 DDS 输出混频作为反馈信号. 输出步进靠它们共同调节. VOC 输出

及 PLL 电路实现步进粗调,而通过 DDS 提供输出频率的小步进调节.

DDS 内插式频率合成器的 PLL 结构中,采用高 Q 值的窄带环路滤波器,可以对 DDS 输出信号中的大部分杂散信号进行有效抑制,如果从杂散抑制的角度来考虑,PLL 的环路带宽越窄,杂散落在通带内的概率就越小,杂散抑制效果越明显,合成器输出的频谱就越理想.因此,这种模式比较适合频点较少的窄频带系统.

4 结束语

DDS 与 PLL 混合频率合成技术以优势互补的形式改进了频率合成性能,弥补了单一模式存在的不足^[7].DDS 激励 PLL 的形式,实现了高频率分辨率,在保证宽带频率合成的同时,解决了频率小步进问题,在一定频率范围内,可以相对理想的改善频率合成器的近端杂散问题.而 DDS 以内插的方式引入 PLL,对杂散、谐波等抑制比较明显,但使用频带较窄.两种方法各自有其不同的特点和适用范围.根据频率合成的目的、要求,选择不同的混合模式,改善频率合成效果.

参考文献:

[1] 赵宏飞. 4.8GHz 宽带 DDS 锁相扫频源的研制[D]. 成都: 电子科技大学, 2002.

[2] Ulich L Rohde. Microwave and wireless synthesizer: theory and design [M]. New York: Wiley Interscience, 1997.

[3] 白居易. 直接数字频率合成[M]. 西安: 西安交通大学出版社, 2007.

[4] 侯卫国. 基于 DDS+PLL 的 S 波段小步进频率合成器的研究与设计[D]. 成都: 电子科技大学, 2010.

[5] 陈大海, 邓贤进, 张健. 宽带频率合成器设计及应用[J]. 电子测量与仪器学报, 2008, 22(1):94-98

[6] 王轶. 基于 DDS+PLL 技术的高性能频率源研究与实现[D]. 长沙: 国防科学技术大学, 2004.

[7] 高玉良. 现代频率合成与控制技术[M]. 北京: 航空工业出版社, 2002.

作者简介:

王 锋 男, (1980-), 博士, 讲师. 研究方向为测试技术及信号处理. E-mail: wangfeng1111@126. com.

刘鹏远 男, (1975-), 博士, 副教授. 研究方向为测试与仿真技术.

李 兵 男, (1982-), 博士, 副教授. 研究方向为测试技术及信号处理.

(上接第 16 页)

[5] 武文斌, 汪立新, 周小刚, 等. 基于改进的动态故障树的惯导系统安全性分析[J]. 航天控制, 2011, 29(5): 63-66.

[6] 熊小萍, 谭建成, 林湘宁. 基于动态故障树的变电站通信系统可靠性分析[J]. 中国电机工程学报, 2012, 32(34): 135-143.

[7] Li Xinkun, Huang Ning, Zheng Xiaoyan. Application based dynamic fault tree method for AFDX network [C] //Annual Reliability and Maintainability Symposium. Arizona, USA ,Tucson, AZ, IEEE, 2016.

[8] Anatoly Lisnianski Ilia Frenkel. Recent advances in system reliability [M]. London, Springer, 2012.

[9] Hoang Pham. Handbook of reliability engineering [M]. London: Springer, 2003.

[10] 曾畅, 方强, 吴军, 等. 蒙特卡洛模拟法在复杂系统可

靠性仿真中的应用研究[J]. 四川兵工学报, 2015, 36(9): 65-68.

作者简介:

孙东旭 男, (1987-), 硕士, 工程师. 研究方向为航电系统的五性技术. E-mail: sdx_fc@163. com.

杨媛媛 女, (1988-), 硕士, 工程师. 研究方向为机载通信网络.

王红春 男, (1977-), 博士, 研究员. 研究方向为计算机网络与通信.

王世奎 男, (1965-), 硕士, 研究员. 研究方向为计算机网络与通信.

贾世伟 男, (1987-), 硕士, 工程师. 研究方向为航电系统的五性技术.