

引入 IP 核的三维 FPGA 结构研究

唐 强^{1, 2}, 林 郁¹, 刘 洋¹, 杨海钢¹

(1 中国科学院 电子学研究所, 北京 100190; 2 中国科学院大学, 北京 100049)

摘 要: 为研究 IP 核的引入对三维 FPGA 芯片性能的影响, 提出引入 IP 核同质和粗粒度异质两种三维 FPGA 结构. 首先, 利用二维 FPGA CAD 开源软件构建基于 IP 核和三维开关盒的三维 FPGA CAD 工具. 然后, 利用该工具从定性和定量的角度对不同堆叠层数引入 IP 核的同质三维 FPGA 结构进行性能分析. 实验发现, 随着堆叠层数的增加, 关键路径延迟逐渐减小; 芯片总面积逐渐增加, 单层芯片面积逐渐减小. 与引入 IP 核的同质三维 FPGA 结构相比, 粗粒度异质三维 FPGA 结构的关键路径延迟更小, 表明该结构在减小延时方面的有效性.

关键词: 三维现场可编程门阵列; IP 核; 堆叠层数; 三维开关盒

中图分类号: TN4

文献标识码: A

文章编号: 1000—7180(2016)11—0030—05

Three-dimensional FPGA Architecture Embedded with IP Cores

TANG Qiang^{1, 2}, LIN Yu¹, LIU Yang¹, YANG Hai-gang¹

(1 Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China;

2 University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: In order to fathom the effect on three-dimensional FPGA performance after IP cores are integrated, two FPGA structures are introduced in this paper: homogeneous 3D FPGAs with IP cores and coarse-grained heterogeneous ones. In the first place, we developed a new FPGA CAD tool, which is an upgrade version of a 2D FPGA CAD tool, to support FPGAs based on IP cores and 3D switch boxes, then use it to analyze the homogeneous 3D FPGA performance in different layers in terms of quality and quantity. Experiments reveal the fact that with the number of chip layer increases, total chip area will rise, in the other hand, critical path delay and chip area per layer fall accordingly. Compared to the homogeneous 3D structured FPGAs (with IP cores), coarse-grained heterogeneous ones have better critical path delay, which proves such structure has the effectiveness on reducing critical path delay.

Key words: 3D FPGA; IP core; stacked layers; 3D switch box

1 引言

近年来, 国内外学者对三维 FPGA 的结构进行了大量研究, 大致可归为两类: 同质三维 FPGA 结构^[1]和异质三维 FPGA 结构^[2]. 同质三维 FPGA 结构中, 每层芯片的资源种类及分布相同, 层间使用 TSV 及三维互连开关实现连接. 而异质三维 FPGA 结构中, 每层芯片的资源种类不同, 通过将配置存储器、互连开关盒和逻辑单元分布在不同层来实现三

维 FPGA 芯片. Ababei 等人^[1]设计了一种基于划分的时序布局算法并以此实现了三维布局布线工具 TPR, 评估了同质三维 FPGA 结构的堆叠层数对关键路径延迟和线长的影响. Kostas 等^[3]研究了三维开关盒分布对同质三维 FPGA 的关键路径延迟、线长及功耗的影响, 表明在三维开关盒与二维开关盒交叉分布并占开关盒总数的 70% 时, 延迟、线长及功耗性能并不比全三维开关盒分布的差. Aman 等^[4]研究了 TSV 对同质三维 FPGA 的面积、延迟

及温度的影响,设计了一种可以提高 TSV 利用率和芯片面积、延迟性能的三维开关盒. 文献[5]提出了考虑 CMOS 效应的锥形 TSV 寄生电容解析模型和一种新的双环 TSV 结构,研究并分析了 TSV 对 3D IC 温度影响. 以上文献对三维 FPGA 结构的研究仅仅关注了堆叠层数、三维开关盒的分布、三维开关盒设计等方面,而没有考虑逻辑资源的多样性. 对于三维 FPGA 结构而言,添加 IP 核会增加逻辑资源约束和逻辑冗余以致于芯片总面积增加及延迟性能变差.

针对以上问题,提出两种带 IP 核的三维 FPGA 结构,通过扩展开源的二维 FPGA EDA 工具 VTR^[6] 1.0 实现三维 FPGA 布局布线工具 3D VTR,并采用该工具对不同三维 FPGA 结构进行了性能评估,包括堆叠层数和 IP 核的分布对关键路径延迟和芯片面积的影响.

2 同质三维 FPGA 结构

2.1 二维 FPGA 结构

二维 FPGA 芯片由逻辑块单元、输入/输出单元和可编程布线单元^[7]三类基本单元组成. 随着 FPGA 的发展,逻辑块单元由单一的可编程逻辑块类型 CLB 扩展为可编程逻辑块、存储器单元 MEM、乘法器单元 DSP 等多种类型,如图 1 所示. 其中,存储器单元和乘法器单元,称为 IP 核. 通过对逻辑块单元和输入/输出单元 I/O 编程来实现用户电路逻辑而逻辑块单元之间或逻辑块单元与输入/输出单元之间的互连则通过配置可编程布线单元实现.

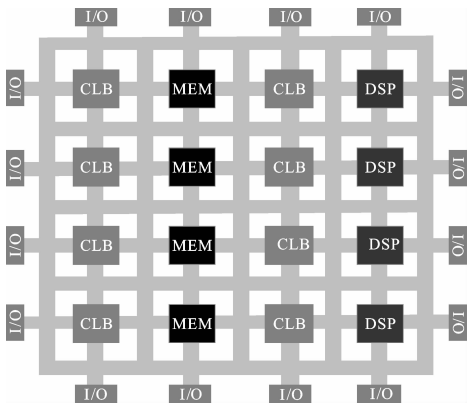


图 1 二维 FPGA 结构^[8]

2.2 三维 FPGA 结构

同质三维 FPGA 结构中,不同层之间通过三维开关盒实现路由. 图 2 给出了三维开关盒示意图. 相

较于二维开关盒,三维开关盒增加了垂直方向跳转,并通过垂直通道实现层间互连. 该结构中水平通道宽度相同,即 CHANX 宽度等于 CHANY 宽度. 垂直通道 CHANZ 宽度由 TSV 密度决定.

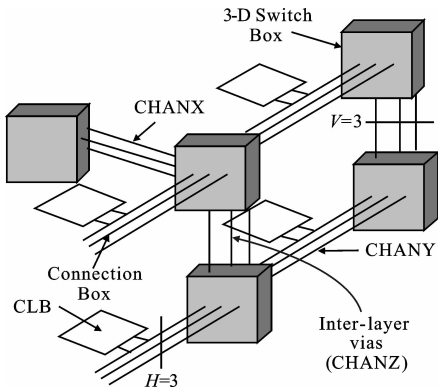


图 2 三维开关盒^[4]

垂直通道与水平通道存在工艺实现的差别. 垂直通道线长取决于单层芯片厚度,其远小于水平通道线长. 例如,Tezzaron 65 nm 工艺下,芯片厚度为 10 μm ,而水平方向长度为 4 的线段长度为 150 μm . 由于单根垂直通道线的宽度远大于单根水平通道线,从芯片面积角度考虑,垂直通道数一般会小于水平通道数.

图 3 给出了同质三维 FPGA 结构示意图. 通过将带 IP 核的二维 FPGA 芯片垂直堆叠并以三维开关盒取代而且开关盒,可以得到带 IP 核同质三维 FPGA.

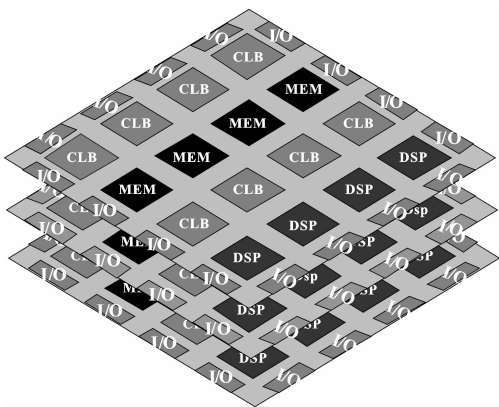


图 3 同质三维 FPGA 结构

3 同质三维 FPGA 结构评估

本文采用第 2 节介绍的同质三维 FPGA 结构,研究不同的结构参数对关键路径延迟和芯片面积的影响. 首先介绍实验方法和测试电路集,然后分析不同三维 FPGA 结构的延迟和面积性能.

3.1 实验方法及测试电路集

图 4 给出了本文的实验流程. 前端综合、映射、装箱使用开源软件 VTR^[6] 1.0 完成, 布局布线则采用 3D VTR 实现. 为优化电路的性能, 实验中使用优化时序的代价函数. 优化时序的代价函数^[9]包括两部分, 线长代价函数部分和时序代价函数部分. 通过对 Cristinel Ababei 提出的代价函数^[1]进行修改得到新的线长代价函数, 如式(1)所示.

wiring_cost_{3D} = β×Num_layers + q(i) × [
$$\frac{b_x(i)}{C_{ac,x}(i)^a} + \frac{b_y(i)}{C_{ac,y}(i)^a} + \frac{b_z(i)}{C_{ac,z}(i)^a}] \quad (1)$$

式中, $q(i)$ 为信号 i 的线长补偿因子, $b_x(i)$ 、 $b_y(i)$ 和 $b_z(i)$ 分别为边界框在水平 X、Y 和垂直 Z 方向的跨度, $C_{ac,x}(i)$ 、 $C_{ac,y}(i)$ 和 $C_{ac,z}(i)$ 分别为信号 i 的边界框在 X、Y 和 Z 方向的平均通道宽度. Num_layers 为信号 i 的端点占用的芯片层数, β 为调节 Num_layers 在代价函数中比例的补偿因子.

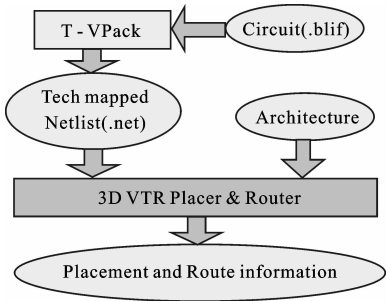


图 4 本文实验流程

由图 4 可知, 3D VTR 包含两个输入: 电路逻辑簇网表文件和三维 FPGA 结构文件. 实验采用 VTR 自带的电路集, 如表 1 所示. 这些电路不仅包含了 CLBs、I/Os, 还包含 MEMs 和 DSPs, 而且各种逻辑块单元的比例不同. 实验采用的三维 FPGA 结构与图 3 类似. 其中, 二维 FPGA 芯片为方形阵列, 每个 CLB 有 10 个 6 输入 LUTs, 存储器和乘法器高度分别为 6 和 4. 详细布线结构参数为: $F_{c_{in}}=0.15$, $F_{c_{out}}=0.1$, $F_s=5$, $L=1$, 开关盒类型为 Wilton. TSV 参数为: $R_{metal}=46\text{m}\Omega$, $C_{metal}=122\text{fF}$ ^[10].

3.2 堆叠层数对芯片性能的影响

三维 FPGA 的一个重要结构参数是芯片堆叠层数. 为研究芯片堆叠层数对延迟和芯片面积的影响, 使用上一节阐述的实验方法对堆叠层数为 1~7 层时的情况进行分析.

一般三维 FPGA 研究中, 芯片堆叠层数小于芯片逻辑阵列的宽度. 默认设置下, VTR 会自动找到

表 1 实验采用的电路测试集

Benchmarks	CLBs	I/Os	Mems	Mults	Total
diffeq2	28	162	0	5	195
ch_intrinsic	42	229	1	0	272
sha	222	74	0	0	296
diffeq1	44	258	0	5	307
mkPktMerge	23	467	15	0	505
mkSMAadapter4B	199	400	5	0	604
blob_merge	604	136	0	0	740
boundtop	294	467	1	0	762
raygentop	242	544	1	7	794
or1200	298	779	2	1	1 080
mkDelayWorker32B	560	1 064	41	0	1 665
stereovision1	1 365	278	0	38	1 681
Stereovision0	1 479	354	0	0	1 833

能容纳电路的最小芯片逻辑阵列. 随着堆叠层数的增加, 芯片逻辑阵列的尺寸可能会减小. 例如, 当芯片堆叠层数增加到 7 层时, VTR 表 1 测试电路集中大部分电路对应的芯片逻辑阵列尺寸都减小到 7, 若再增加堆叠层数则会导致芯片层数比逻辑阵列尺寸更大, 与三维 FPGA 的实际情况不符. 因此, 本文仅对 1~7 层堆叠的情况进行研究. 实验结果是所有电路的几何平均, 每个电路采用 5 个布局 seed, 且根据二维芯片实验结果进行了归一化处理, 即 $\text{Ratio} = \text{Result3D}/\text{Result2D}$.

图 5 给出了堆叠层数为 1~7 时, 三维芯片总面积的统计状况. 其中, 三维芯片总面积是各层芯片逻辑资源与布线资源面积之和. 由于实验中指定多层芯片的水平通道宽度与二维情况一致, 当芯片堆叠层数增加时, 虽然芯片逻辑阵列尺寸变小, 但逻辑资源冗余会导致总的通道数和格点数增加, 布线面积和逻辑面积随之增加, 所以芯片总面积增加. 其中, 一个 CLB 看为一个格点, 高度为 H 宽度为 W 的 IP 核对应的格点数为 $W \times H$. 该现象从图 5 亦容易看出. 此外, 由图可见, 当芯片堆叠层数为 5 层时, 芯片总面积反而减小了. 因为当芯片堆叠层数从 4 层增加到 5 层时, 芯片总格点(芯片单个 CLB 占一个格点, 高度为 6 的存储器占 6 个格点)数和通道数减小. 例如, 对于 mkDelayWorker32B 电路, 堆叠层数为 4 层时, 逻辑阵列尺寸为 $4 \times 24 \times 24$, 堆叠层数为 5 层时, 逻辑阵列尺寸为 $5 \times 18 \times 18$, 对应的芯片总格点数从 2 304 减小到 1 620.

图 6 给出了单层芯片面积随堆叠层数的变化曲

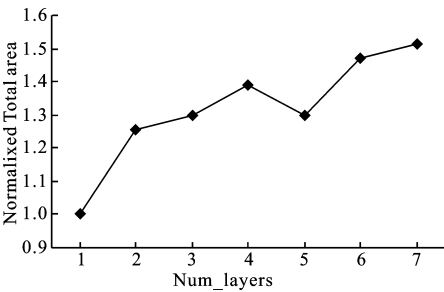


图5 芯片总面积

线图. 其中,单层芯片面积是各层芯片逻辑资源与布线资源面积之和的平均值 (Total area/Num_layers). 由图可以看出,随着堆叠层数的增加,单层芯片面积逐渐减小. 当堆叠层数为 7 层时,芯片单层面积比二维 FPGA 减小了 78.3%.

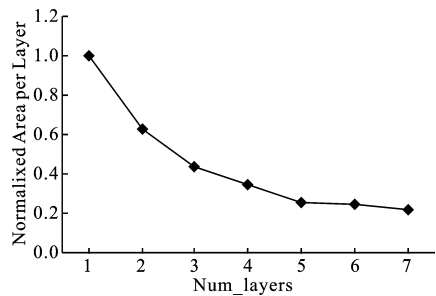


图6 单层芯片面积

图 7 给出了关键路径延迟与芯片堆叠层数之间的关系. 由图可见,当芯片堆叠层数增加时,关键路径延迟逐渐减小. 芯片结构由二维转变为三维时,即堆叠层数从 1 层增加到 2 层,布局布线工具增加了一个优化维度,此时延迟减小的幅度最大. 由于 5 层堆叠的三维 FPGA 结构对应的布局布线解搜索空间最小,得到的关键路径延迟最小. 堆叠层数为 5 层时,关键路径延迟比二维 FPGA 减小了 9.8%.

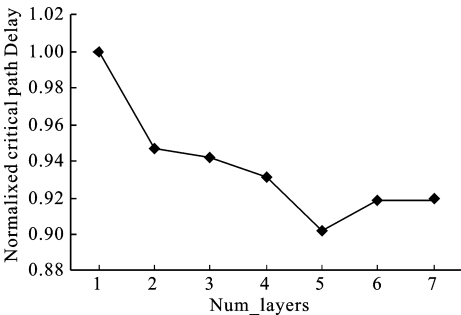


图7 关键路径延迟

4 粗粒度异质三维 FPGA 结构

传统的异质三维 FPGA 使用不同层分别实现

配置存储器、互连开关盒和逻辑单元. 本文提出一种粗粒度异质三维 FPGA 结构,其中配置存储器和互连开关盒分布在每层芯片上,逻辑单元仅分布在奇数层芯片,而 IP 核模块仅分布在偶数层芯片上. 图 8 给出了堆叠层数为 3 层时,粗粒度异质三维 FPGA 结构示意图. 下面利用实验对比来评估提出的粗粒度异质三维 FPGA 结构的性能.

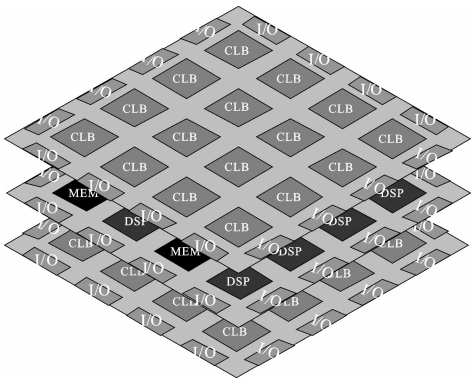


图8 粗粒度异构三维 FPGA 结构

图 9 给出了堆叠层数为 3 层和 5 层时,引入 IP 核的同质与粗粒度异质三维 FPGA 结构的延时统计结果. 实验结果对二维芯片结构进行了归一化处理. 由图可见,粗粒度异质三维 FPGA 结构得到的延迟优于引入 IP 核的同质结构. 当堆叠层数为 3 层时,文献[1]中未引入 IP 核的同质三维 FPGA 结构比二维芯片结构的延时减小 7.1%,而引入 IP 核后,延迟只减小 5.8%. 说明在同质三维 FPGA 结构中引入 IP 核会使延迟性能变差. 但若采用粗粒度异质三维 FPGA 结构,三层堆叠芯片结构比二维芯片的延迟减小 11.6%,获得更多的性能优化. 当堆叠层数为 5 层时,该结构得到的延时大于 3 层结构,原因是 5 层堆叠芯片的水平尺寸小于 3 层结构,导致互连紧密的 CLB 被布局在不同奇数层,使得互连必须跨越中间的 IP 核模块层,从而导致延迟增加.

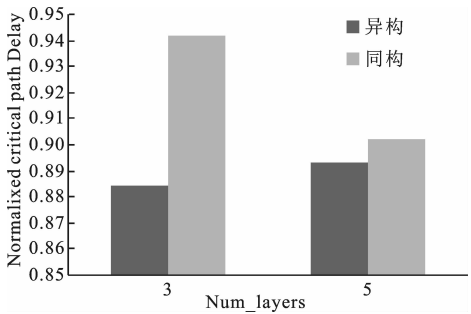


图9 同质与新异质三维 FPGA 延迟比较

图 10 给出了堆叠层数为 3 层和 5 层时,引入 IP

核的同质与粗粒度异质三维 FPGA 结构的面积统计情况. 实验结果对二维芯片结构进行了归一化处理. 三层堆叠时,粗粒度异质结构中 CLB 的比例小于引入 IP 核的同质结构. 例如,若三维芯片尺寸为 $3\times 8\times 8$,由于实验采用的二维 FPGA 结构中每 8 列有 6 列为 CLB,则三层同质 FPGA 结构含有 18 列 CLB,而三层异质 FPGA 结构只有两层 8 列共 16 列 CLB. 对表 1 所示测试电路集,求解芯片最小尺寸时大多数电路受限的是 CLB 数目,故异质三维 FPGA 结构芯片逻辑阵列比同质结构大,导致芯片面积增加. 五层堆叠时,由于求解个别电路对应的芯片最小尺寸时受限的是 IP 核数目,导致异质 FPGA 结构的芯片总面积急剧减小,使得所有电路面积几何平均后与同质结构基本相同.

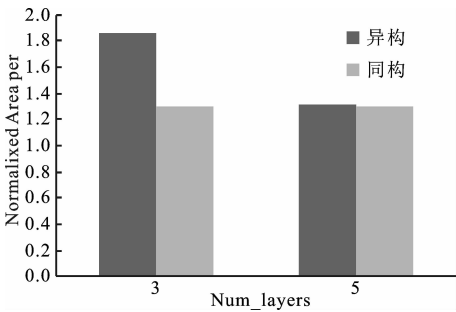


图 10 同质与粗粒度异质三维 FPGA 芯片总面积对比

5 结束语

本文以三维 FPGA 芯片结构设计为出发点,结合详细的引入 IP 核同质三维 FPGA 和粗粒度异质三维 FPGA 结构构建及实验分析过程,考虑了堆叠层数对三维 FPGA 芯片面积和延时的影响. 研究表明,随着堆叠层数增加,同质三维 FPGA 的关键路径延迟和单层芯片面积逐渐减小;粗粒度异质三维 FPGA 延迟性能优于同质 FPGA. 本文揭示了同质三维 FPGA 引入 IP 核会导致延迟性能变差的问题,并提供了一种异质结构的解决方案,能够为三维 FPGA 芯片结构设计提供有效参考. 下一步工作中,将进一步研究三维开关盒的类型与分布对带 IP 核的三维 FPGA 结构的影响.

参考文献:

[1] Ababei C, Mogal H, Bazargan K. Three-dimensional place and route for FPGAs[J]. IEEE Transactions on

Computer-Aided Design of Integrated Circuits and Systems, 2006,25(6): 1132-140.

[2] Turkyilmaz Ogun, Cibrario G rald, Rozeau Olivier, et al. 3D FPGA using high-density interconnect monolithic integration[C]//Design, Automation and Test in Europe Conference and Exhibition (DATE). Dresden; IEEE, 2014: 1-4.

[3] Siozios K, Sotiriadis K, Pavlidis V F, et al. A software-supported methodology for designing high-performance 3D FPGA architectures[C]//IFIP International Conference on Very Large Scale Integration. Atlanta, GA, USA; IEEE, 2007: 54-59.

[4] Gayasen A, Narayanan V, Kandemir, et al. Designing a 3-D FPGA: switch box architecture and thermal issues[J]. Very Large Scale Integration (VLSI) Systems, 2008, 16(7): 882-893.

[5] 王凤娟. 基于硅通孔(TSV)的三维集成电路(3D IC)关键特性分析[D]. 西安:西安电子科技大学,2014.

[6] Rose J, Luu J, Yu C W, et al. The VTR project: architecture and CAD for FPGAs from verilog to routing [C]//Proceedings of the ACM/SIGDA international symposium on Field Programmable Gate Arrays. California; ACM, 2012: 77-86.

[7] 张峰,李艳,陈亮. FPGA 结构设计方法及 EDA 工具[J]. 微电子学与计算机, 2013, 30(5):14-18.

[8] Kuon I, Tessier R, Rose J. FPGA architecture: survey and challenges[J]. Foundations and Trends in Electronic Design Automation, 2008, 2(2): 135-253.

[9] Marquardt A, Betz V, Rose J. Timing-driven placement for FPGAs[C]//Proceedings of 2000 ACM/SIGDA eight international symposium on Field Programmable gate arrays. Monterey, CA, USA; ACM, 2000:203-213.

[10] Xiaoxia Wu, Wei Zhao, Mark Nakamoto, et al. Electrical characterization for intertier connections and timing analysis for 3-D ICs [J]. IEEE Trans on Very Large Scale Integration (VLSI) Syetems, 2012, 20 (1): 186-191.

作者简介:

唐 强 男,(1989-),硕士研究生. 研究方向为集成电路设计、自动化软件技术.

杨海钢(通讯作者) 男,(1960-),研究员,博士生导师. 研究方向为微电子学与集成电路技术、可编程信号处理器架构与 Soc 设计. E-mail:yanghg@mail. ie. ac. cn.