

适应于动态电压频率调整的抗辐照 SRAM 设计

李广林, 张 杰, 商中夏, 耿 莉
(西安交通大学 微电子学院, 陕西 西安 710049)

摘 要: 动态电压频率调整(Dynamic Voltage Frequency Scaling, DVFS)可以使系统在高电压工作时获得高性能, 在低电压工作时降低系统功耗, 它要求电路能够从正常电压一直到亚阈值区范围内均能正常工作. 抗辐照 DVFS-SRAM 的设计面临着低压工作稳定性及工艺、电压、温度偏差(Process, Voltage, Temperature, PVT)的严重影响. 本文针对以上问题, 设计了一款适应于 DVFS 应用的抗辐照静态随机存储器(Static Random Access Memory, SRAM). 提出了新型抗辐照 DICE 单元结构, 其读噪声容限相对于原有 DICE 单元有大幅提升. 同时, 针对常规分级位线结构时序控制电路存在的问题, 提出了改进型复制列技术, 增强了 SRAM 存储体在不同 PVT 环境下工作的稳定性. 对 SRAM 存储体进行了电路设计及版图设计, 后仿真结果表明, 设计的 512 bit SRAM 存储体可在 0.6 V~1.8 V 电源电压下正常工作. 在 1.8 V 下, SRAM 的存取速度为 5.1 ns, 功耗为 1.8 mW; 在 0.6 V 电压下, SRAM 的存取速度为 93.5 ns, 功耗为 14.63 μ W, 比 1.8 V 电源工作时的功耗降低了约 100 倍. 另外, 设计的 SRAM 对宽度为 300 ps 以下的单粒子瞬态脉冲具有滤除能力, 对单粒子翻转效应有良好的抵抗能力.

关键词: SRAM; DICE 单元; 动态电压频率调整; 防辐照; 低功耗

中图分类号: TN43

文献标识码: A

文章编号: 1000-7180(2017)04-0033-06

Radiation-Hardened SRAM for Dynamic Voltage Frequency Systems

LI Guang-lin, ZHANG Jie, SHANG Zhong-xia, GENG Li

(School of Microelectronics, Xi'an Jiao Tong University, Xi'an 710049, China)

Abstract: Dynamic Voltage Frequency Scaling is a method which can not only provide good performance for the system, but also can decrease power consumption. It requires that circuit is able to work in a wide range of supply voltage. However, The design of radiation-hardened SRAM for dynamic voltage frequency systems has faced stability problem because of the process, voltage temperature difference. To cope with these questions, Radiation-Hardened SRAM for dynamic voltage system has been designed. A new DICE cell is proposed for low supply power condition, which has better performance in read static noise margin than the regular DICE cell. In addition, proposed Improved Dummy column has increased the stability of SRAM under various PVT conditions. Post simulation results show that the SRAM circuit can work functionally when the supply voltage changes from 0.6 V to 1.8 V. When the supply voltages are 1.8 V and 0.6 V, the access time of SRAM are 5.1 ns and 93.5 ns, respectively. The power consumption is 1.8 mW and 14.63 μ W, respectively. The designed SRAM has good immunity for SEU and could filter the SET pulses with width of 300ps.

Key words: SRAM; DICE cell; DVFS; radiation hardened; low power consumption

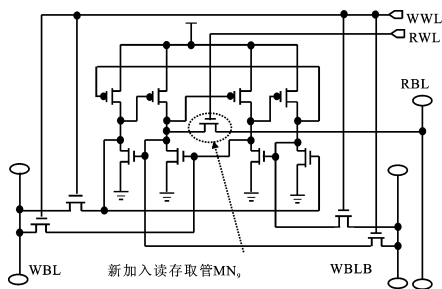
1 引言

当集成电路工作在辐射环境中时,会受到质子、中子及 α 粒子等高能粒子的辐射干扰. 随着电路敏

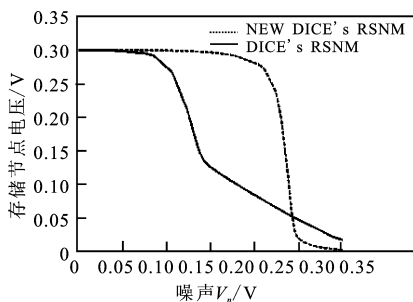
感节点存储电荷数量的减少和电路单元排列密度的增加,单粒子效应对电路的影响越来越严重. 在单粒子效应的“软错误”中,单粒子翻转效应(Single Event Upset, SEU)和单粒子瞬态(Single Event

耦合状态,但是,由于位线非为高电平,节点 X_0 、 X_2 为低电平,并且由 MN_5 、 MN_1 和 MN_6 、 MN_3 构成两条分压路径,使得在字线导通的瞬间,节点 X_0 和 X_2 的电位会突然上升,若电位上升至与节点相连接的 NMOS、PMOS 的阈值电压,则 DICE 单元内部状态发生翻转,发生“读破坏”现象。

针对这一问题,本文提出改进型 DICE 单元,如图 4(a)所示。新的 DICE 单元增加了读取管 MN_9 以及控制 MN_9 导通的读字线 (Read Word Line, RWL) 和与灵敏放大器相连的读位线 (Read Bit Line, RBL),将 DICE 单元本身的字线和位线分别变为写字线 (Write Word Line, WWL) 和写位线 (Write Bit Line, WBL) 以及写位线非 (Write Bit Line B, WBLB)。



(a) 新型 DICE 单元结构



(b) 新型 DICE 单元和普通 DICE 单元读噪声容限对比

图 4 改进型 DICE 存储单元和读噪声容限仿真

通过这样的改进,将原本由同一根位线连接的两个同相位节点的结构改为由读位线 RBL 连接一位存储节点的结构,使在读字线开启的时候,有且仅有一位存储节点因位线分压受到扰动,由于 DICE 单元具有良好的抗单粒子翻转现象的表现,对于单一节点的扰动会在扰动源消失后自行恢复,不会对存储数据造成影响,从而消除了“读破坏”现象的发生。此外,新 DICE 单元中新加入的读存取管并未对原 DICE 单元的写操作和数据保持产生影响,因此写操作和数据保持性能保持不变。

在电源电压为 0.3 V 时,分别对改进型 DICE

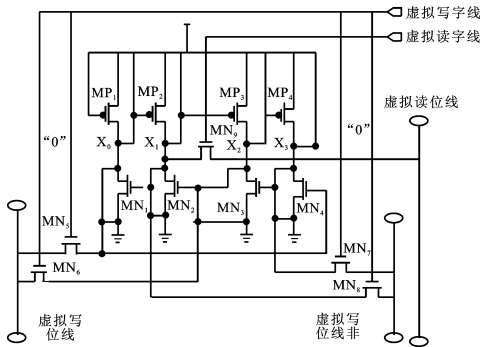
存储单元读位线和原有 DICE 单元的位线处加入噪声源 V_n 来模拟在存取管导通时产生的瞬态电压变化,其存储节点电压变化结果如图 4(b)所示。对于原有 DICE 单元,当噪声电压升至 0.07 V 时,存储节点电压便开始下降,而对于新 DICE 单元来说,当噪声源加至 0.218 V 时存储节点的电压才开始下降,改进型 DICE 单元的读噪声容限比原 DICE 单元有大幅提升。

3 改进型复制列及时序控制设计

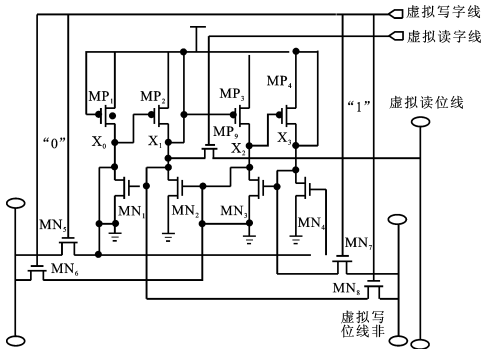
在传统的复制列电路中,冗余单元的存储状态全部被定位在逻辑“0”,如图 5(a)所示。这将导致复制列上出现了两条放电路径,一是处于活动状态的冗余存储单元,它们的字线被打开,虚拟读位线 (Dummy RBL, DRBL) 通过存取管放电,模拟真实阵列的放电情况;二是处于非活动状态的冗余存储单元,它们的字线始终处于关闭状态,然而由于其存取管的源、漏两端出现了电压差,产生了 DIBL 泄漏电流^[8],因而提高了虚拟读位线的放电速率,使真实阵列中存储状态不全为逻辑“0”的列的读位线放电时间不够充足,还没有放电至所需电平时灵敏放大器就开始工作,导致数据读出错误。因此,在改进型复制列电路中,将冗余存储单元分为两类:冗余驱动型单元 (Dummy Drive Cell, DDC) 和冗余负载型单元 (Dummy Load Cell, DLC)。冗余型存储单元是通过对新型 DICE 单元连线上的一些修改,将其存储节点固定在高电平或低电平的单元结构。其中,DDC 的四个节点全部强制在低电平,单元两边的存储状态均为逻辑“0”,用于使 DRBL 放电。而 DLC 的节点 X_1 和 X_3 被强制在高电平,节点 X_0 和 X_2 被强制在低电平,使读存取 MN_9 的源、漏两端不存在电压差,所以连接在虚拟读位线上的 DLC 产生的漏电流几乎可以忽略,故采用 DLC 模拟真实阵列中没有被选中的单元,切断了传统复制列电路中的第二条漏电路径,从而保证 DRBL 仅能通过 DDC 进行放电。其结构如图 5 所示。另外,通过调节 DDC 的个数可调节 DRBL 放电速率,从而减小 RBL 摆幅,降低功耗。

冗余单元结构和真实阵列中的单元结构除了少许连线上的差异外,版图布局基本相同,因此,DDC 和 DLC 的寄生参数都和真实单元相差无几。这使得改进型复制列电路能模拟真实阵列中读位线放电的最差情况,使 SRAM 能够更好地适应 PVT 偏差。

另外,传统复制列电路仅能产生灵敏放大器的



(a)冗余驱动型单元



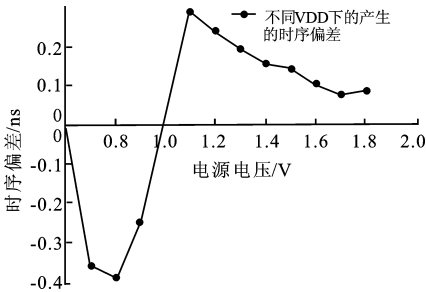
(b)冗余负载型单元

图 5 冗余存储单元结构

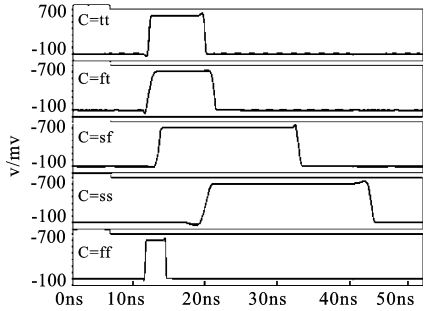
使能信号,因此需采用由反相器链构成的脉冲信号发生器产生预充信号及字线脉冲信号等关键信号。但是,由于反相器链与真实信号通路上的寄生电容和寄生电阻以及输出端的负载电容和负载电阻都不相同,并且反相器链在不同的 PVT 下产生的延时相差很大,从而导致了控制信号时序偏斜的产生。图 6(a)为不同电源电压下,脉冲信号发生器产生脉冲宽度和所需脉冲宽度的差值的仿真结果,除电源电压为 1 V 时,在其余电源电压下均存在时序偏斜的现象。图 6(b)为脉冲信号发生器产生的脉冲在不同工艺角下的仿真结果,可以看出在不同工艺角下,产生的脉冲宽度相差很大。

本文针对上述问题在改进型复制列电路中引入预充电压检测 (Voltage Detector for Precharge, VDP) 模块,数据读取电压检测 (Voltage Detector for Sense, VDS) 模块以及冗余数据写入电路 (Data Write IN, DWI) 模块。同时为了和真实阵列保持一致,改进型复制列电路中同样采用 DBL 结构,其两种复制列结构对比如图 7 所示。

图 7 中,虚拟读字线 (Dummy Read Word Line, DRWL) 和虚拟读字线 (Dummy Write Word Line, DWWL) 分别控制 DDC 的读写字线开启。虚拟预充位线 (Dummy Bit Line for Precharge,



(a)脉冲信号发生器在不同 VDD 下产生的时序偏差



(b)脉冲信号发生器在不同工艺角下产生的时序偏差

图 6 脉冲信号发生器受 PVT 偏差影响产生的时序偏差

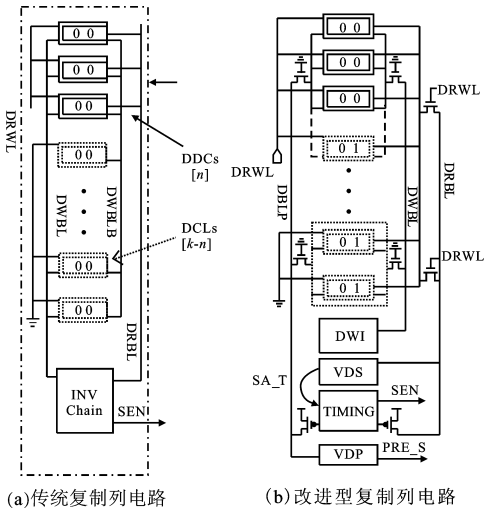


图 7 复制列的结构示意图

DBLP) 和虚拟写字线 (Dummy Write Bit Line, DW-BL) 分别用于追踪模拟读位线预充的过程和写字线的放电过程; DWI 模块与 DWBL 相连, 用于模拟 SRAM 的数据写入过程, 其下拉管尺寸与数据写入电路的下拉管尺寸相同。VDP 模块由一个五管比较器构成, 一端输入为预充操作的标准电平, 另一端输入为 DBLP。在读周期开始时, 首先对 DBLP 进行预充操作, 当 DBLP 的电位达到预充的标准电平时, VDP 模块发出 PRE_S 信号停止预充操作, 确保 DBLP 在不同 PVT 下被预充至所需电平, 防止“预

充失效”的现象发生。VDS 模块由开关阈值可调的反相器构成,与 DRBL 相连,可在片外对灵敏放大器的开启时间进行调节。TIMING 模块由三个抗 SEU 的 D 触发器构成,分别用于产生预充信号和读、写字线脉冲信号。并且,在每个 D 触发器前均加入保护门以防止 SET 脉冲对电路正常工作产生干扰。图 8 为本文设计的复制列电路工作的时序示意图。

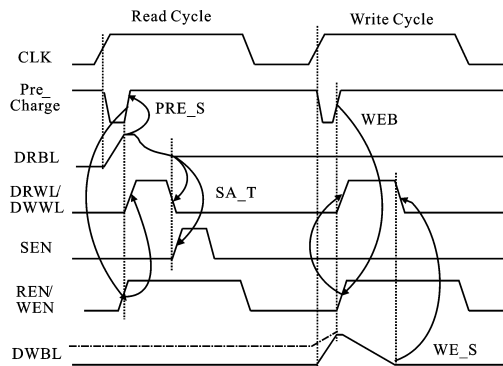


图 8 改进型复制列电路的时序示意图

由于仅用了一列复制单元,因此其面积消耗与仅能追踪数据读出的传统复制列是一样的。改进的复制列电路可适用于不同位线长度的 SRAM,当阵列长度改变时,不需要重新设计时序电路,仅需改变复制列长度即可。而且,改进型复制列电路更适用于泄漏电流较大的先进工艺。

4 SRAM 版图及后仿真结果

根据上述分析与设计,基于标准 180 nm CMOS 工艺,采用新型 DICE 存储单元和改进型复制列电路,设计了存储容量为 512 bit(128 行 $\times$ 4 列)的抗辐照 DVFS-SRAM 存储体,设计了版图,并进行了后仿真验证。

其版图如图 9 所示,整个版图长为 1.2 mm,宽为 0.42 mm。图 10 和图 11 为本文设计的 SRAM 在 1.8 V 和 0.6 V 电源电压下工作的后仿真结果。图中,CLK 为时钟周期信号,在高电平时表示读操作,低电平时表示写操作;WWL 和 RWL 分别为被选中存储单元的写字线和读字线,WBL 和 WBLB 为写位线;G_PC_REN 为读周期预充信号,RBL 为被选中存储单元的读位线信号,SAE 为灵敏放大器使能信号;OUTPUT 为被选中存储单元的读输出。由于波形一致,故省略了全局读写字线 GRWL 和 GWWL 信号以及写周期预充信号 G_PC_WEN。

由图可知,在写周期时,WBL 和 WBLB 在周期

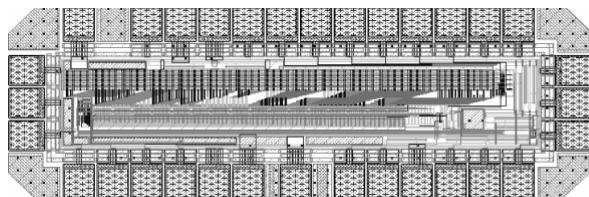


图 9 抗辐照 DVFS-SRAM 版图

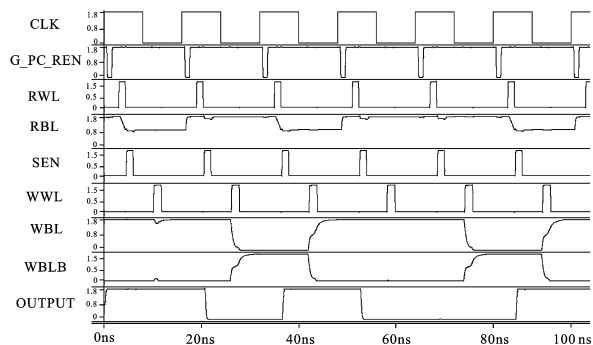


图 10 抗辐照 DVFS-SRAM 在 1.8 V 电压下仿真结果

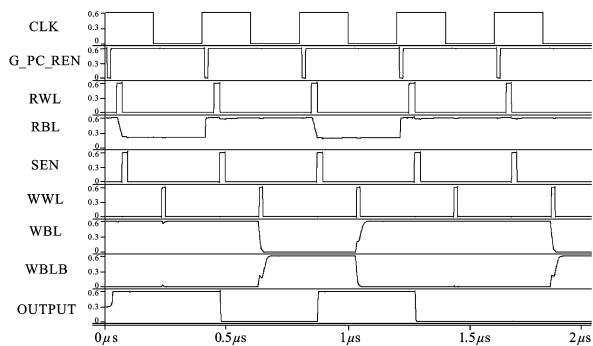


图 11 抗辐照 DVFS-SRAM 在 0.6 V 电压下仿真结果

开始时根据被写入的数据而改变,将数据写入存储单元。在读周期时,RBL 在每个周期开始时由 G_PC_REN 信号预充至高电平,在读字线 RWL 开启后,RBL 开始放电,从图中可以看出,RBL 的充放电摆幅仅为 VDD 的三位之一左右,动态功耗得以降低。在 RWL 变为低电平后,SAE 变为高电平,最终将存储单元内数据读出。由此可以得出,本文设计的 SRAM 在 1.8 V 和 0.6 V 电压下能够正常工作,满足 DVFS 系统的设计要求。

另外,后仿真结果表明,在 1.8 V 下,SRAM 的存取速度为 5.1 ns,功耗为 1.8 mW;在 0.6 V 电压下,SRAM 的存取速度为 93.5 ns,功耗为 14.63 μ W。采用的保护门电路对宽度为 300 ps 以下的单粒子瞬态脉冲具有滤除能力,改进型 DICE 存储单元和抗 SEU 的 D 触发器对单粒子翻转效应有良好的抵抗能力。

5 结束语

本文设计了一款容量为 512 bit 适应于动态电压频率调整的抗辐照 SRAM,采用 DICE 结构的存储单元和抗 SEU 的 D 触发器以及在电路关键节点处加入保护门电路等措施消除了辐射粒子带来的“软错误”影响. 新型 DICE 单元在 0.3 V 电压下的读静态噪声容限相比普通 DICE 单元大幅提升. 另外,针对现有复制列电路的不足,提出改进型复制列电路,使 SRAM 能够在各种 PVT 环境下正常工作.

参考文献:

[1] Amusan O A, Massengill L W, Bhuva B L, et al. Design techniques to reduce SET pulse widths in deep-submicron combinational logic[J]. IEEE Transactions on Nuclear Science, 2007, 54(6):2060-2064.

[2] Calin T, Nicolaidis M, Velazco R. Upset hardened memory design for submicron CMOS technology[J]. IEEE Transactions on Nuclear Science, 1997, 43(6): 2874-2878.

[3] Sinangil M E, Verma N, Chandrakasan A P. A reconfigurable 8T ultra-dynamic voltage scalable (U-DVS) SRAM in 65 nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2009, 44(11):3163-3173.

[4] Amrutur B S, Horowitz M A. A replica technique for wordline and sense control in low-power SRAM's[J]. IEEE Journal of Solid-State Circuits, 1998, 33(8): 1208-1219.

[5] Chang M F, Yang S M, Chen K T, et al. Improving

the speed and power of compilable SRAM using dual-mode self-timed technique[C] // IEEE International Workshop on Memory Technology, Design and Testing. Taipei, China: IEEE Computer Society, 2007: 57-60.

[6] Balasubramanian A, Bhuva B L, Black J D, et al. RHBD techniques for mitigating effects of single-event hits using guard-gates[J]. IEEE Transactions on Nuclear Science, 2006, 52(6):2531-2535.

[7] Karandikar A, Parhi K K. Low power SRAM design using hierarchical divided bit-line approach[C]// International Conference on Computer Design: VLSI in Computers & Processors. Austin, Texas, USA: IEEE, 1998:82-88.

[8] Chang M F, Yang S M, Chen K T, et al. Wide-VDD embedded asynchronous SRAM with dual-mode self-timed technique for dynamic voltage systems[J]. IEEE Transactions on Circuits and Systems-I, 2009, 56(8): 657-667.

作者简介:

李广林 男,(1990-),硕士研究生. 研究方向为抗辐照 SRAM 电路设计.

张 杰 男,(1990-),硕士. 研究方向为低功耗 SRAM 设计.

商中夏 男,(1991-),硕士. 研究方向为超低电源电压 DC-DC 设计.

耿 莉(通讯作者) 女,(1969-),教授. 研究方向为模拟集成电路设计. E-mail:gengli@mail. xjtu. edu. cn.

(上接第 32 页)

Transactions on Systems, Man and Cybernetics, Part C: Applications and Reviews, 2002, 32(1): 1-13.

[9] Brandimarte P. Routing and scheduling in a flexible job shop by tabu search[J]. Annals of Operations Research, 1993, 41(3): 157-183.

[10] 张超勇,饶运清,李培根,等. 柔性作业车间调度问题的两级遗传算法[J]. 机械工程学报, 2007, 43(4): 119-123.

[11] Chang H C, Tsai H T, Liu T K. Application of genetic algorithm to optimize unrelated parallel machines

of flexible job-shop scheduling problem[C] // Proc of 11th IEEE International Conference on Control & Automation. USA:IEEE,2014:596-599.

作者简介:

朱颢东 男,(1980-),博士,副教授. 研究方向为智能信息处理、智能计算. E-mail:zhdjsj016@163. com.

何保锋 男,(1974-),硕士,副教授. 研究方向为智能信息处理、计算机网络.