

硅通孔电阻开路故障模型研究

尚玉玲¹, 豆鑫鑫¹, 李春泉²

(1 桂林电子科技大学 电子工程与自动化学院, 广西 桂林 541004;

2 桂林电子科技大学 机电工程学院, 广西 桂林 541004)

摘 要: 硅通孔(Through Silicon Via)技术是三维集成电路发展的关键技术, 因此对于 TSV 的缺陷故障检测具有十分重要的意义. 讨论了 TSV 的物理模型和延时模型, 同时在先进设计系统(ADS)中建立了 TSV 的电阻开路故障的等效电路模型, 提取了 RLC 参数. 然后通过给等效电路模型施加信号源, 将开路故障的输出延时与无故障时的输出进行对比, 对不同程度故障的 TSV 的传输延时进行分析, 并用最小二乘法拟合出利用延时来判断故障的大小的曲线.

关键词: 三维集成电路; 硅通孔; 电阻开路故障

中图分类号: TN405. 97

文献标识码: A

文章编号: 1000—7180(2017)05—0049—05

Analysis of Through Silicon Via Resistance-Open Fault Model

SHANG Yu-ling¹, DOU Xin-xin¹, LI Chun-quan²

(1 School of Electronic Engineering and Automation, Guilin University of Electronic Technology, Guilin 541004, China;

2 School of Electromechanical Engineering, Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: Through Silicon Via technology is a key technology for the development of three-dimensional integrated circuits, so it is very important to detect the defects in TSVs. In this paper, we discussed the physical model and delay model of the TSV, a resistance-open fault equivalent circuit model is also established in the Advanced simulation system(ADS) and extracted RLC parameters of the TSV. Then through applying signal source to the equivalent circuit model, we compare the output of the fault TSV with fault-free TSV and analyze the propagation delay of different degree of the fault TSV. We draw a curve judging the size of the crack with the method of the least squares.

Key words: 3D integrated circuit; through-silicon-via; resistance-open fault

1 引言

在现代工业对集成电路的速度、面积、功耗等性能更高要求的情况下, 三维集成电路应运而生, 采用垂直互连方式的 TSV 是三维集成电路中的关键技术. 然而三维集成电路仍处于起步阶段, 需要对其传输性能进行分析和研究, 同时建立准确的等效电路模型具有十分重要的意义. 在 TSV 制造的过程中由于生产工艺原因可能会造成 TSV 中心导体的断裂,

此时会形成开路故障, 造成 TSV 传输信号的过程中出现较大延时和衰减. 因此需要对 TSV 进行开路故障建模和测试的研究.

TSV 中心导体出现断裂形成开路故障一般开路故障可以分为两种: 一种是全开路故障, 由于中心完全断裂导致形成理论上无穷大的电阻, 进而丧失信号传输的能力; 另一种是电阻开路故障, 由于铜柱出现较小程度的断裂, 形成电阻和电容的结构, 造成信号传输的延时和衰减. 为了解决 TSV 传输信号完

收稿日期: 2016—07—20; 修回日期: 2016—08—30

基金项目: 国家自然科学基金(51465013); 桂林电子科技大学研究生创新项目(2016YJCX28); 广西自动检测技术与仪器重点实验室主任基金(YQ15109); 广西研究生教育创新计划资助项目(YCSZ2014142)

整性问题和缺陷故障检测方法测内外学者进行了大量的研究. G. Katti^[1]等人研究了 TSV 的 RC 等效电路简化模型,并且分析了 TSV 在上下层芯片互连传输延时的等效电路模型,在文献[2]中给出了 TSV 的寄生参数提取过程,并对其电特性和热特性进行了分析.在故障检测方面,N. Kandalafi^[3]等人给出了采用 SEMS 结构采用微小探针轻微接触的方法对 TSV 直接测试,S. Y. Huang^[4]等人提出了一种环形震荡器利用 TSV 的缺陷造成的传输延时对其进行故障检测.但总的来说目前还没有一种成熟的测试结构能用于 TSV 故障检测,因此研究高频条件下的 TSV 传输性能及建立等效电路模型,对于精确判断 TSV 故障类型、大小以及位置具有十分重要的意义.

2 TSV 的三维物理模型分析

硅通孔(Through Silicon Via)作为上下层芯片互连的通道,大大缩短了互连线的长度,减轻了内部互连造成的问题,与传统的 2D 电路相比具有密度高,速度快,功耗小的优点. 三维集成芯片的结构如图 1 所示.

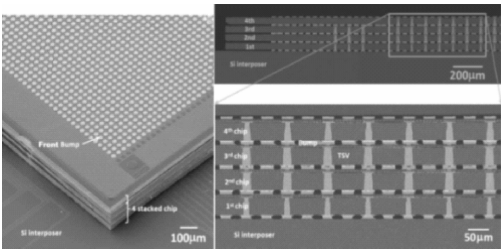


图 1 三维集成芯片结构图

在本文中,主要针对圆柱形 TSV,将 TSV 的主体结构简化如图 2 所示. 其主体结构主要包括铜柱、绝缘层和衬底三个部分,采用的材料分别为铜、二氧化硅和硅. 信号经由 TSV 在各层芯片传输.

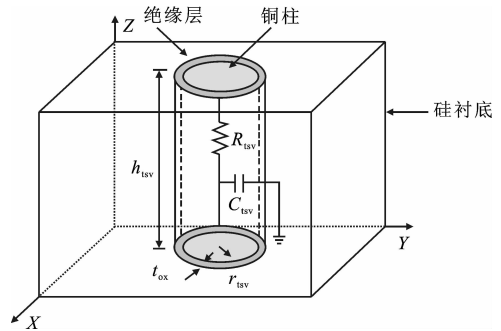


图 2 TSV 简化结构图

简化后的 TSV 在低频的情况下可看作主要包含电阻和电容两个部分,低频时电感的影响几乎为 0,但是在高频情况下,TSV 的感应压降 ωL_{TSV} 开始超过 R_{TSV} . 理论上 TSV 传输带宽可以达到 1 000 GHz,但实际情况下,随着频率的增加,趋肤效应和寄生效应开始出现,当前最快的数字系统的基本频率一般小于 20 GHz. 在 HFSS 中建立高度为 20 μm 半径为 5 μm 绝缘层厚度为 0.2 μm 的 TSV 三维模型,并在 1~10 GHz 的范围内进行仿真,得到插入损耗的图形如图 3 所示.

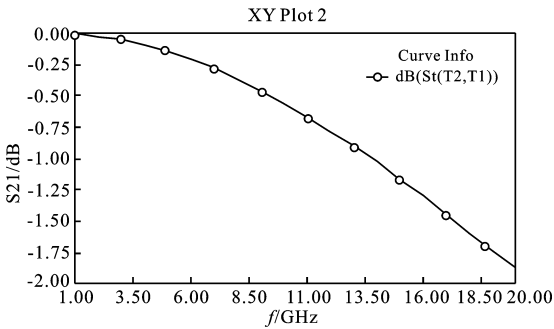


图 3 无故障 TSV 的插入损耗

从图 3 中可以看出,随着频率的增加插入损耗开始逐渐变大但小于 -2 dB,说明信号从源端口传输到目的端口的过程中能量损耗增加,信号出现一定程度衰减. 由于生产工艺水平的限制铜柱未能完全的填充,TSV 可能会有裂纹或者空洞的情况出现,造成开路故障如图 4 所示,严重时会造成 TSV 传输能力的丧失. 因此在 TSV 三维模型的铜柱中心部分挖掉一块,表示信号传到此处遇到阻挡,当裂纹的高度分别为 1 μm ,2 μm ,3 μm 时,得到回波损耗如图 5 所示.

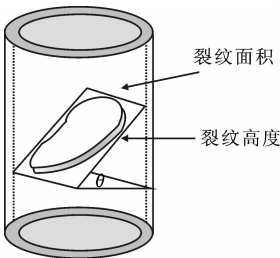


图 4 TSV 开路故障示意图

从图 5 可以看出,随着裂纹高度的增加曲线下移说明插入损耗继续增加. 但此时的插入损耗小于 -40 dB,说明信号是失真的,可以看做是全开路故障. 但裂纹的高度足够低时,尽管有空洞或者裂纹,但是衰减情况不是很严重. 当裂纹高度为 0.001 μm 时如图 6 所示.

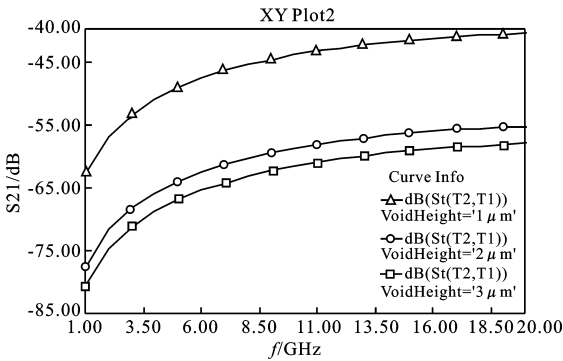


图 5 不同程度裂纹的插入损耗

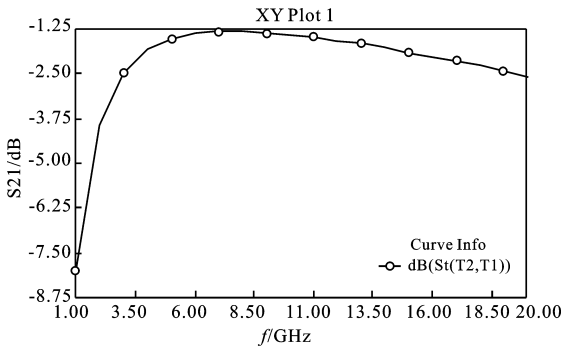


图 6 高度 0.001 μm 裂纹的出入损耗

在 8 GHz 内,插入损耗随频率增加而减小.在 3~17 GHz 损耗不是很严重,这种情况可以视为电阻开路故障,但会影响使用寿命.

3 TSV 延时模型分析

依据传输线理论,信号在传输过程中,本身寄生的电阻和电容会造成信号传输过程的延时. TSV 中心导体呈现电阻性,绝缘层将中心导体与硅衬底隔开会形成电容,因此会在传输的过程中造成信号延时.文献[1]中给出了 TSV 在上下层芯片传输延时的等效电路模型,如图 7 所示.

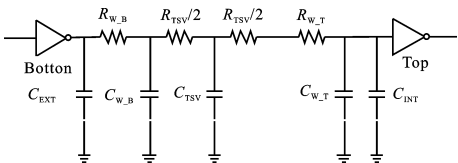


图 7 TSV 延时模型

在该等效电路模型中包含了上层芯片的反相器通过 TSV 和后道互连(Back end of line, BEOL)线的 RC 负载来驱动下层芯片的反相器. $R_{w,B}$, $R_{w,T}$ 是后道互连线的电阻, R_{TSV} 是 TSV 的电阻, $C_{w,B}$, $C_{w,T}$ 是后道互连线的电容, C_{TSV} 是 TSV 的电容. Elmore 延时公式常常用于估算传输时延,节点 i 的 Elmore

延时公式为^[5]

$$t_{D_i} = C_1 R_1 + C_2 (R_1 + R_2) + \cdots + C_i (R_1 + R_2 + \cdots + R_i) \tag{1}$$

因此,在整个上下层芯片上的传输延时为

$$t_{Delay} = 0.69 R_{dr} C_{EXT} + 0.69 (R_{dr} + C_{W_B}) C_{W_B} + 0.69 (R_{dr} + C_{W_B} + 0.5 R_{TSV}) C_{TSV} + 0.69 (R_{dr} + C_{W_B} + R_{TSV} + C_{W_T}) (C_{W_T} + C_{INT}) \tag{2}$$

式中, R_{dr} 是反相器自身的电阻. 由上述公式可以看出在 TSV 上的延时主要由 R_{dr} , R_{W_B} , R_{TSV} , C_{TSV} 造成, TSV 和 BEOL 金属线自身的电阻很小,但是 TSV 自身的电容却远远大于普通的传输线,因此对延时起决定因素的是驱动门的电阻和 TSV 自身的寄生电容,因此为了减小传输延时,要尽量减小 TSV 的电容.

4 电阻开路故障建模与测试

本文前面部分都是基于 TSV 的简化模型进行研究,但是 TSV 的实际工作环境是比较复杂的,尤其在高频的工作环境中 TSV 的直流阻抗所占的比重减小,交流阻抗开始变大,趋肤效应与噪声耦合现象开始出现.在生产过程中或者外力的原因 TSV 的中心导体很可能会出现断裂而造成开路故障,会在断裂处形成电阻和电容,从而造成 TSV 信号传输延时和衰减.在 HFSS 中建立实际的物理模型的分析方法更加精确和可靠,但是建模困难且需要占用大量的资源,因此需要在 ADS 中建立 RLC 等效电路模型来准确分析. TSV 中心导体断裂造成开路故障的等效电路模型如图 8 所示.

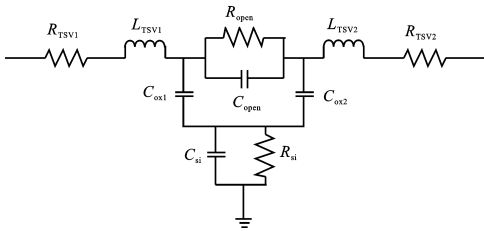


图 8 TSV 电阻开路故障模型

R_{TSV} 是 TSV 的电阻,它是由中心导体形成的,和 TSV 的尺寸和工作频率直接相关,可以分为直流电阻和交流电阻两个部分,在低频时直流电阻占主要部分,随着频率的增加趋肤效应严重,交流电阻开始占主要部分. TSV 电阻的表达式为

$$R_{TSV} = \sqrt{R_{ac}^2 + R_{dc}^2} \tag{3}$$

$$R_{dc} = \rho \frac{h_{TSV}}{\pi r_{TSV}^2} \tag{4}$$

$$R_{ac} = \frac{\rho h_{TSV}}{\pi[r_{TSV}^2 - (r_{TSV} - \delta)^2]} \quad (5)$$

式中, R_{ac} 是交流电阻 R_{dc} 直流电阻, h_{TSV} 是 TSV 的高度 r_{TSV} 是 TSV 的半径, ρ 是中心导体的电阻率. δ 表示趋肤深度, 其表达式为

$$\delta = \sqrt{\frac{\rho}{\pi f \mu}} \quad (6)$$

式中, f 是传输信号的频率, μ 是自由空间的磁导率.

TSV 电容是由绝缘层形成的, 由于硅衬底有一定的导电性, 为了防止金属导体的电流泄露, 要在中心导体和衬底之间加上一层二氧化硅, 电容的提取可将其视为同轴传输线, 根据传输线理论, 内轴为 a 外轴为 b 单位长度的同轴传输线电容为

$$C = \frac{Q/l}{V} = \frac{2\pi\epsilon}{\ln(b/a)} \quad (7)$$

所以代入参数 TSV 绝缘层电容的公式为

$$C_{ox} = \frac{2\pi\epsilon_{ox}h_{TSV}}{\ln\left(\frac{r_{TSV} + t_{ox}}{r_{TSV}}\right)} \quad (8)$$

式中, ϵ_{ox} 和 t_{ox} 绝缘层的介电常数和厚度.

单个 TSV 的电感只与自身的高度与半径相关, 可由经验公式得出:

$$L_{TSV} = \frac{\mu_0}{4\pi} \left[2h_{TSV} \ln\left(\frac{2h_{TSV} + \sqrt{r_{TSV}^2 + (2h_{TSV})^2}}{r_{TSV}}\right) + (r_{TSV} - \sqrt{r_{TSV}^2 + (2h_{TSV})^2}) \right] \quad (9)$$

式中, μ_0 为真空的磁导率. TSV 在实际工作中往往是多个 TSV, 电感应该包含自感和互感两个部分, 自感往往取决于 TSV 的尺寸, 互感不仅与尺寸有关还与其他 TSV 的距离有关. 低频时电感的影响可以忽略, 但是在高频时电感必须考虑. 本文只考虑单个 TSV 的影响.

本文将图中围住裂纹的最小矩形面积近似看做裂纹的面积, 断裂面的高度视为裂纹高度. R_{open} 和 C_{open} 分别是开路电阻和开路电容. 它们的大小与裂纹在趋肤区域内面积和断裂高度直接相关. 但是开路阻抗的基本变化规律是: 随着裂纹增加开路阻抗开始时缓慢增加, 当增加到一定程度开路阻抗会迅速增加^[6]. R_{open} 和 C_{open} 的表达式为

$$R_{open} = \frac{\rho h_{TSV}}{\pi[r_{TSV}^2 - (r_{TSV} - \delta)^2]} \left(\frac{S}{\pi r_{TSV}^2} \right) \quad (10)$$

$$C_{open} = \frac{\epsilon S}{H} \quad (11)$$

式中, S 是裂纹面积, H 是裂纹高度.

通过给等效电路施加信号源, 然后将开路故障

的输出延时, 与无故障的输出对比分析. 随着频率的增加, 延时时间会随着输入信号的缩短而变小, 因此利用延时时间占上升时间的比值 P 来表示延时程度的大小. 信号延时如图 9 所示.

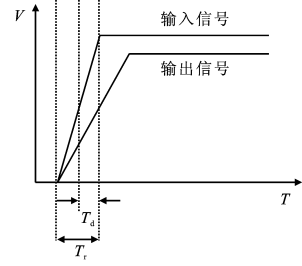


图 9 信号延时示意图

$$P = T_d / T_r * 100\% \quad (12)$$

式中, T_r 为上升时间 T_d 为延时时间.

本次仿真实验无故障平均输出电压为 992.854 mV 平均延时时间 0.391 ps, 经验证并无系统误差和粗大误差. 当 TSV 的中心导体出现断裂造成开路故障的时候, 会造成 TSV 输出电压值衰减和传输的延时, 并且随着阻抗的增加导体的传输能力越弱. 当阻抗大于一定值, 输出信号的电压会低于输入信号电压值的一半, 因此分析在此之内的故障.

从图 10 可以看出, 在同频率下, 阻抗越大造成的传输延时越长. 当阻抗值不变时, 延时时间会随着频率的增大而减小, 但是并不意味着延时程度有所减轻, 以 1 Ω , 10 Ω , 20 Ω 为例, 得到延时时间占上升时间比值 P 的曲线图如图 11 所示.

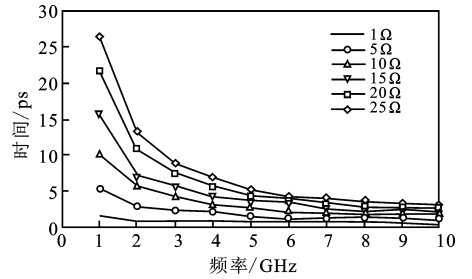


图 10 不同程度故障延时时间分布图

从图 11 可看出, 随频率增加延时时间占上升时间的比值并没有随延时时间的变小而有明显下降的趋势, 为了减小误差, 利用式 (13) 得出不同程度故障在 1~10 GHz 内的延时时间占上升时间的平均比值, 并拟合出其随故障变化的曲线, 如图 12 所示.

$$p_{av} = \frac{\sum_{i=1}^{10} p_i}{10} \quad (13)$$

在 matlab 中采用最小二乘法进行曲线拟合, 当

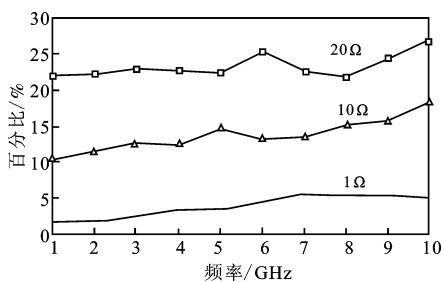


图 11 不同阻抗延时间占上升时间占比

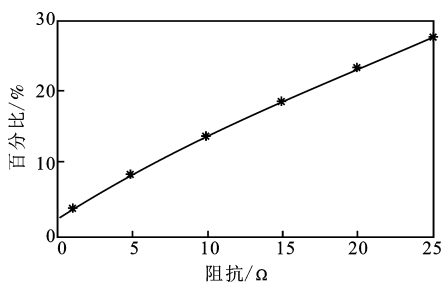


图 12 延时随故障变化曲线图

拟合度 n 为 4 时拟合出曲线:

$$y_1 = -6.2 \times 10^{-6} x^4 + 0.00042x^3 - 0.016x^2 + 1.2x + 2.7 \quad (14)$$

此时拟合值为 0.122 8, 相对误差为 2.05%, 小于 5%, 与实际值接近, 因此拟合有效。

5 结束语

TSV 互连方式与传统互连结构相比具有一系列的优点, 因此对于 TSV 的故障检测具有十分重要的意义。随着时钟频率的加快 TSV 的寄生现象和趋肤效应开始变得严重, 硅通孔的传输性能开始下降。本文分析了 TSV 的物理模型和延时模型, 建立了 TSV 电阻开路故障的等效电路模型, 并在等效电路模型基础之上施加激励, 分析不同程度故障对其传输延时的影响, 并用最小二乘法分别拟合出传输延

时随故障变化曲线, 利于与其他类型故障区分, 可用于解决微小电阻开路故障的检测。

参考文献:

- [1] Guruprasad Katti, Michele Stucchi, Kristin De Meyer, et al. Electrical modeling and characterization of through silicon via for three-dimensional ICs[J]. IEEE Transactions Electron Devices, 2010, 1(57): 2-7.
- [2] 王凤娟. 基于硅通孔(TSV)的三维集成电路(3D IC)关键特性分析[D]. 西安: 西安电子科技大学, 2014: 20-26.
- [3] Kandalaft N, Rashidzadeh R, Ahmadi M. Testing 3D IC through-silicon-vias (TSVs) by direct probing[J]. IEEE Transactions Computer-Aided Design of Integrated Circuits and Systems, 2013, 4(32): 538-544.
- [4] Huang Shi Yu, Lin Yu Hsiang, Tsai Kun Han (Hans), et al. Small delay testing for TSVs in 3-D ICs [C]// Processing of Design Automation Conference (DAC). San Francisco, 2012: 1031-1034.
- [5] You J W, Huang S Y. In-Situ method for TSV delay testing and characterization using input sensitivity analysis[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2013, 3(21): 445-446.
- [6] 蒋礼, 伍晓霞, 潘毅, 等. 基于裂纹扩展的无铅焊点阻抗等效模型[J]. 电子元件与材料, 2011, 30(12): 54-57.

作者简介:

尚玉玲 女, (1977-), 博士, 副研究员. 研究方向为集成电路测试、信号完整性分析。

豆鑫鑫(通讯作者) 男, (1990-), 硕士研究生. 研究方向为信号完整性分析. E-mail: 245047699@qq.com.

李春泉 男, (1975-), 博士后, 教授, 硕士生导师. 研究方向为微电子制造工程、先进制造技术、信号完整性分析。