

一种载波通信 SOC 信道交织/解交织器设计

戴 澜, 张 扬

(北方工业大学 微电子系, 北京 100144)

摘 要: 基于 HomePlug AV 协议设计了一款在电力线载波通信 SOC 芯片中得到广泛应用的信道交织/解交织器, 通过设置不同的文件顶层配置参数, 可以使交织/解交织器以半双工方式工作在芯片中. 该设计通过算法实现、寄存器级(RTL)设计并进行 ModelSim 和 Synopsys 仿真及 DC 综合后仿, 成功地证明了设计的正确性. 在 100 MHz 工作频率下运用 DC 综合工具进行时序分析可以得知, slack(MET)为 2.45, 面积为 22 702.048 020 μm^2 , 功耗为 658.043 4 μW .

关键词: 电力线通信; 信道交织器; 信道解交织器

中图分类号: TN92

文献标识码: A

文章编号: 1000-7180(2017)05-0059-04

Design of One Kind of Channel Interleaver/Deinterleaver in the Carrier Communication SOC

DAI Lan, ZHANG Yang

(Department of Microelectronics, North China University of Technology, Beijing 100144, China)

Abstract: On the basis of HomePlug AV socket protocol, designed a kind of Channel interleaver/deinterleaver is designed which can apply in the power line carrier communication SOC chip. By setting the top configuration parameters for different files, we can get the half duplex mode working of channel interleaver / deinterleaver in the chip. Through the algorithm and RTL design and ModelSim subsequent Synopsys composite tools DC comprehensive simulation, verify the correctness of the design. The timing results show that at 100 MHz clock, slack(MET) is 2.45, the total cell area: is 22 702.048 020 μm^2 , and the power estimation results are 658.043 4 μW .

Key words: PLC; channel interleaver; channel deinterleaver

1 引言

电力线载波通信(PLC)是一种以现有低压电力网络作为通信媒介的有线通信方式. 该方式能够利用现有的发达的电力网络, 因此不需要建立专门的通信网络, 所以节约了资源成本而且能够实现快速应用. 如果该通信方式能够和现今成熟的加密技术相结合, 就能够使信号更加安全地传输. 在智能控制、家庭物联网和远程抄表等与我们生活息息相关的各个方面, 电力线网络产品如宽带电力线产品/窄带电力线产品已经得到了广泛的应用.

通信信道特性是对通信系统可靠性产生干扰的众多因素中最主要的一个因素. 电力线载波通信过

程中由于受到外部噪声干扰和非理想信道特性的影响, 使得数字信号码元数据在传送过程中质量变坏^[1]. 为了在信噪比不变的情况下尽可能减小通信过程中的误码率, 我们使用基带处理技术对叠加在信号中的各种加性干扰噪声常进行差错控制编码处理^[2].

前向纠错编码技术(FEC)作为宽带载波通信芯片中不可缺少的一部分, 目前得到了广泛的研究. 前向纠错技术主要包括交织/编码技术及解交织/译码技术等. 本文在参考了国际插座联盟协议的前提下, 设计了一款宽带载波通信 SOC 信道交织/解交织器^[3].

2 交织技术及原理

交织器通常是将一组码元数据序列,按照约束长度的要求,分成多个组进行序列或者码元的重新混洗排列.通常约束长度由突发差错的时间持续长度决定.对于电力线通信等有较多衰落和噪声分布的信道通常采用交织技术,可在很大程度上将突发干扰转变成随机干扰,再配合编解码技术,进行随机干扰的纠错.

理想情况下,相邻信息码元的相关性随交织的深度增大而越来越小,但实际情况中由于交织的过程,码元顺序在发射端被打乱,接收端又要重新恢复顺序,这样的过程必会引入系统的延时.每个通信系统都规定了自身对交织延时的容忍度,这样以来交织器的设计要根据系统对延时的要求合理设置交织深度.

3 载波通信 SOC 架构与信道交织/解交织算法实现

3.1 载波通信 SOC 基本结构

图 1 为载波通信 SOC 整体结构实现框图,信道交织/解交织过程分属于接收和发送端的两个支路^[4].在发送端,信道交织器将被 Turbo 卷积编码器编码后的数据在不同模式下进行处理,将不同类型的原有排列顺序被随机化打散,传输中信道和数据如果被连续的突发差错所干扰,在此过程中原始数据只受到随机差错的干扰.在接收端,原始数据被信道交织器打乱然后进行解交织处理恢复原始排序,再结合 Turbo 卷积译码器进行随机差错的纠错.该处理过程极大提高了通信过程中的抗干扰能力,有效降低了误码率,提高了通信质量和效率.

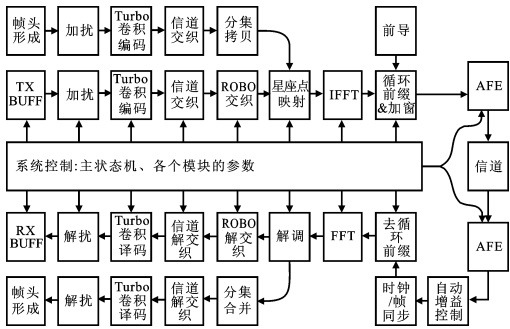


图 1 载波通信 SOC 整体结构框图

3.2 信道交织/解交织算法

信道交织和解交织的过程是一个互逆的过程,下面以信道交织器为例来说明交织器的设计算法

原理^[5-6].

Turbo 卷积编码产生的数据信息位和校验位与 Turbo 卷积编码前顺序相同,信息位在前,校验位在后(Turbo 卷积编码产生 p 在前,q 在后的两个校验位).先对此数据进行信道交织,之后做星座点映射.

定义 K 表示信息比特的数目, $N-K$ 表示校验比特的数目,将 K 位信息比特分为 4 个子块,每个子块的比特位大小为 $K/4$ 比特,同样 $N-K$ 位校验比特同样分成 4 个子块,则每个子块比特位大小为 $(N-K)/4$,信道交织实现的过程可以分为以下 4 个步骤.

(1)信息位的交织

把 Turbo 卷积编码产生的信息码数据写入矩阵的存储空间,编码器产生的顺序输出的第一块 $K/4$ 比特信息数据到第一个子块的 Bank1 中,第二块 $K/4$ 比特信息数据到第二个子块 Bank2 中,据此原则,我们可以把信息比特存入一个 $K/4$ 行 4 列的矩阵中,第 1 列表示 Bank1 子块,2 列表示 Bank2 子块,据此类推.交织器进行交织时每行 4 位比特同时读出.交织器从存储矩阵读取数据时,首先从第 0 行开始读取,由第二次起每次读取数据时行地址位均加上一位偏置参数 $StepSize$,第一轮读取的行地址顺序为 $(0, StepSize, 2 * StepSize, \cdots [K/4]-StepSize)$,在依次读取了 $[K/4]/StepSize$ 行之后,读取进行到了矩阵存储器的尾部,随后我们把下一轮的行地址进行初始化为 1,下面每次读取时行地址需加上参数 $StepSize$,在读了 $[K/4]/StepSize$ 行之后读取再次进行到了行尾,因此第二轮读的行地址顺序为 $(1, 1 + StepSize, 1 + 2 * StepSize, \cdots [K/4]-StepSize + 1)$,以后每次读取结束,都对初始地址累计加 1,据此类推,经过 $StepSize$ 轮读取后全部行的所有数据都被读出.

(2)校验码交织

Turbo 卷积编码输出校验 bits 的第一块的 $(N-K)/4$ bits 到 Bank1 中,第二块的 $(N-K)/4$ bits 到 Bank2 中,第三块 $(N-K)/4$ bits 到 Bank3 中,第四块 $(N-K)/4$ bits 到 Bank4 中,因此我们同样可以当做把校验 bit 存入了一个 $(N-K)/4$ 行 4 列的矩阵中,矩阵中第 1 列表示 Bank1,第 2 列表示 Bank2,原理与信息位的设定相似.对于 1/2 码率,信息 bits 的读取方法和校验 bits 的读取方法类似,其不同之处在于校验 bits 第一次读取由偏移参数 $offset$ 定义的行开始,它的步长参数依然是 $StepSize$,可定义 $T = (N-K)/4$,第一轮读取的行的顺序为 $(offset,$

$(\text{offset} + \text{StepSize}) \bmod T, (\text{offset} + 2 * \text{StepSize}) \bmod T, \dots, (T - \text{StepSize} + \text{offset}) \bmod T$), 第二轮的行初始值仍然加 1, 再次重复读取 $\text{StepSize} - 1$ 轮, 依次进行 StepSize 轮, 每轮读取 $T / \text{StepSize}$ 行数据, 共读取 T 行数据. 16/18 码率与 1/2 码率有所不同, 其不同之处是: 每轮读取完成之后不用初始化行的初始值为上一次初始化的值加 1, 而是从开始就持续读取 $(\text{offset}, (\text{offset} + \text{StepSize}) \bmod T, (\text{offset} + 2 * \text{StepSize}) \bmod T, \dots)$, 直到 T 行读取结束. 信道交织用到的参数定义如表 1 所示.

表 1 信道交织参数

PB Size	Code Rate	Offset (Parity)	StepSize
16 octets	1/2	16	4
136 octets	1/2	136	16
520 octets	1/2	520	16
520 octets	16/18	60	11

(3)信息码和校验码间的交织

对于 1/2 码率, 输出前 4 比特为信息码, 随后输出的 4 比特为校验码, 据此类推. 对于 16/18 码率, 首先是 3 个 4 bits 的信息 bits, 随后是 4 bits 校验 bits, 最后为 5 个 4 bits 信息 bits, 重复这一模式.

(4)半字节移位:

半字节移位过程中我们以 4 比特为单位进行移位, 不论校验比特还是信息比特, 每 2.5 个字节调整一次半字节移位顺序, 其规则如表 2 所示.

表 2 半字节移位

输出半字节序号	移位模式
1 or 2	b0b1b2b3
3 or 4	b1b2b3b0
5 or 6	b2b3b0b1
5 or 6	b3b0b1b2
9 or 10	b0b1b2b3

表 2 中 b0 表示 bit 来自信息或校验 bits 的 Bank1, b1 来自 Bank2, b2 来自 Bank3, b3 来自 Bank4. 在串行输出时, 4 bits 中位于最左边的 bit 位首先输出, 从左向右依次输出. 输出半字节序号是 9 时, 重新从 1 开始继续循环进行半字节比特移位, 直到所有输出码输出完成.

4 信道交织/解交织器 RTL 设计及仿真

设计中我们采用两块 3 bit 位宽, 深度为 4 160 的随机存取存储器分别进行发送和接收数据信息位

和校验位的存储. 当工作状态为发射机状态时, 其作为信道交织器工作, 当工作状态为接收机状态时, 作为解交织器工作. 器设计框图如图 2 所示^[7].

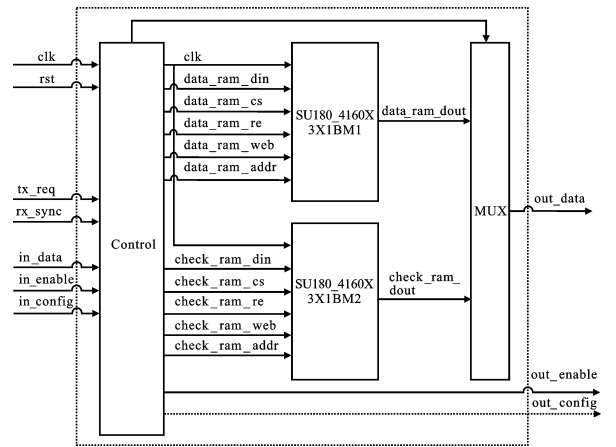


图 2 信道交织/解交织设计框图

设计完成之后我们利用 ModelSim 软件进行 DC 综合前的 RTL 仿真, 当 PB Size 为 136, Code Rate 为 1/2 时其仿真结果如图 3 和图 4 所示.

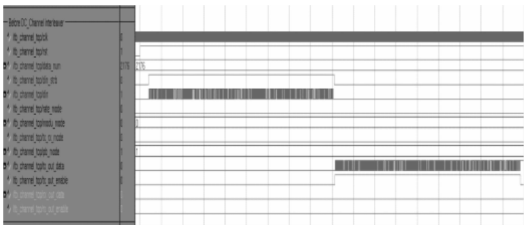


图 3 信道交织器 DC 综合前仿真结果

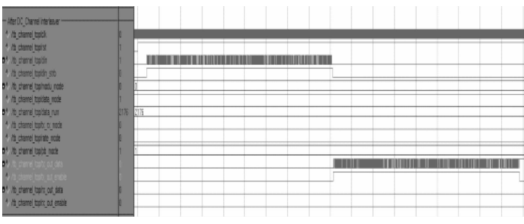


图 4 信道解交织器 DC 综合前仿真结果

随后我们采用 0/1 伪随机序列进行测试, 其仿真结果的输入输出数据与 Matlab 建模得到的输入输出数据进行比较, 可以验证该设计实现预期功能.

5 DC 综合分析及网表仿真

采用 SMIC 55 nm 工艺技术和 Synopsys 公司综合工具 Design Compiler 进行综合, 由于整个系统采用的时钟频率为 100 MHz, tcl 脚本文件所做的时序约束参考设置如下:

```
set CLK_MASTER_PERIOD = 10 ns
```

```
set CLK_Source_LATENCY_M=1 ns
set CLK_NETWORK_LATENCY_M=2 ns
set_TRAN_M =0.5 ns
set OUT_LOAD =1 ns;
set MAX_FANOUT=20 ns
set MAX_CAP =0.5 ns
set MAX_TRAN=1 ns
```

进行 DC 综合然后利用 DC 综合生成的 netlist 网表进行仿真,仿真结果如图 5、6 所示.

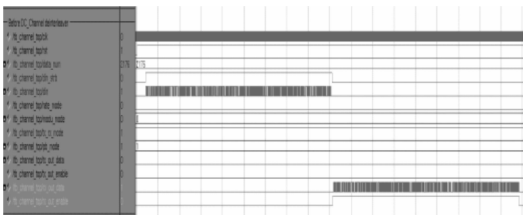


图 5 信道交织器 DC 综合后仿真结果

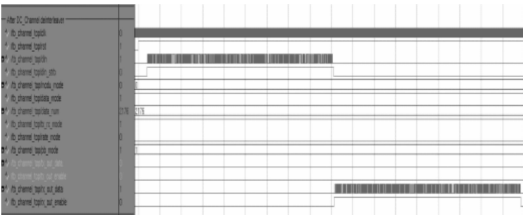


图 6 信道解交织器 DC 综合后仿真结果

由仿真结果与 Matlab 建模处理的结果比较结果一致.可以看出,网表仿真结果与 RTL 前仿结果功能一致.说明信道交织/解交织器 RTL 设计功能验证通过.

6 结束语

本文在参考了电力线载波通信协议 HomePlug AV 1.0 的基础上,设计了一种应用于载波通信 SOC 的信道交织/解交织器,该设计经过 RTL 设计与 ModelSim 仿真,初步验证了其逻辑功能和时序的正确性,然后采用中芯国际 SMIC 55 nm 工艺和

Synopsys 公司的综合工具进行 DC 综合并对其网表进行仿真,进一步验证了该设计的正确性.在设计进行过程中,我们采用随机存取存储器和相关电路进行资源共享的形式来设计该信道交织器和信道解交织器,该方法能满足信道交织/解交织模块可以在不同工作状态下进行工作的同时也能够满足速度要求,而且减小了资源消耗.为将来的研究打下了一个良好的基础.

参考文献:

[1] Himanshu Bhatnagar . 高级 ASIC 芯片综合 [M]. 张文俊,译.北京:清华大学出版社,2007.

[2] Jan M Rabaey, Anantha Chandrakasan, Borivoje Nikolic. 数字集成电路—电路、系统与amp;设计 [M]. 周润德,译.北京:电子工业出版社,2012.

[3] HomePlug Powerline Alliance. HomePlug AV Specification Version 1.0.10[M] . HomePlug ,2007.

[4] IEEE. IEEE standard for broadband over power line networks;medium access control and physical layer specifications,IEEE Std 1901TM-2010[S]. IEEE,2010.

[5] 史治国,洪少华,陈抗生. 基于 XILINX FPGA 的 OFDM 通信系统基带设计[M]. 杭州:浙江大学出版社,2009.

[6] 张利平,魏巍. 宽带载波电力线通信协议中信道交织的 FPGA 实现[J]. 电子技术,2015, 28(9):74-76.

[7] Michael D Ciletti. Verilog HDL 高级数字设计 [M]. 李广军,林水生,阎波,等译.北京:电子工业出版社,2014.

作者简介:

戴 澜 男,(1975-),博士,副教授.研究方向为高速高精度数据转换器芯片与通讯芯片.

张 扬(通讯作者) 男,(1989-),硕士研究生.研究方向为高速高精度数据转换器芯片与通讯芯片.

E-mail:zhangyang_819@126.com.