

一种低压高性能的 Rail-to-Rail 运算放大器

王 丹¹, 姜 宇², 郭桂良², 吕英杰¹

(1 南开大学 电子信息与光学工程学院, 天津 300071; 2 中国科学院 微电子研究所, 北京 100029)

摘 要: 采用 TSMC 0.18 μm CMOS 工艺, 设计实现了一种低压恒跨导、高性能的 Rail-to-Rail 运算放大器. 输入级采用 NMOS 和 PMOS 并联的互补差分对结构, 使共模输入电压范围达到 Rail-to-Rail, 并通过改进的开关电流结构使输入级的有效跨导在共模输入范围内保持恒定. 输出级采用反馈式 AB 类结构, 以达到输出电压的全摆幅, 同时通过米勒补偿控制零极点来保证放大器工作的稳定性. 整个电路在 1 V 的单电源电压, 20 pF 负载电容的工作条件下工作, Spectre 仿真结果显示, 直流开环增益为 127 dB, 单位增益带宽为 6.4 MHz, 相位裕度 67.58°, 总谐波失真为 -107 dB.

关键词: 恒跨导; Rail-to-Rail; 运算放大器; AB 类

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2017)02-0068-05

A Rail-to-Rail Operational Amplifier with Low Voltage and High Performance

WANG Dan¹, JIANG Yu², GUO Gui-liang², LV Ying-jie¹

(1 School of Electronic Information and Optical Engineering, Nankai University, Tianjin 300071, China;

2 Institution of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: A rail-to-rail operational amplifier with low voltage constant transconductance and high performance is introduced with TSMC 0.18 μm CMOS process. The input stage uses NMOS and PMOS complementary differential pairs to make the common-mode input voltage rail-to-rail. Meanwhile the input stage uses current switches with constant common-mode output current to keep the effective transconductance constant over the whole input range. A class-AB output stage with folded mesh feedback is used to achieve the rail-to-rail output range. And miller compensation is adopted to guarantee the stability of the operational amplifier by controlling the zero and pole. The whole circuit is simulated in Cadence Spectre with a single 1 V supply. The simulation results show that the dc open-loop gain of the op-amp is more than 127 dB, and the unity-gain frequency is 6.4 MHz with phase margin of 67.58° while driving 20 pF. The total harmonic distortion of a unity-gain connected amplifier is -107 dB.

Key words: constant transconductance; rail-to-rail; amplifier operational; class AB

1 引言

现代集成电路设计正朝着低压低功耗的方向发展, 便携式电子设备对信噪比的需求成为 IC 设计进一步发展的障碍^[1]. 对于一个运算放大器的输入级来说, 利用 NMOS 和 PMOS 并联的互补差分对结构是实现最大化的输入范围的最好方法之一, 但是此结构的输入级有效跨导和大信号输出电流会随着

输入共模电压的变化而变化. 跨导的变化会给优化相位裕度、单位增益带宽和差分增益等方面带来困难, 而大信号输出电流直接影响着摆率的变化, 这将给系统级设计者带来麻烦. 因此在共模输入电压范围内性能的恒定将会优化和简化系统级的设计^[2]. 针对这一问题, 本文对传统的开关电流结构进行改进, 使得运算放大器的输入级跨导和输出电流在整个共模输入范围内保持恒定.

运算放大器能否工作在低压下,主要受输出级的限制,因为输出级需要大的栅源电压以驱动大的输出电流,所以输出级的选择变得非常重要.从功率角度出发,折中考虑失真和静态功耗,输出级采用 AB 类偏置来实现.文献[3-4]中介绍的前馈式 AB 类输出级结构的最小电源电压限制为两个栅源电压和一个饱和电压之和,使其很难在极低压的情况下正常工作;文献[5]介绍的反馈式 AB 类输出级结构的最小电源电压为一个栅源电压和两个饱和电压之和,同时这类偏置间接的控制输出电流,先对推拉电流的大小进行测定,然后再按 AB 类要求进行调整,使其能在极低的电源电压下工作.本文采用反馈式 AB 类输出级结构,在 1 V 的电源电压下,运算放大器仍具有很好的性能.

2 电路结构分析

图 1 显示了本设计的运算放大器的原理框图.输入级由并联互补差分对实现 rail-to-rail 的共模输入范围,通过电流开关结构实现恒跨导,同时保证输入级的输出电流在共模输入范围内保持恒定;输出级采用反馈式 AB 类结构,在较低的静态电流下有较大的输出电流,并达到输出全摆幅;密勒补偿电路对频率进行补偿,保证运算放大器工作的稳定性;基准电路和偏置电路为运算放大器提供合适的直流偏置工作点.

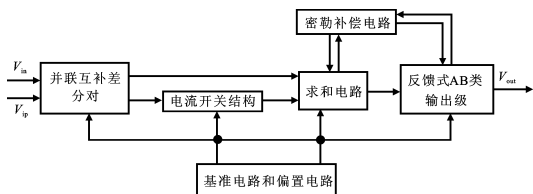


图 1 运算放大器的整体框图

2.1 输入级

输入级采用 NMOS 和 PMOS 并联的互补差分对结构,通过电流开关实现恒跨导,传统的电流开关实现恒跨导的结构^[6]如图 2 所示.其中, M_1, M_2 和 M_3, M_4 分别为并联的 NMOS、PMOS 差分输入对管, M_5, M_6 为电流开关管.当共模输入电压处于中间值时, NMOS 差分对和 PMOS 差分对的部分偏置电流通过开关管 M_5, M_6 返回到电源和地.电流开关管与输入晶体管形成线性环,有

$$V_{gs6} + V_{gs5} = V_{gs1,2} + V_{gs3,4} \quad (1)$$

假设 M_5, M_6 管的宽长比分别为 M_1, M_2 和 M_3, M_4 管的 6 倍,并通过设置 NMOS 管和 PMOS

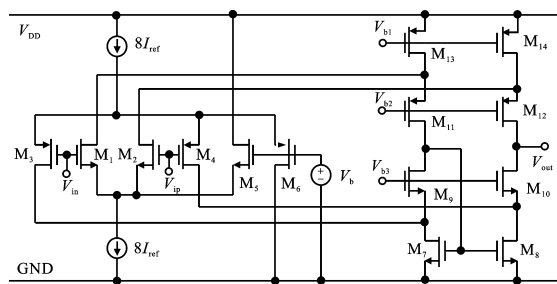


图 2 传统的电流开关恒跨导结构

管的宽长比以保证 $K_n = K_p = K$ ($K = \mu_n C_{ox} \frac{W}{L}$), 由 MOS 管工作在强反型区的栅源电压与电流的关系^[7]代入式(1)可以得到

$$\sqrt{I_{1,2}} + \sqrt{I_{3,4}} = \frac{\sqrt{8I_{ref} - I_{1,2}} + \sqrt{8I_{ref} - I_{3,4}}}{\sqrt{3}} \quad (2)$$

式中, $I_{1,2}$ 为 M_1, M_2 的偏置电流, $I_{3,4}$ 为 M_3, M_4 的偏置电流.

当 $I_{1,2} = I_{3,4} = 2I_{ref}$ 时, 式(2)成立, 此时的总跨导为

$$g_m = g_{mn} + g_{mp} = 2\sqrt{2KI_{ref}} \quad (3)$$

当 $I_{1,2}$ 或 $I_{3,4}$ 中有一个电流为 0 时, 由式(2)可以得到另一个电流为 $6I_{ref}$, 此时的总跨导为 $g_m = \sqrt{6KI_{ref}}$. 想要得到恒定的跨导, 一个差分对截止另一个差分对工作时所需要的电流应该为 $8I_{ref}$, 所以这种电流开关恒跨导结构会引起 13.4% 的误差, 因为此误差对于单位增益带宽和摆率来说是可以接受的, 故在共模电平输入范围内实现了跨导恒定. 总跨导和共模输入电平的关系如图 3 所示.

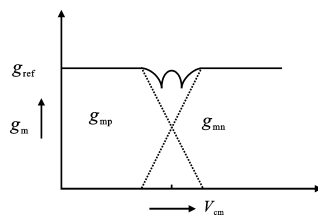


图 3 g_m 随共模输入电压的变化情况

图 2 所示的求和电路完成输入差分对输出电流的加减, 共源共栅管的电流会随着输入共模电压的变化而变化, 这样会导致输入级的电压增益不恒定, 影响电路的稳定性, 增大电路的失真.

图 2 所示结构的电压增益为

$$A_v = g_{mtot} R_{out} \quad (4)$$

式中, g_{mtot} 为输入级总的有效跨导, R_{out} 为输入级的输出电阻.

$$R_{out} = R_{out,n} \parallel R_{out,p} \quad (5)$$

$$R_{out,n} = \frac{\sqrt{2K_n I_{10}}}{\lambda_n I_8 + \lambda_n I_{10}} \quad (6)$$

$$R_{out,p} = \frac{\sqrt{2K_p I_{12}}}{\lambda_p I_{12} + \lambda_p I_{14}} \quad (7)$$

式中, λ_n 为 NMOS 管的沟道调制系数, λ_p 为 PMOS 管的沟道调制系数, I_8, I_{10}, I_{12} 和 I_{14} 分别为 M_8, M_{10}, M_{12} 和 M_{14} 管的工作电流。

电流源 M_{13}, M_{14} 保持恒定, NMOS 差分对工作时会从 M_{13} 和 M_{14} 抽取电流, PMOS 差分对工作时会向 M_7 和 M_8 注入电流, 这会使共源共栅管 M_9, M_{10} 和 M_{11}, M_{12} 的电流在整个共模输入电压范围内产生很大的变化, 由式(4)可以得到, 电压增益在整个共模输入电压范围内不能保持恒定。

通过以上分析可以得到, 输入级电压增益不能保持恒定的主要原因是共模输入电压变化时输入差分对管输出电流的变化导致求和电路直流工作点的改变。如果在共模输入电压变化过程中, 保持差分对管的输出电流不变, 进而使求和电路的直流工作点基本保持不变, 就可以实现输入级的电压增益恒定。基于这种思路, 将每个开关管分成两个, 且各开关管的漏端分别与对应的输入管漏端相连, 这样就会使输入级的输出电流在输入共模电压范围内保持恒定。

传统的电流开关恒跨导的结构还有一个缺点是电流开关管的宽长比是对应输入差分对管的 6 倍, 这样控制跨导恒定的电路就会占据相当大的面积。如果将 V_b 降低为 M_6 提供电位, 将 V_b 提高为 M_5 提供电位, 为了使跨导恒定, 就要将开关管的尺寸减小, 这样就减小了电流开关管占用的面积。改进后的结构如图 4 所示。

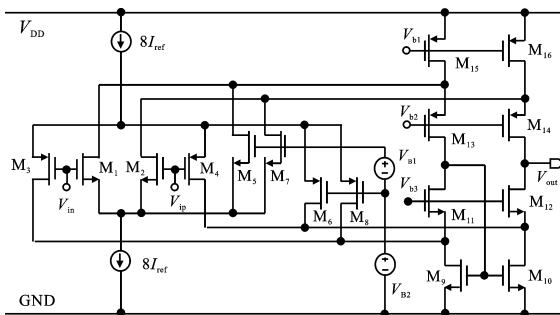


图 4 改进的电流开关恒跨导输入结构

没有一个电路结构是完美的, 总是优点与缺点并存, 同样这种实现恒跨导的结构最大的一个缺点就是电流开关管与输入晶体管并联, 增加了运算放大器的输入噪声, 对于改进的电流开关恒跨导输入结构, 电流开关管的尺寸相对于输入晶体管变小, 则

噪声贡献也会降低。

2.2 输出级

图 5 为反馈式 AB 类输出级结构, 晶体管 M_3, M_4, M_5 和 M_6 构成一个反馈环路, 驱动放大器 M_7, M_8 , 其输出控制输出晶体管 M_1 和 M_2 。 M_9 的栅源电压与由 I_{B2} 和 M_{10} 确定的参考电压相比较, 如果不相等, 则通过反馈环路调节输出晶体管的栅极电压, 进而调节输出静态电流。同时此结构中包括一个最小选择电路, 由测量晶体管 M_3, M_4 和电流镜 M_5, M_6 组成, 控制输出晶体管的电流, 以减小功耗。

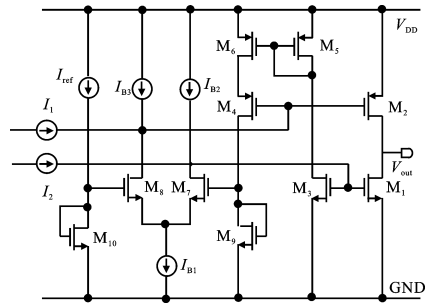


图 5 反馈式 AB 类 Rail-to-Rail 输出级

当输出级处在静态时, 输出晶体管 M_1, M_2 的漏电流相等, 假设 M_4, M_5, M_6 的栅源电压相等, M_6 工作在线性区, M_4, M_6 串联可以被看作是 L 增加 1 倍的单个管子, 所以 M_5, M_3 的电流是 M_9 电流的 2 倍, 即

$$I_q = 2 \cdot \frac{W_1 L_3}{L_1 W_3} I_{ref} \quad (8)$$

当 M_2 驱动大的输出电流时, 其栅源电压将会很大, 电源电压 V_{DD} 到 M_4 源极的电压足够使 M_6 饱和, 此时 M_4, M_5, M_6 类似于共源共栅电流镜的结构, 测量晶体管 M_3 的电流镜像到 M_9 , 因此, 不工作的晶体管 M_1 的电流被控制为常数且其等于静态电流的一半。

当 M_1 驱动大的输出电流时, M_3, M_5 就会有大的电流, M_6 将 M_4 的源端拉至 V_{DD} , 此时 M_4, M_2 作为电流镜工作, M_2 的电流被镜像, 将 M_4 流向 M_9 的电流减小, 因此, 不工作的 M_2 被控制且其电流等于静态电流的一半, 其最小电流

$$I_{min} = \frac{W_2 L_4}{L_2 W_4} I_{ref} = \frac{W_1 L_3}{L_1 W_3} I_{ref} = \frac{1}{2} I_q \quad (9)$$

(假设 M_1, M_3 与 M_2, M_4 的宽长比相同)

3 整体电路仿真与分析

为了减少偏置电流, 将输出级的偏置电路嵌入到输入级的求和电路中, 整体的电路图如图 6 所示。

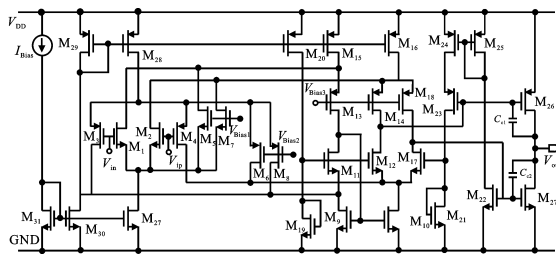


图 6 Rail-to-Rail 运算放大器主体电路结构

第二部分介绍的 NMOS、PMOS 并联的互补差分对结构在输入共模电压变化时可能会出现 NMOS 和 PMOS 差分对均不工作的情况,因此需要保证最小的电源电压:

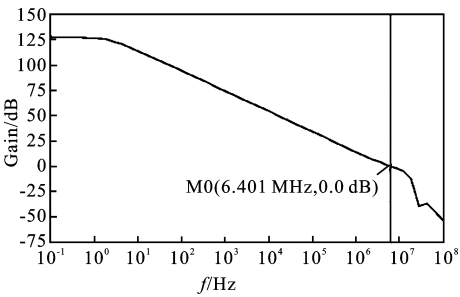
$$V_{sup,min} = 2V_{gs} + 2V_{dsat} \tag{10}$$

在 CMOS 工艺中,电源电压值会依赖于偏置电流大小和晶体管的阈值电压,其最小电源电压约为 1.8 V. 而反馈式 AB 类输出级的最小电源电压:

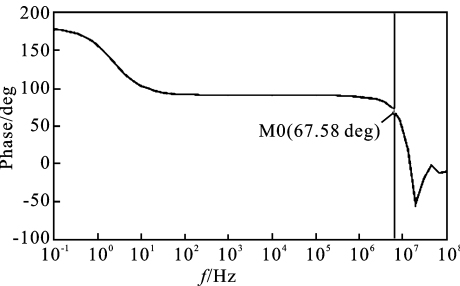
$$V_{sup,min} = V_{gs} + 2V_{dsat} \tag{11}$$

其大小约为 1.1 V. 为了实现低的电源电压,需要将输入级偏置在亚阈值区.

本文采用 TSMC 0.18 μm CMOS 工艺,在 1 V 的电源电压下进行仿真分析. 图 7 为运算放大器的输入共模电压为 0.5 V, 负载为 20 pF 的情况下的开环频率响应. 电路的直流开环增益为 127 dB,单位增益带宽为 6.401 MHz,相位裕度为 67.58°. 在整个共模范围内对电路进行仿真其相位裕度均在 60°以上,该运算放大器满足稳定性的要求.



(a) 幅频特性



(b) 相频特性

图 7 运算放大器的开环频率响应

图 8 是输入级跨导随输入共模电压变化的仿真结果,出现这种波形的原因是由于沟道长度调制效应的存在,输入差分对管的尾电流源的电流会随着共模输入电压的变化会有微小的变化,而输入管处在亚阈值区时,其跨导与漏电流成正比关系^[3],即

$$g_{mitot} = \frac{I_p}{2 \cdot n_p \cdot V_T} + \frac{I_n}{2 \cdot n_n \cdot V_T} \tag{12}$$

式中, I_p 是 PMOS 输入差分对的尾电流, I_n 是 NMOS 输入差分对的尾电流, n_p, n_n 分别为 PMOS 管和 NMOS 管的亚阈值区的斜率因子, $V_T = \frac{kT}{q}$ 为热电压.

共模输入电压处在中间范围时, NMOS、PMOS 差分对同时工作,但共模输入电压由低到高的过程中会出现 PMOS 管逐渐截止, NMOS 管逐渐导通的情况,因此图 8 所示的波形完全符合理论分析,其跨导产生的误差约为 2.26%,接近最好水平. 当输入信号频率为 1 kHz,峰峰值为 0.8 V 的正弦波,负载为 20 pF//10 k Ω 时,输出波形如图 9 所示,通过计算得到运算放大器输出信号的谐波失真为 -107 dB.

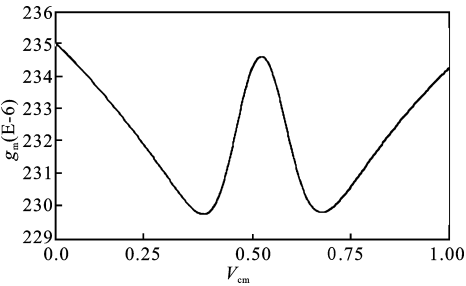


图 8 输入级跨导 g_m 随共模输入电压 V_{cm} 的变化曲线

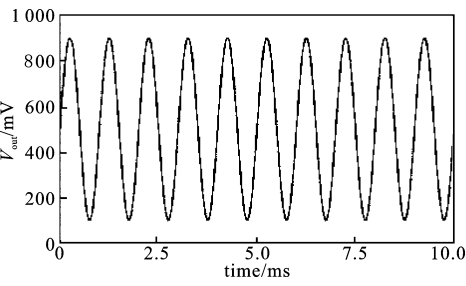


图 9 输入正弦波的输出波形

表 1 给出了 0.18 μm 工艺下的不同结构不同电源电压下的运算放大器的主要性能指标的对比,可以看出,本设计与文献[7]中指标参数的性能差别不大,但电源电压是在 1 V 的情况下实现的;与文献[8]相比,虽单位增益带宽略小,但其功耗却降低了 6.5 倍;与相同电源电压的文献[9]相比,除功耗略大外,其他性能均超出文献中的设计,且具有良好的

rail-to-rail 的输入输出特性,同时本文设计的结构较之前三者更为简单、紧凑,具有很好的鲁棒性.

表 1 本设计与其他结构的主要性能比较

性能参数	文献[8]	文献[9]	文献[10]	本文
电源电压/V	3.3	2.5	1	1
Gm 变化率/%	2.45	10	11	2.26
静态功耗/ μ W	180	1500	95	200
输入噪声电压/(nV/ $\sqrt{\text{Hz}}$) (@100 kHz)	—	—	107	17
直流开环增益/dB	120	80	76	127
单位增益带宽/MHz	5.98	11	5.2	6.4
共模抑制比/dB	101.2	—	—	118

4 结束语

本文对传统的电流开关结构进行改进,使输入级跨导恒定的同时保证其输出电流不受共模输入电压的控制,从而简化求和电路. 从仿真结果分析,该运算放大器在整个共模输入电压范围内基本保持了输入级跨导恒定,实现了 rail-to-rail 的输入输出摆幅,并且在 1 V 的电源电压下实现了高性能的要求.

参考文献:

[1] Kumar Vivek, Kashyap Kamal K. A simple low power OTA based circuitry for constant-gm rail-to-rail operation[C]//ICSPCT2014. Ajmer; IEEE, 2014:151-157.

[2] Li Xian, Chang Changyuan, Li Juan. A rail-to-rail op amp for VLSI cell with constant performance [C] // Proceedings of ECCTD 2007. Sevilla: IEEE, 2007: 16-19.

[3] Hogervorst R, Tero J P, Eschauzier R G H, et al. A compact power-efficient 3V CMOS rail-to-rail input/output operational amplifier for VLSI cell libraries

[J]. IEEE Journal of Solid-StateCircuits, 1994, 29 (12):1505-1513.

[4] Zha Xiaofang, Yin Yongsheng. The design rail-to-rail operational amplifier used in PGA [C]//ASID'2015. Xiamen; IEEE, 2015:61-65.

[5] Langen K J de, HuijsingJ H. Compact low-voltage power-efficient operational amplifier cells for VLSI [J]. IEEE Journal of Solid-State Circuits, 1998, 33 (10): 1482-1496.

[6] 齐步坤. 轨到轨 CMOS 运算放大器研究与设计[D]. 天津:天津大学, 2009.

[7] 毕查德·拉扎维. 模拟 CMOS 集成电路设计[M]. 陈贵灿,程军,张瑞智,等译. 西安:西安交通大学出版社, 2003.

[8] 马玉杰,高俊丽,后永奇,等. 3.3V/0.18 μ m 恒跨导轨对轨 CMOS 运算放大器的设计[J]. 电子技术应用, 2012,38(11):48-50.

[9] Wang Xichuan, Deng Huan, Zhang Ting, et al. A Rail-To-Rail Op-Amp with Constant Gm Using Current Switches [C] // Proceedings of HDP'07. Shanghai; IEEE, 2007:1-3.

[10] Deng Liang, Deng Honghui, Yin Yongsheng, et al. 1-V rail-to-rail constant trans-conductance operation amplifier [C] // ICEMI'2009. Beijing: IEEE, 2009: 798-801.

作者简介:

王 丹 女, (1990-), 硕士研究生. 研究方向为模拟集成电路设计. E-mail: wangdan199002@163. com.

姜 宇 男, (1983-), 助理研究员. 研究方向为模拟/射频集成电路设计.

郭桂良 男, (1981-), 副研究员. 研究方向为模拟/射频集成电路设计.

吕英杰 男, (1964-), 副研究员. 研究方向为集成电路设计、嵌入式系统.