

# 一种基于软件无线电的数字射频发射机方案

张锦涛<sup>1,2</sup>, 邱 昕<sup>1</sup>, 李中秋<sup>1</sup>, 慕福奇<sup>1</sup>, 郭 瑞<sup>1</sup>

(1 中国科学院 微电子研究所, 北京 100029; 2 中国科学院大学, 北京 100049)

**摘 要:** 针对软件无线电应用, 对多相滤波器与多相数控振荡器(NCO)结构进行了分析和扩展, 提出一套可实现任意整数倍上变频的频点可灵活配置的数字射频发射机方案. 测试结果表明, 本设计能够按照设计要求将低速数据实现任意倍数上采样并可调制到任意载频, 在数字域完成基带到射频的转换输出, 满足设计要求.

**关键词:** 软件无线电; 多相滤波器; 数控振荡器; 数字射频发射机

**中图分类号:** TN713; TN83; TN929.5

**文献标识码:** A

**文章编号:** 1000-7180(2017)03-0070-04

## A Method for Digital Radio Transmitter with Software Defined Radio

ZHANG Jin-tao<sup>1,2</sup>, QIU Xin<sup>1</sup>, LI Zhong-qiu<sup>1</sup>, MU Fu-qi<sup>1</sup>, GUO Rui<sup>1</sup>

(1 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;

2 University of Chinese Academy of Sciences, Beijing 100049, China)

**Abstract:** A method for arbitrary integer multiple up-converter of the frequency and flexibly configured digital RF transmitter with poly-phase filter and multiphase numerically controlled oscillator(NCO) on SDR is proposed. The test results show that this design can be in accordance with the design requirements of the low speed data sampling and can realize arbitrary multiple modulation to any carrier frequency, complete the conversion from baseband to RF output in the digital domain, meets the design requirements.

**Key words:** Software-defined Radio(SDR); poly-phase filter; numerically controlled oscillator; digital radio transmitter

### 1 引言

软件无线电<sup>[1]</sup>技术的出现解决了传统无线电中硬件复杂度高, 系统灵活性差等问题. 全软件无线电结构目前还无法实现, 而数字射频技术可以减少硬件复杂度, 有望实现全软件无线电. 数字射频是在数字域处理和实现无线电平台所需的射频功能, 最终实现高集成度电磁环境适应能力强全数字收发信机<sup>[2]</sup>. 数字射频发射机可以根据系统需要灵活变动, 有利于系统后续升级, 适应环境能力强.

传统发射机采用正交调制法<sup>[3]</sup>, 一般都在中频完成正交调制, 通过混频器可以将中频的信号上变频到射频载波, 通过射频 DAC 输出<sup>[4]</sup>. 这种方法实

现简单, 但是硬件电路复杂, 不利于后续系统的扩展和升级. 文献[5]中提出了一种数字射频发射机的设计, 采用了 DSP 和 FPGA 协同设计, DSP 芯片成本一般较高. 文献[6]中提出了一种只采用 FPGA 直接射频正交调制的设计, 缺点是需要额外的 NCO 芯片来实现正交混频. 文献[7]中提出了一种直接数字射频上变频方案, 但是对于两级频率相差较大时需要多级插值滤波器来实现, 结构复杂, 不能灵活地实现任意倍数上采样.

本文基于以上思想和前人所做的研究工作, 对多相滤波器与多相 NCO 原理进行分析和扩展, 提出了一种可以实现任意倍数上采样和输出任意载波频率的 RF 发射机方案, 并进行实现和验证. 实现中

**收稿日期:** 2016-05-23; **修回日期:** 2016-07-07

**基金项目:** 中科院国防科技创新基金(CXJJ-16M124); 国家自然科学基金青年科学基金(61501455); 北京市自然科学基金面上项目(4162068)

输出数据通过 ADI 公司的高速采集 DAC 芯片 AD9129 进行并串转换后,就可实现数字射频调制.通过在 MATLAB 和 FPGA 上仿真验证,证实了方案的可行性.

## 2 数字射频发射机原理与实现

在本设计中,数字发射机的结构图如图 1 所示.

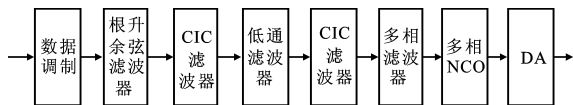


图 1 数字射频发射机结构图

如图 1 所示,数字发射链路中的数字上采样采用经典的数字信号处理方案,即每次上采样后都需要通过滤波器滤除掉镜像频率<sup>[8]</sup>.首先在发射链路中对信源数据进行平方根升余滤波,实现抑制码间串扰(ISI).CIC 滤波器的优点在于实现简单,只有加减运算和延迟单元,没有乘法运算,FPGA 实现时可以达到很高的处理速率,十分适合作为抽取前的抗混叠滤波器<sup>[9]</sup>.由于 CIC 滤波器通带不平坦,其带内衰减随着级数增加而不断增大,在多级级联时,为了获得良好的通带平坦特性,在 CIC 滤波器之后,需要对其幅频特性进行补偿.本系统中采用低通滤波器来改善带内平坦度.射频 DAC 的数据速率很高,为了实现将低速数据上采样至较高数据速率输出,本次设计采用多相滤波器实现.多相滤波器属于滤波器的一种形式,其原理就是将滤波器系数拆分为多个相位,在较低时钟下并行处理多个相位的数据,就可实现将低速数据上采样至较高的速率输出.

数字上变频可以将低速率数据通过内插的方法,上采样至较高速率数据输出.内插就是在已知序列  $x(n)$  的相邻采样点之间等间距地插入  $L-1$  个 0 值点,其中  $L$  为大于 1 的整数.图 2 为  $L$ -内插器的示意图,其中输入采样率为  $f = 1/T$ ,输出采样率为  $f = L/T$ .

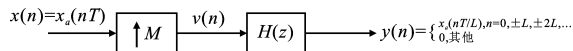


图 2 内插器示意图

设输入序列为  $x(n)$ ,输出序列为  $y_L(n)$ ,按照图 2 所示的内插器输出,则输入与输出的关系为

$$y_L(n) = \begin{cases} x_a(nT/L), & n = 0, \pm L, \pm 2L, \dots \\ 0, & \text{其他} \end{cases} \quad (1)$$

对应的,频域关系为

$$Y_L(e^{j\omega}) = X(e^{j\omega L}) \quad (2)$$

从式(2)可以看出, $Y_L(e^{j\omega})$  是对  $X(e^{j\omega L})$  的  $L$  倍压缩,即内插后频谱的周期将变为原来的  $1/L$ .内插后,将会引入镜像分量,在  $v(n)$  的下一级需要加入一个低通滤波器  $H(z)$ ,滤掉这个镜像分量.若  $H(z)$  是采用直接型结构实现的长度为  $N$  的 FIR 滤波器<sup>[10]</sup>,则

$$v(n) = \sum_{m=0}^{N-1} h(m)x(n-m) \quad (3)$$

由于采用内插法实现上采样,因此在  $v(n)$  中每  $M$  个点中,只有当  $n = kM (k = 1, 2, \dots)$  时  $v(n)$  的值才为实际值,其他值都为零,所以计算复杂度将降为原来的  $1/M$ .

因此,对于上采样倍数为  $M$ ,长度为  $N$  的 FIR 滤波器则有

$$\begin{aligned} H(z) &= \sum_{n=0}^{\infty} h(n)z^{-n} = \\ &h_0z^0 + h_Mz^{-M} + h_{2M}z^{-2M} + \dots + h_1z^{-1} + h_{M+1}z^{-(M+1)} + \\ &h_{2M+1}z^{-(2M+1)} + \dots + h_2z^{-2} + h_{M+2}z^{-(M+2)} + \\ &h_{2M+2}z^{-(2M+2)} + \dots + h_{M-1}z^{-(M-1)} + h_{2M-1}z^{-(2M-1)} + \\ &h_{3M-1}z^{-(3M-1)} + \dots = z^0(h_0 + h_Mz^{-M} + h_{2M}z^{-2M} + \dots) + \\ &z^1(h_1 + h_{M+1}z^{-M} + h_{2M+1}z^{-2M} + \dots) + z^2(h_2 + \\ &h_{M+2}z^{-M} + h_{2M+2}z^{-2M} + \dots) + \dots + z^{M-1}(h_{M-1} + \\ &h_{2M-1}z^{-M} + h_{3M-1}z^{-2M} + \dots) \end{aligned} \quad (4)$$

即

$$\begin{aligned} H(z) &= \sum_{l=0}^{M-1} z^l \sum_{n=0}^{\infty} h(Mn+l)z^{-Mn} \\ &= \sum_{l=0}^{M-1} z^l H_l(z^M) \end{aligned} \quad (5)$$

从式(5)就可以看出,滤波器可以由多相滤波器并行级联实现.若系统需要实现  $N$  倍的上采样,且有  $N = M_1 \times M_2 \times \dots \times M_n$ ,则可以分为  $n$  级来实现,因此理论上也就可以实现任意倍数上采样.如以 14 倍数据上采样为例,可以分为两级来完成,其中  $M_1$  和  $M_2$  分别为 7 和 2,则数据经过第一级 7 倍插值后,相位个数增加为原来的 7 倍,同理在经过第 2 级两倍插值后,每一路相位个数将增加为原来的 2 倍.多相滤波器的整体结构图如图 3 所示,单路串行数据经过两级上采样,最终输出 14 路并行数据.

为了实现直接的数字上变频,需要在 FPGA 中将经过多相滤波器后的数据与 NCO 进行相乘混频.NCO 可以产生一个理想的正弦或余弦序列,更确切地说就是产生一个频率可变的正弦波样本.若为本地振荡频率,为直接数字式频率合成器(DDS)

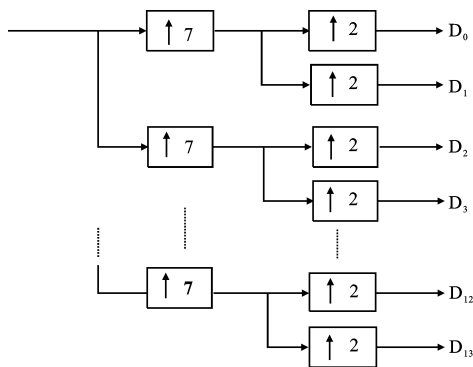


图3 多相滤波器结构图

输出信号的采样频率,则有:

$$S(n) = \cos\left(\frac{2\pi n f_{L0}}{f_s}\right), (n = 0, 1, 2, \dots) \quad (6)$$

将式(6)转换为多相滤波器,令  $n = k * M + l$  则有:

$$S(kM + l) = \cos\left(\frac{2\pi(kM + l)f_{L0}}{f_s}\right), (n = 0, 1, 2, \dots; M = 14; l = 0, 1, 2, \dots, M-1)$$

$$S_l(k) = \cos\left(\frac{2\pi k f_{L0}}{(f_s/M)} + \frac{2\pi l f_{L0}}{f_s}\right), (k = 0, 1, 2, \dots; M = 14; l = 0, 1, 2, \dots, M-1) \quad (7)$$

因此,当式(7)中  $k$  和  $l$  取不同值时,我们可以得到 14 个不同相位的正弦序列。如图 3 所示,14 路数据并行输出,FPGA 在一个时钟沿下就可以同时得到 14 路数据,将每一路数据与其对应的 NCO 进行相乘混频,就可以得到 14 路混频后的数据。根据 LVDS 接口的数据格式,将这 14 路数据经过 14 路 FIFO 实现并串转换,最终输出两路并行数据,再将这两路数据送给两个 LVDS 接口模块输出,如图 4 所示。

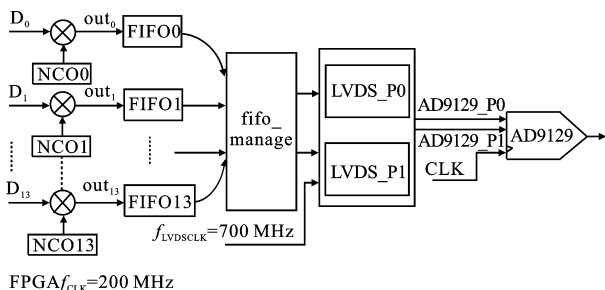


图4 多相 NCO 输出结构图

### 3 测试与验证

本次设计基带速率以 5 kb/s 为例,多相 NCO 的频率设为 525 MHz,则最终基带数据将上变频至 525 MHz 输出。根据前面多相滤波器和多相 NCO 理论推导,以及本文提出的数字射频发射机进行仿

真验证。在 MATLAB 中得出各级滤波器的系数,其中包括根升余弦滤波器、CIC 滤波器、低通滤波器和多相滤波器的滤波器系数,再将系数输入到 ISE 软件中相应滤波器的 IP 核中,完成各级滤波器的设计。由 MATLAB 仿真的频率响应图可以看出,最终输出信号的无杂散动态范围(SFDR)约为 60 dB,2 倍上采样后的滤波器频谱图见图 5。

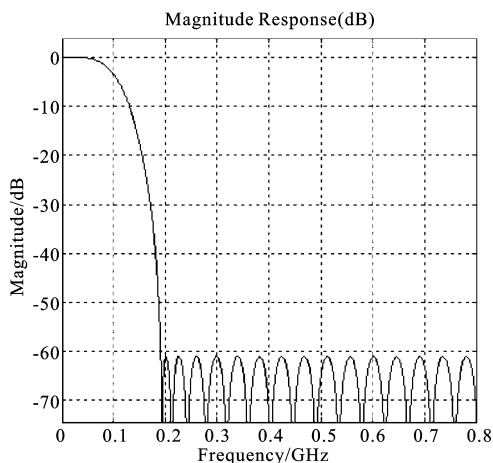


图5 2 倍上采样后的滤波器频谱图

将多相滤波器的输出与多相 NCO 的频率合成输出进行相乘混频,最终输出到射频 DAC 中。通过 MATLAB 仿真,本设计的最终功率谱密度如图 6 所示。在 FPGA 中实现,导出数字上变频之后的数据到 MATLAB,画出功率谱密度,如图 7 所示。

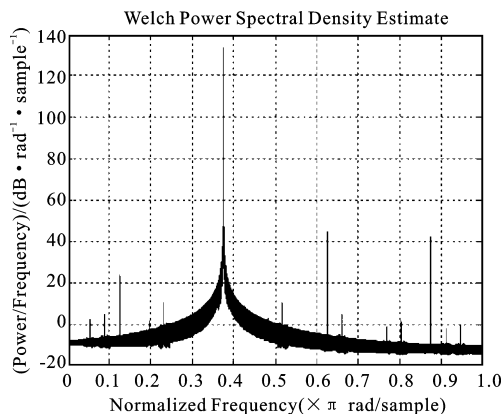


图6 MATLAB 仿真输出功率谱密度图

从图 6 和图 7 可以看出,都在 0.375 处的功率谱密度最大,此时所对应的频点正好为 525 MHz,与所设置的频点相同。

本次工程是在 Xilinx 公司的 XC7K325TFFG900-2 型号的 FPGA 上实现的,资源使用情况如表 1 所示。DSP48E1 使用资源占用了 68%,后续还可以进行优化,减少乘法器资源的使用。FPGA 使用资源较少,满足设

计要求.

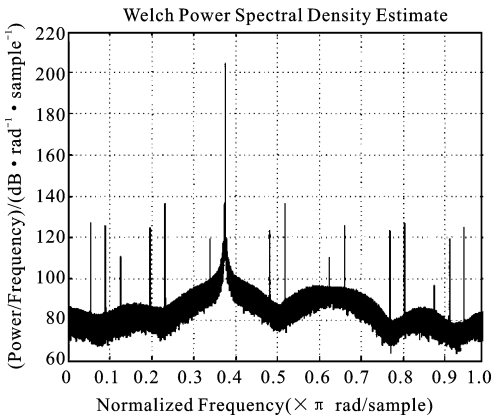


图 7 FPGA 仿真输出功率谱密度图

表 1 FPGA 资源使用情况

| Logic Utilization | Used   | Available | Utilization/% |
|-------------------|--------|-----------|---------------|
| Slice Registers   | 12 006 | 407 600   | 2             |
| Slice LUTs        | 8 734  | 203 800   | 4             |
| Block RAM         | 7      | 890       | 1             |
| DSP48E1s          | 573    | 840       | 68            |

4 结束语

本文提出了一种针对软件无线电应用的数字射频发射机方案. 该数字射频发射机可以实现任意倍数上采样并灵活配置调制频点, 直接将低速码速率基带数据直接上变频至任意频率的射频. 该发射机方案已在 FPGA 中完成了具体实现, 通过实测数据与 MATLAB 中仿真数据的比较, 验证了发射机方案的正确性. 本次所设计的发射机灵活性高, 系统功耗低, 应用范围广泛, 后续系统修改升级也只需要修改软件即可, 可以实现快速灵活配置. 对软件无线电后续设计与应用有一定的参考价值.

参考文献:

[1] Mitola J. The software radio architecture[J]. Communications Magazine, IEEE, 1995, 33(5): 26-38.

[2] 姚富强. 新一代无线电平台数字射频核心技术与工程实践[J]. 中国科学: 信息科学, 2014, 44(8): 965-979.

[3] 黄智伟. 通信电子电路[M]. 北京: 机械工业出版社, 2007.

[4] 向新. 软件无线电原理与技术[M]. 西安: 西安电子科技大学出版社, 2008.

[5] 董雁飞, 潘中良. 一种基于 FPGA 与 DSP 的数字射频发射机的设计与实现[J]. 数字技术与应用, 2012 (12): 131-132.

[6] 陈杰, 尹应增. 低成本直接射频正交调制无线发射机的新设计[J]. 电波科学学报, 2012, 27(4): 126-131.

[7] 梁尧, 徐迪宇, 胥小武. 一种基于 FPGA 的直接数字射频上变频方案[J]. 太赫兹科学与电子信息学报, 2014, 12(5): 692-696.

[8] Alan V Oppenheim, Alan S Willsky, With S Hamid Nawab. 信号与系统[M]. 刘树堂, 译. 西安: 西安交通大学出版社, 2005: 398-399.

[9] 闵淑琴, 马宏. CIC 滤波器及其补偿设计滤波器的设计与实现[C]//中国通信学会第六届学术年会论文集(下). 广州: 中国通信学会, 2009.

[10] 田耘. 无线通信 FPGA 设计[M]. 北京: 电子工业出版社, 2008.

作者简介:

**张锦涛** 男, (1993-), 硕士研究生. 研究方向为数字射频发射机. E-mail: zhangjintao@ime. ac. cn.

**邱 昕** 男, (1980-), 博士, 副研究员. 研究方向为无线通信.

**李中秋** 男, (1991-), 硕士. 研究方向为无线通信.

**慕福奇** 男, (1957-), 研究员. 研究方向为无线通信.

**郭 瑞** 女, (1983-), 硕士, 助理研究员. 研究方向为微电子.