

布图规划约束对 VLSI 设计性能的影响

聂廷远,李坤龙,高久琐

(青岛理工大学,通信与电子工程学院,山东 青岛 266033)

摘 要: 布图规划处于芯片物理设计的前端,对 VLSI 整体性能起着至关重要的作用. 给出了平面布图规划约束的介绍,通过在布图规划阶段进行约束嵌入的实验,考查了约束对 VLSI 布图规划设计性能的影响. 在 IBM-HB+ Benchmark Suites 上嵌入约束的实验表明,约束设置会给 VLSI 布图规划带来一定的影响,甚至会改善设计质量.

关键词: VLSI; 平面布图规划; 物理设计; 约束

中图分类号: TP302.1

文献标识码: A

文章编号: 1000-7180(2016)11-0104-05

The Influence on VLSI Design Performance by Constraints in Floorplanning

NIE Ting-yuan, LI Kun-long, GAO Jiu-xu

(School of Communication & Electronic Engineering, Qingdao University of Technology, Qingdao 266033, China)

Abstract: The floorplanning plays a vital role to the final VLSI performance because it is in the earlier stage of the physical design. In this paper, we introduce several kinds of constraints in floorplanning. We investigate the influence caused by constraint in floorplanning. The experimental results on IBM-HB+ Benchmark Suites show that the constraint embedding had some influence on the floorplanning design, sometimes it may improve the quality of the design.

Key words: VLSI; floorplanning; physical design; constraint

1 引言

人们对高性能芯片的需求和科技的日益进步,推动集成电路设计技术不断改进^[1].

物理设计在超大规模集成电路中起着至关重要的作用,目前的 VLSI 设计中广泛采用层次化的分级设计方法,布图规划是在 VLSI 电路物理设计中的重要的一环,尤其是在片上系统(SoC)设计中,芯片嵌入的模块越来越多,布图规划的好坏往往对布局、布线甚至最终芯片的性能有很大的影响^[2]. 随着 VLSI 模块个数的增多,设置约束的方案也就变得更为复杂,因此,在布图规划阶段,如何通过嵌入约束优化芯片性能达到芯片设计的目的,正逐步成为一个挑战.

布图规划通常划分成可二划分结构(Slicing)和不可二划分结构(Non-Slicing)两类^[3]. 由于可二划

分结构是不可二划分结构的子集,更多的研究集中在不可二划分的编码上,代表性的有 B*-tree、BSG、CBL、O-tree 等^[4]. Murata 等提出了序列对(Sequence Pair, SP)的表示方法^[5],这种表示法直观、简单,并且能体现出模块间的几何位置关系及大小,提高了算法的运行效率.

在 VLSI 布图规划阶段中,因为一些特定的因素,需要将部分模块放置在一定的位置,例如模块之间互连关系紧密、优化关键路径等,因此设置的约束称为位置约束^[6]. 随着 VLSI 设计的抽象层次的深入,这些位置约束会影响 VLSI 布局、布线阶段的结果,甚至对芯片的最终性能有决定性的影响. 在相关文献中,已经对 VLSI 布图规划位置约束做出了很多具体的描述. Ma 等提出邻接约束,对角模块序列结构表示的电路设置邻接约束^[7]; Young 等提出预

置约束,实现了把部分模块固定在一定位置上^[8]; Ma 等提出边界约束,把模块放置在芯片的四周,以方便 I/O 连接^[9]; Tang 等提出对齐约束,调查了对齐约束对总线的影响^[10].

2 布图规划约束嵌入

2.1 位置约束

位置约束通常用来确定平面规划中某个单元的位置或单元之间的相对关系,通常用模块的左下角坐标来表示其物理位置.例如,模块 A 可以用左下角坐标表示为 $(x(A), y(A))$. 为了更方便地描述文中提到的各种约束,给出两个公式. 式(1) 表示两个模块间的水平距离,式(2) 表示两个模块间的垂直距离. 其中 w_A 和 w_B 分别表示模块 A, B 的宽, h_A 和 h_B 分别表示模块 A, B 的高

$$h(A, B) = x(B) - x(A) \tag{1}$$

$$v(A, B) = y(B) - y(A) \tag{2}$$

2.1.1 对齐约束

对齐约束用于实现模块在水平或垂直方向的对齐. 如图 1 所示,对于两个在水平方向上对齐的模块 A, B, 可以引入约束 $v(A, B) = 0$, 表明模块 A 与模块 B 的垂直相对距离为 0.

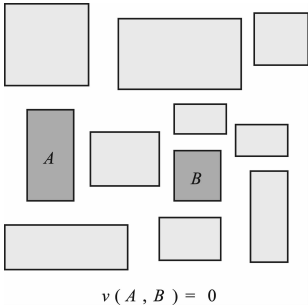


图 1 对齐约束示例

2.1.2 邻接约束

如果两个模块 A, B 在水平方向邻接,需引入约束 $h(A, B) = w_A, v(A, B) = 0$, 表明模块 A 与模块 B 的水平距离为模块 A 的宽度 w_A , 二者垂直距离为 0, 示例参见图 2.

2.1.3 预置约束

预置约束预先确定模块在设计中的位置,对于预置模块 A, 设置约束 $h(LL, A) = p, v(BB, A) = q$, 其中 LL, BB 分别代表着芯片设计的左边界及下边界, 那么模块 A 被约束在位置 (p, q) 处, 如图 3 所示.

2.1.4 边界约束

如图 4 所示,对于模块 A 与模块 B, 设置边界约束 $h(LL, A) = x(A), v(BB, A) = 0, h(LL, B) = 0, v(BB, B) = y$

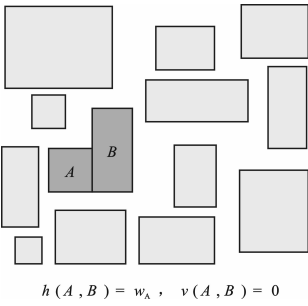


图 2 邻接约束示例

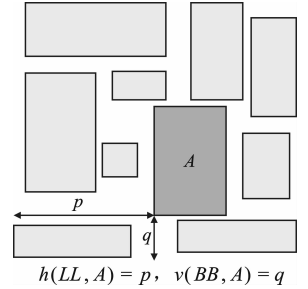


图 3 预置约束示例

$B) = y(B)$. 模块 A 与芯片设计的左边界的水平距离为 $x(A)$, 与芯片设计的下边界的垂直距离为 0; 模块 B 与芯片设计的左边界的水平距离为 0, 与芯片设计的下边界垂直距离为 $y(B)$. 表明模块 A 与模块 B 分别被约束在平面设计的下边界与左边界.

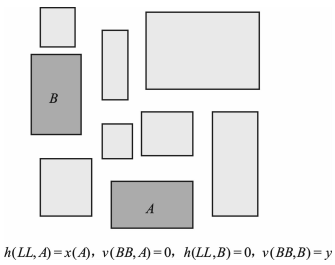


图 4 边界约束示例

2.1.5 聚类约束

在芯片物理设计中,为了提高算法效率,把多个紧密连接的单元合并在一起的方法称之为聚类. 如图 5 所示,同一聚类的三个模块 A, B, C, 其约束表示为: $h(A, C) = w_A, v(A, C) = h_A, h(C, B) = w_C, v(C, B) = h_C$. 选

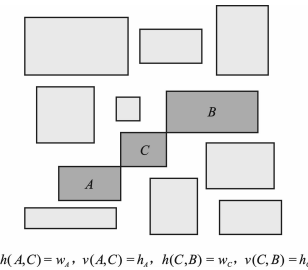


图 5 聚类约束示例

择模块C作为聚类的中心点,模块A与模块C的水平距离为模块A的宽度 w_A ,垂直距离为模块A的高度 h_A ;模块B与模块C的水平距离为模块C的宽度 w_C ,垂直距离为模块C的高度 h_C .这些约束表明了模块在水平方向/垂直方向之间的紧密性.

2.2 位置约束嵌入算法

文中采用的位置约束嵌入算法如下.

1. 读入 Benchmark 中的 .pl 文件;
2. 在[1. • Max_Blknun]中随机选择出模块组;
3. 设置相应的位置约束;
4. 重复 2~3,直到选择出相应比例的模块.

首先读入描述 IBM-HB+ Benchmark 的 PL (Perl)文件,获取 benchmark 中模块位置、大小和模块的数目(Max_Blknun);其次,在区间范围内随机选择模块组;再次,根据上文介绍的约束表示方法设置各类位置约束,对于邻接约束、对齐约束、边界约束及预置约束,随机选择模块对(pair)进行操作,对于聚类约束,随机选择 3 个模块进行操作;重复上述过程,直至选择出相应比例数目的模块,修改 PL 文件,完成约束设置.

3 实验

3.1 实验方案

通过仿真实验,考察位置约束设置对布图规划结果的影响.实验采用基准电路 IBM-HB+ Benchmark Suites^[11],IBM-HB+ Benchmark 是在 IBM-HB Benchmark 的基础上修改得到的,目的是创建包含 Calypto 设计特性的模块,benchmark 中模块数目范围在 500~2 000 之间,包含软模块和硬模块.

实验平台使用具有 2.13 GHz CPU 和 4.00 GB 内存的 HP 工作站作为测试平台,操作系统为 Fedora Linux 5,工具采用布图规划器 Parquet^[12].首

先对 IBM-HB+ Benchmark 进行无约束的布图规划,运行 10 次求出芯片设计面积、布线长、空白占比和运行时间的平均值,得到原始结果.然后,通过位置约束嵌入算法,在原始 Benchmark 中随机选择 3%的模块,依据约束嵌入算法设置邻接约束、对齐约束、边界约束、预置约束及聚类约束,同样运行布图规划 10 次,求出各项结果的平均值.对约束嵌入前后的布图规划进行比较,分析约束嵌入对芯片性能的影响.

3.2 实验结果及分析

约束嵌入的实验结果如表 1~5 所示,总体上来说,芯片设计面积(Area)、布线长(half-perimeter wire length,HPWL)、空白占比(Whitespace)和运行时间(Time)在约束嵌入后有一定程度上的减少,运行时间基本维持不变.其中预置约束和聚类约束嵌入后,Area 减少较为明显;边界约束和预置约束嵌入后,HPWL 减少较为明显;聚类约束和邻接约束嵌入后,Whitespace 减少较明显.

具体地,对于邻接约束,Area 的变化范围在-3.13%~1.55%之间,平均为-0.87%;HPWL 的变化范围在-4.53%~1.58%之间,平均为-0.82%;Whitespace 的变化范围在-6.37%~1.81%之间.对于聚类约束,Area 的变化范围在-2.67%~0.77%之间,平均为-0.82%;HPWL 的变化范围在-4.35%~1.98%之间,平均为-0.97%;Whitespace 的变化范围在-9.88%~7.33%之间,平均为-3.79%.对于对齐约束,Area 的变化范围在-3.72%~2.41%之间,平均为-0.31%;HPWL 的变化范围在-3.16%~2.97%之间,平均为-0.55%;Whitespace 的变化范围在-6.05%~3.59%之间,平均为-1.69%.对于预置约束,Area

表 1 邻接约束嵌入对布图规划的影响

ibm-HB+	Area			HPWL			WhiteSpace			time		
	约束前 (e+06mm ²)	约束后 (e+06mm ²)	增长率/ %	约束前 (e+06)	约束后 (e+06)	增长率/ %	约束前/ %	约束后/ %	增长率/ %	约束前/ s	约束后/ s	增长率/ %
ibm01	4.78	4.85	1.30	1.01	1.02	0.99	13.26	13.50	1.81	306.04	298.65	-2.41
ibm02	9.72	9.53	-1.95	2.53	2.42	-4.35	15.00	14.70	-2.00	988.92	991.57	0.27
ibm03	11.27	11.09	-1.60	2.90	2.88	-0.69	16.19	15.32	-5.37	752.03	714.89	-4.94
ibm04	10.99	10.85	-1.27	3.48	3.46	-0.57	18.28	17.70	-3.17	1 150.33	1 132.63	-1.54
ibm06	9.55	9.63	0.84	2.80	2.69	-3.93	13.90	13.19	-5.11	203.41	192.75	-5.24
ibm07	13.72	13.55	-1.24	5.02	5.04	0.40	16.02	15.98	-0.25	499.77	482.95	-3.37
ibm08	15.35	15.22	-0.85	5.69	5.78	1.58	14.60	13.67	-6.37	720.46	730.31	1.37
ibm09	20.33	20.32	-0.05	6.96	6.82	-2.01	16.06	15.98	-0.50	515.47	487.33	-5.46
ibm10	55.73	55.07	-1.18	15.48	15.15	-2.13	18.79	18.49	-1.60	1 191.87	1 176.21	-1.31
ibm11	25.15	25.20	0.2	10.74	10.81	0.65	18.46	18.67	1.14	977.31	960.11	-1.76
ibm12	43.47	42.59	-2.02	13.72	13.45	-1.97	18.20	17.09	-6.10	660.60	671.39	1.63
ibm13	30.40	29.45	-3.13	12.44	12.43	-0.08	21.28	20.49	-3.71	348.71	332.61	-4.62
ibm14	33.87	33.65	-0.65	23.42	23.38	-0.17	17.93	17.16	-4.29	1 224.55	1 201.32	-1.9
ibm15	42.14	42.15	0.02	29.58	29.47	-0.37	15.58	15.53	-0.32	912.10	876.12	-3.94
ibm16	61.23	62.18	1.55	32.50	32.15	-1.08	16.45	16.25	-1.22	418.15	416.97	-0.28
ibm17	49.76	48.72	-2.09	39.80	39.85	0.13	18.01	17.56	-2.49	908.04	909.29	0.14
ibm18	39.78	39.59	-0.46	25.90	25.80	-0.39	18.12	17.56	-3.08	313.97	309.83	-1.32
Average			-0.87			-0.82			-2.51			-2.04

表 2 聚类约束嵌入对布图规划的影响

ibm-HB+	Area			HPWL			WhiteSpace			time		
	约束前	约束后	增长率/	约束前	约束后	增长率/	约束前/	约束后/	增长率/	约束前/	约束后/	增长率/
	(e+06mm ²)	(e+06mm ²)	%	(e+06)	(e+06)	%	%	%	%	s	s	%
ibm01	4.78	4.82	0.77	1.01	1.03	1.98	13.26	13.14	-0.90	306.04	305.43	-0.20
ibm02	9.72	9.61	-1.13	2.53	2.42	-4.35	15.00	13.66	-8.93	988.92	965.87	-2.33
ibm03	11.27	11.12	-1.33	2.90	2.91	0.34	16.19	14.59	-9.88	752.03	733.45	-2.47
ibm04	10.99	10.83	-1.46	3.48	3.41	-2.01	18.28	16.51	-9.68	1 150.33	1 145.54	-0.42
ibm06	9.55	9.44	-1.15	2.80	2.69	-3.93	13.90	14.23	2.37	203.41	203.52	0.05
ibm07	13.72	13.58	-1.02	5.02	5.05	0.60	16.02	14.87	-7.18	499.77	492.46	-1.46
ibm08	15.35	15.29	-0.39	5.69	5.65	-0.70	14.60	15.67	7.33	720.46	697.48	-3.19
ibm09	20.33	20.20	-0.64	6.96	6.89	-1.01	16.06	15.22	-5.23	515.47	500.55	-2.89
ibm10	55.73	54.24	-2.67	15.48	15.35	-0.84	18.79	17.61	-6.28	1 191.87	1 161.44	-2.55
ibm11	25.15	25.34	0.76	10.74	10.75	0.09	18.46	18.00	-2.49	977.31	986.40	0.93
ibm12	43.47	42.43	-2.39	13.72	13.55	-1.24	18.20	16.65	-8.52	660.60	656.18	-0.67
ibm13	30.40	29.87	-1.74	12.44	12.28	-1.29	21.28	19.20	-9.77	348.71	345.26	-0.99
ibm14	33.87	33.87	0.00	23.42	23.49	0.30	17.93	17.96	0.17	1 224.55	1 230.65	0.50
ibm15	42.14	42.36	0.52	29.58	28.57	-3.41	15.58	16.07	3.15	912.10	885.51	-2.92
ibm16	61.23	60.68	-0.90	32.50	32.41	-0.28	16.45	16.29	-0.97	418.15	405.91	-2.93
ibm17	49.76	49.07	-1.39	39.80	39.35	-1.13	18.01	16.38	-9.05	908.04	910.15	0.23
ibm18	39.78	39.87	0.23	25.90	26.02	0.46	18.12	18.38	1.43	313.97	303.34	-3.39
Average			-0.82			0.97			-3.79			-1.45

表 3 对齐约束嵌入对布图规划的影响

ibm-HB+	Area			HPWL			WhiteSpace			time		
	约束前	约束后	增长率/	约束前	约束后	增长率/	约束前/	约束后/	增长率/	约束前/	约束后/	增长率/
	(e+06mm ²)	(e+06mm ²)	%	(e+06)	(e+06)	%	%	%	%	s	s	%
ibm01	4.78	4.82	0.64	1.01	1.04	2.97	13.26	13.00	-1.96	306.04	306.67	0.21
ibm02	9.72	9.51	-2.16	2.53	2.47	-2.37	15.00	14.47	-3.53	988.92	972.65	-1.65
ibm03	11.27	11.24	-0.27	2.90	2.90	0.00	16.19	15.93	-1.61	752.03	721.70	-4.03
ibm04	10.99	10.97	-0.18	3.48	3.40	-2.30	18.28	18.00	-1.53	1 150.33	1 120.66	-2.58
ibm06	9.55	9.74	1.99	2.80	2.74	-2.14	13.90	13.40	-3.60	203.41	200.56	-1.40
ibm07	13.72	14.05	2.41	5.02	5.01	-0.20	16.02	15.78	-1.50	499.77	507.42	1.53
ibm08	15.35	15.37	0.13	5.69	5.76	1.23	14.60	14.73	0.89	720.46	684.97	-4.93
ibm09	20.33	20.54	1.03	6.96	6.74	-3.16	16.06	16.24	1.12	515.47	503.41	-2.34
ibm10	55.73	54.96	-1.38	15.48	15.47	-0.06	18.79	18.13	-3.51	1 191.87	1 158.00	-2.84
ibm11	25.15	25.08	-0.28	10.74	10.69	-0.47	18.46	18.21	-1.35	977.31	994.79	1.79
ibm12	43.47	41.98	-3.43	13.72	13.49	-1.68	18.20	17.42	-4.29	660.60	667.29	1.01
ibm13	30.40	29.27	-3.72	12.44	12.46	0.16	21.28	20.79	-2.30	348.71	349.09	0.11
ibm14	33.87	33.66	-0.62	23.42	23.39	-0.13	17.93	17.22	-3.96	1 224.55	1 239.97	1.26
ibm15	42.14	42.16	0.05	29.58	29.57	-0.03	15.58	15.58	0.00	912.10	885.22	-2.95
ibm16	61.23	62.07	1.37	32.50	32.37	-0.40	16.45	17.04	3.59	418.15	416.00	-0.51
ibm17	49.76	49.30	-0.92	39.80	39.87	0.18	18.01	16.92	-6.05	908.04	927.86	2.18
ibm18	39.78	39.83	0.13	25.90	25.67	-0.89	18.12	18.27	0.83	313.97	307.37	-2.10
Average			-0.31			-0.55			-1.69			-1.01

表 4 预置约束嵌入对布图规划的影响

ibm-HB+	Area			HPWL			WhiteSpace			time		
	约束前	约束后	增长率/	约束前	约束后	增长率/	约束前/	约束后/	增长率/	约束前/	约束后/	增长率/
	(e+06mm ²)	(e+06mm ²)	%	(e+06)	(e+06)	%	%	%	%	s	s	%
ibm01	4.78	4.82	0.66	1.01	1.02	0.99	13.26	12.72	-4.07	306.04	307.91	0.61
ibm02	9.72	9.63	-0.93	2.53	2.45	-3.16	15.00	15.11	0.73	988.92	990.93	0.20
ibm03	11.27	11.30	0.27	2.90	2.89	-0.34	16.19	16.26	0.43	752.03	693.33	-7.81
ibm04	10.99	10.70	-2.64	3.48	3.45	-0.86	18.28	17.08	-6.56	1 150.33	1 191.66	3.59
ibm06	9.55	9.47	-0.84	2.80	2.70	-3.57	13.90	13.44	-3.31	203.41	201.49	-0.94
ibm07	13.72	13.54	-1.31	5.02	5.03	0.20	16.02	15.79	-1.44	499.77	507.29	1.50
ibm08	15.35	15.17	-1.17	5.69	5.57	-2.11	14.60	13.74	-5.89	720.46	677.96	-5.90
ibm09	20.33	20.24	-0.44	6.96	6.84	-1.72	16.06	15.52	-3.36	515.47	494.16	-4.13
ibm10	55.73	55.89	0.29	15.48	15.05	-2.78	18.79	19.12	1.76	1 191.87	1 178.47	-1.12
ibm11	25.15	25.06	-0.36	10.74	10.78	0.37	18.46	17.95	-2.76	977.31	980.62	0.34
ibm12	43.47	41.38	-4.81	13.72	13.39	-2.41	18.20	17.67	-2.91	660.60	674.78	2.15
ibm13	30.40	29.19	-3.98	12.44	12.29	-1.21	21.28	20.46	-3.85	348.71	355.57	1.97
ibm14	33.87	34.00	0.38	23.42	23.27	-0.64	17.93	18.40	2.62	1 224.55	1 207.17	-1.42
ibm15	42.14	42.27	0.31	29.58	29.46	-0.41	15.58	15.64	0.39	912.10	856.72	-6.07
ibm16	61.23	61.10	-0.21	32.50	31.82	-2.09	16.45	16.20	-1.52	418.15	400.46	-4.23
ibm17	49.76	49.37	-0.78	39.80	38.93	-2.19	18.01	17.07	-5.22	908.04	843.84	-7.07
ibm18	39.78	39.58	-0.50	25.90	26.01	0.42	18.12	17.53	-3.26	313.97	293.63	-6.48
Average			-0.95			-1.26			-2.25			-2.05

表 5 边界约束嵌入对布图规划的影响

ibm-HB+	Area			HPWL			WhiteSpace			time		
	约束前	约束后	增长率/	约束前	约束后	增长率/	约束前/	约束后/	增长率/	约束前/	约束后/	增长率/
	(e+06mm ²)	(e+06mm ²)	%	(e+06)	(e+06)	%	%	%	%	s	s	%
ibm01	4.78	4.79	0.15	1.01	1.02	0.99	13.26	13.43	1.28	306.04	303.60	-0.80
ibm02	9.72	9.66	-0.62	2.53	2.48	-1.98	15.00	14.77	-1.53	988.92	1007.54	1.88
ibm03	11.27	11.19	-0.71	2.90	2.89	-0.34	16.19	15.85	-2.10	752.03	732.28	-2.63
ibm04	10.99	10.81	-1.64	3.48	3.39	-2.59	18.28	17.68	-3.28	1 150.33	1 144.63	-0.50
ibm06	9.55	9.61	0.63	2.80	2.75	-1.79	13.90	13.58	-2.30	203.41	198.78	-2.28
ibm07	13.72	13.92	1.46	5.02	4.91	-2.19	16.02	15.66	-2.25	499.77	490.36	-1.88
ibm08	15.35	15.06	-1.89	5.69	5.57	-2.11	14.60	14.40	-1.37	720.46	686.37	-4.73
ibm09	20.33	20.51	0.89	6.96	6.84	-1.72	16.06	15.66	-2.49	515.47	498.78	-3.24
ibm10	55.73	54.39	-2.40	15.48	15.26	-1.42	18.79	17.93	-4.58	1 191.87	1 185.38	-0.54
ibm11	25.15	25.22	0.28	10.74	10.67	-0.65	18.46	18.78	1.73	977.31	986.36	0.93
ibm12	33.87	33.78	-0.27	23.42	23.39	-0.13	17.93	17.62	-1.73	1 224.55	1 229.49	0.40
ibm13	42.14	41.65	-1.16	29.58	29.61	0.10	15.58	14.90	-4.36	912.10	875.73	-3.99
ibm14	61.23	61.36	0.21	32.50	31.62	-2.71	16.45	16.69	1.46	418.15	407.47	-2.55
ibm15	49.76	49.28	-0.96	39.80	39.75	-0.13	18.01	17.87	-0.78	908.04	919.67	1.28
ibm16	39.78	39.47	-0.78	25.90	25.69	-0.81	18.12	17.81	-1.71	313.97	306.96	-2.23
ibm17	4.78	4.79	0.15	1.01	1.02	0.99	13.26	13.43	1.28	306.04	303.60	-0.80
ibm18	9.72	9.66	-0.62	2.53	2.48	-1.98	15.00	14.77	-1.53	988.92	1 007.54	1.88
Average			-0.78			-1.16			-1.64			-1.35

的变化范围在 $-4.81\% \sim 0.66\%$ 之间, 平均为 -0.95% ; HPWL 的变化范围在 $-3.57\% \sim 0.99\%$ 之间, 平均为 -1.26% ; Whitespace 的变化范围在 $-6.56\% \sim 2.62\%$ 之间, 平均为 -2.25% . 对于边界约束, Area 的变化范围在 $-3.32\% \sim 1.46\%$ 之间, 平均为 -0.78% ; HPWL 的变化范围在 $-2.71\% \sim 0.99\%$ 之间, 平均为 -1.16% ; Whitespace 的变化范围在 $-4.58\% \sim 1.73\%$ 之间, 平均为 -1.64% .

约束的设置导致了芯片设计面积和空白占比的减少, 使得设计单元的布置更为紧凑, 从而减少了芯片的总布线长. 而由于部分单元固定导致布图规划的操作次数减少, 使得运行时间略有减少.

4 结束语

本文在 VLSI 设计的布图规划阶段考察了约束对芯片平面规划性能的影响, 通过在 IBM-HB + Benchmark 的实验结果可以看出, 约束嵌入造成了芯片面积、半周长及空白占比一定程度的减少, 运行时间基本维持不变. 实验表明, 通过在布图规划阶段物理约束的合理设置, 可以改善布图规划的设计性能. 但其最终的性能评价需要在 VLSI 物理设计的后续设计(如布局、布线阶段)做进一步的研究.

参考文献:

- [1] 郝冬艳, 张明, 郑伟. 低功耗 VLSI 芯片的设计方法[J]. 微电子学与计算机, 2007, 24(6):137-139.
- [2] Yan J Z, Viswanathan N, Chu C. An effective floorplan-guided placement algorithm for large-scale mixed-size designs[J]. ACM Transactions on Design Automation of Electronic Systems, 2014, 19(3):1-25.
- [3] 罗佐, 杜世民, 戚利侠, 等. 基于快速模拟退火算法的可切割布图规划方法[J]. 微电子学与计算机, 2012, 29(9):109-112.
- [4] Wu GM, Wu S W, Chang Y W, et al. B*-Trees: a new representation for non-slicing floorplans[C] // Proc of ACM/IEEE Design Automation Conference. LOS Angeles, California, USA; IEEE, 2000:458-463.
- [5] Murata H, Fujiyoshi K, Nakatake S, et al. VLSI mod-

ule placement based on rectangle-packing by the sequence-pair[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 1997, 15(12):1518-1524.

- [6] Young E F Y, Chu C CN, Ho M L. Placement constraints in floorplan design[J]. IEEE Transactions on Very Large Scale Integration Systems, 2004, 12(7):735 - 745.
- [7] Ma Y, Hong X, Dong S, et al. Floorplanning with abutment constraints based on corner block list[J]. Integration the VLSI Journal, 2001, 31(1):65-77.
- [8] Young F Y, Wong D F. Slicing floorplans with pre-placed modules[C] // Proc of IEEE/ACM international conference on Computer-aided design. San Jose, Nevada, USA; IEEE, 1998:252-258.
- [9] Ma Y, Dong S, Hong X, et al. VLSI floorplanning with boundary constraints based on corner block list[C] // Proc of Design Automation Conference. Las Vegas, Nevada, USA; IEEE, 2001:509 - 514.
- [10] Tang X, Wong D F. Floorplanning with alignment and performance constraints[C] // Proc of the 39th annual Design Automation Conference. New Orleans, USA; IEEE, 2002:848-853.
- [11] Ng A N, Markov I L, Aggarwal R, et al. Solving hard instances of floorplacement[C] // Proc of ISPD '06. San Jose California, USA; IEEE, 2006:170-177.
- [12] Adya S N, Markov I L. Fixed-outline floorplanning: enabling hierarchical design[J]. IEEE Transactions on Very Large Scale Integration Systems, 2003, 11(6):1120-1135.

作者简介:

聂廷远 男, (1971-), 博士, 副教授. 研究方向为 VLSI CAD 系统的设计、VLSI 芯片知识产权保护数字水印技术、信息安全. E-mail: tynie@qtech. edu. cn.

李坤龙 男, (1992-), 硕士研究生. 研究方向为集成电路物理设计.

高久项 女, (1993-), 硕士研究生. 研究方向为电路约束传播.