

高速并行数字重采样控制算法研究

李 浩,王志刚,王厚军

(电子科技大学 自动化工程学院,四川 成都 611731)

摘 要: 针对高速宽带中频系统对并行数字重采样的应用需求,研究了一种并行 NCO 溢出机制控制算法,它基于对符号位判决的原理,可快捷地提供准确插值位置及溢出使能控制。基于该并行控制算法,借助经典的插值滤波器方法,还设计并实现了一种适合高速系统应用的并行数字重采样结构,仿真分析表明了并行 NCO 控制算法所具有的良好性能,通用数字逻辑硬件的应用测试也证明了该算法良好的移植性能。

关键词: 宽带系统;NCO 溢出机制;并行数字重采样;插值滤波器

中图分类号: TN402

文献标识码: A

文章编号: 1000—7180(2017)03—0110—05

Research on High Speed Parallel Digital Resampling Control Algorithm

LI Hao, WANG Zhing-gang, WANG Hou-jun

(School of Automation Engineering, University of Electronic Science and Technology of China, Chengdu 611731, China)

Abstract: This paper proposes a unique algorithm to control the parallel NCO overflow mechanism, which is applied to the digital parallel resampling module in the high-rate broadband system. It can issue the accurate interpolation position and overflow enable in a parallel NCO of the digital resampling module from a simple rule: Judge from sign. Consequently, a parallel digital resampling module based on algorithm above is implemented on the typical construct of interpolation filter. Simulation results show that the parallel NCO control algorithm executes a fine interpolation performance, and a hardware application on a general logic platform shows its high portability and flexibility.

Key words: broadband system; NCO overflow mechanism; parallel digital resampling; interpolation filter

1 引言

在无线通信系统中,由于发送端与接收端的时钟不一致,也即接收端采样时钟与发送端符号发送时钟是相互独立的,因此对发送符号流的采样无法以最佳的频率相位进行,符号解调不能在每个符号周期的最佳采样时刻进行采样^[1]。要实现信号的正确传输,模拟解调器通过产生一个与发送端符号发送时钟具有相同频率和相位的采样时钟解决;对于数字解调器,则主要采用数字重采样技术实现数字采样率的转换,使之为符号时钟的整数倍。数字重采样通常由 Farrow 插值滤波器^[2]、控制单元、时序调整等模块组成,控制单元通常用数控振荡器(NCO)

实现,即通过 NCO 控制插值滤波器对相邻的信号采样值进行插值,而时序调整模块根据插值滤波器的输出和 NCO 产生的溢出使能信号对时序进行调整,将插值滤波器输出的无效样值根据使能信号筛选出来,从而输出与符号发送时钟同步的最佳采样值。

宽带调制是现代高码率通信调制的主要特征,高达数百兆带宽的调制信号对数字解调技术带来的挑战急剧增长,数字重采样在宽带解调系统中首当其冲,对速率高达数 GSPS 的采样数据进行处理,必须解决现有数字逻辑器件最高数百兆赫兹处理极限的瓶颈。文献[3-4]中采用了插值滤波器并行化结构,但其控制单元 NCO 仍为串行结构,处理速度不

足.文献[5]中利用 Farrow 结构实现了并行数字重采样,但该结构利用了 N 组相同的 NCO 控制单元,并不是真正意义上的结构并行化,资源占比较大且不利于结构扩展.在多数报道文献中介绍的并行数字重采样技术,着重于插值滤波器的并行设计,对关键的数字重采样控制单元 NCO 如何并行实现研究较少.对于窄带低速需求的解调器中,可以使用串行或者仅仅把插值滤波器并行化的数字重采样结构,但在宽带高速的解调应用场合,串行 NCO 就显得力不从心,无法突破硬件处理(如 FPGA)速度的限制[6].

本文拟面向宽带高速的实时解调处理,从并行多路 NCO 溢出机制控制算法设计入手,解决并行结构中插值位置及溢出控制等设计难点,将并行处理速度降到硬件工作频率范围之内,进一步实现一种适合高速系统的并行数字重采样硬件以对算法加以验证.

2 重采样的 NCO 基本模型

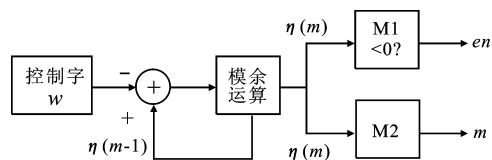
数字重采样技术的数控振荡器(NCO)结构如图 1(a)所示,其作用是:作为一个控制单元为插值滤波器提供期望的插值位置 μ ,同时为时序调整模块提供用于数据选择的溢出使能信号 en ,图中 M1 模块用于产生溢出使能信号 en ,M2 模块用于计算 μ 值.

数控振荡器的本质是一个差分方程[7-8],是一个以输入采样率 $1/T_s$ 递减累进的相位递减器,其计算公式为

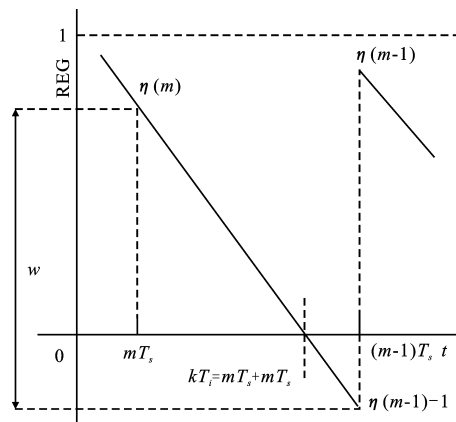
$$\eta(m) = [\eta(m-1) - w] \bmod 1 \quad (1)$$

式中,mod 为模函数,只取余数部分,可以保证 $\eta(m)$ 的值始终在 $[0,1]$ 范围; $\eta(m)$ 表示第 m 时刻 NCO 寄存器中的值; $w = T_s/T_i$ 为 NCO 控制字,即控制 NCO 调整的相位步长.由于输入被测信号码率和实时分析带宽参数是需要在输入信号分析前设定,所以数字重采样的输出采样率 $1/T_i$ 与输入采样率 $1/T_s$ 的比值已知,控制字 w 为固定值.

假设 NCO 递减累进过程是一个连续时间函数 $\eta(t)$,如图 1(b)所示.图中 mT_s 是距离第 k 个插值时刻 $kT_i = (m + \mu)T_s$ 最近的前一个输入信号时刻. NCO 的初始值设定为 0,寄存器中的 $\eta(m)$ 值隔 T_s 递减一次 w ,每当递减出现一次过零点,则产生一个溢出使能信号 en ,NCO 溢出时刻 $t = kT_i$ 即为重采样点输出时刻,因此 NCO 的溢出周期就是重采样的输出周期.



(a) NCO 结构图



(b) NCO 递减累进过程

图 1 NCO 结构图及递减累进过程

对于插值滤波器期望的插值位置 μ ,可根据 mT_s 和 $(m+1)T_s$ 时刻对应的 NCO 累加值 $\eta(m)$ 和 $\eta(m+1)$ 计算得到.在图 1(b)中,根据相似三角形可知

$$\frac{\mu T_s}{\eta(m)} = \frac{(1-\mu)T_s}{1-\eta(m+1)} \quad (2)$$

化简得

$$\mu = \frac{\eta(m)}{1-\eta(m+1)+\eta(m)} = \frac{\eta(m)}{w} \quad (3)$$

此时, μ 按输入等效采样周期 T_s 周期输出,且其中包含无效的“伪值”.只有溢出使能信号 en 有效时刻对应的 μ 值才是插值滤波器期望的插值位置,所以周期输出的 μ 值经过插值滤波器后产生的重采样输出值有一部分是无效值,需要在时序调整模块中根据溢出使能信号 en 和插值滤波器输出值对时序进行调整,选择正确的重采样输出值顺序输出.经过时序调整模块后重采样输出值的速率为 $1/T_i$,从而达到了重采样的目的.

3 并行结构 NCO 控制算法

如前所述,高速解调系统中系统采样率 $1/T_s$ 很高,插值控制的工作频率也为 $1/T_s$,若直接按图 1(a)所示的结构实现数字重采样的插值控制,现有的硬件处理器件是无法在时钟频率 $1/T_s$ 条件下工作的,因此需要研究并行结构的 NCO 控制算法.

假设一个并行 M 路的 NCO,并行后输出 M 组

相位数据 $\eta_1(n), \eta_2(n), \dots, \eta_i(n), \dots, \eta_M(n)$. 其中第 i 路数据 $\eta_i(n)$ 与 $\eta(m)$ 有如下关系:

$$\eta_i(n) = \eta(nM + i) \quad i = 1, 2, 3, \dots, M \quad (4)$$

则结合式(1)有:

$$\eta(nM + i) = [\eta(nM + i - 1) - w] \bmod 1 \quad i = 1, 2, 3, \dots, M \quad (5)$$

将式(5)展开可得:

$$\begin{cases} \eta(nM + 1) = [\eta(nM) - w] \bmod 1 \\ \eta(nM + 2) = [\eta(nM + 1) - w] \bmod 1 \\ \eta(nM + 3) = [\eta(nM + 2) - w] \bmod 1 \\ \vdots \\ \eta(nM + M) = [\eta(nM + M - 1) - w] \bmod 1 \end{cases} \quad (6)$$

对于 $\eta(nM + i)$, $i = 1, 2, 3, \dots, M$, 初始化为 0, 在 n 时刻时, 输入 NCO 控制字 w , 根据式(6) 计算可得一个时钟周期内所有 $\eta(nM + i)$, 其中 $\eta(nM)$ 为上一时钟周期得到的第 M 路 η 值, 而 $\eta(nM + M)$ 要缓存一次并参与到下一时钟周期运算. 显然, 这种需要在一个时钟周期同时得到 M 组 η 值的目标, 不能使用流水线的设计思想. 如图 1(b) 已知的 $\eta(m)$ 值间隔 T , 递减一次 w , 并行结构则是每个处理周期内, 递减 M 次控制字 w , 于是对式(6) 化简如下:

$$\begin{cases} \eta(nM + 1) = [\eta(nM) - w] \\ \eta(nM + 2) = [\eta(nM) - 2w] \\ \eta(nM + 3) = [\eta(nM) - 3w] \\ \vdots \\ \eta(nM + M) = [\eta(nM) - Mw] \end{cases} \quad (7)$$

由此可知, 当前时刻需要计算的 M 组 η 值仅与前一时钟周期第 M 路 $\eta(nM)$ 值和当前周期的输入控制字 w 有关, 这使得每个 M 组 η 值的计算相互独立, 意味着可完全按处理周期做并行化处理.

考虑二进制数的加减法运算规律, 对式(7) 计算时, 不需要判断 M 组 η 值的正负, 也不必对 M 组 η 值进行模 1 操作, 可以简化计算处理过程. 以 $M = 4, w = 0.625$ 为例, 说明并行 4 路 NCO 中间变量 η 值计算过程. 由于 $0 < \eta < 1$, 所以 η 值没有整数位, 假设用 4 bit 二进制数表示 η 值, 最高位表示符号位, 低三位表示小数位. 将 $w = 0.625$ 用 4 bit 表示为 0101, 则 $2w, 3w, 4w$ 的对应的低 4 位二进制分别为 1010, 1111, 0100.

根据式(6) 计算可知, 实际需要的 4 路 η 值的更新过程如表 1 所示. 通过式(7) 计算的 4 路 η 值对应的二进制更新过程如表 2 所示.

表 1 实际需要的 4 路 η 值更新表

4 路并行 η 值	更 新 序 次				
	0	1	2	3	
$\eta(4n + 1)$	0	0.375	0.875	0.375	
$\eta(4n + 2)$	0	0.75	0.25	0.75	
$\eta(4n + 3)$	0	0.125	0.625	0.125	
$\eta(4n + 4)$	0	0.5	0	0.5	

表 2 4 路 η 值对应的二进制更新表

4 路并行 η 值	更 新 序 次				
	0	1	2	3	
$\eta(4n + 1)$	0 000	1 011	0 111	0 011	
$\eta(4n + 2)$	0 000	0 110	0 010	1 110	
$\eta(4n + 3)$	0 000	0 001	1 101	1 001	
$\eta(4n + 4)$	0 000	1 100	1 000	0 100	

在表 1 中, 根据实际需要的 4 路 η 值可知, $\eta(4) \rightarrow \eta(5), \eta(5) \rightarrow \eta(6), \eta(7) \rightarrow \eta(8) \dots$ 等过程产生溢出使能信号 en , 而此更新过程与表 2 中 4 路 η 值所对应的二进制值符号位变化是一致的, 所以可以用 η 值所对应二进制符号位的变化来表示溢出使能信号. 并且在表 2 中 4 路 η 值低三位二进制对应的十进制值和表 1 中实际需要的 η 值是相同的, 故用 η 的低三位二进制表示 η 值即可.

4 路使能信号 $en[1], en[2], en[3], en[4]$ 可由简单的判决逻辑得到, 对 4 路并行 η 值中相邻两个 η 的符号位做异或即可, 如式(8) 所示. 其中 $\text{sgn}[\eta]$ 表示取 η 的符号位, $\oplus$ 表示异或运算.

$$\begin{cases} en[1] = \text{sgn}[\eta(4n)] \oplus \text{sgn}[\eta(4n + 1)] \\ en[2] = \text{sgn}[\eta(4n + 1)] \oplus \text{sgn}[\eta(4n + 2)] \\ en[3] = \text{sgn}[\eta(4n + 2)] \oplus \text{sgn}[\eta(4n + 3)] \\ en[4] = \text{sgn}[\eta(4n + 3)] \oplus \text{sgn}[\eta(4n + 4)] \end{cases} \quad (8)$$

4 路小数间隔 $\mu_1, \mu_2, \mu_3, \mu_4$ 可根据 4 路 η 值和 4 路使能信号共同计算得到, 如果与 μ 值对应的溢出使能信号有效, μ 值更新, 否则 μ 值保持不变, 如式(9) 所示. 式中“?”表示条件逻辑判断, 即 $en[1]$ 为真时, 将右边的 $\eta(4n)/w$ 赋给 μ_1 ; 否则将 μ_0 赋给 μ_1 . 这里, μ_0 为前一时钟周期 $\eta(4n)$ 所对应的 μ 值.

$$\begin{cases} \mu_1 = en[1]?[\eta(4n)/w]:\mu_0 \\ \mu_2 = en[2]?[\eta(4n + 1)/w]:\mu_1 \\ \mu_3 = en[3]?[\eta(4n + 2)/w]:\mu_2 \\ \mu_4 = en[4]?[\eta(4n + 3)/w]:\mu_3 \end{cases} \quad (9)$$

扩展到 M 路并行 NCO 的溢出使能信号及小数间隔如式(10) 和(11) 所示.

$$\begin{cases} en[1] = \text{sgn}[\eta(nM)] \oplus \text{sgn}[\eta(nM+1)] \\ en[2] = \text{sgn}[\eta(nM+1)] \oplus \text{sgn}[\eta(nM+2)] \\ en[3] = \text{sgn}[\eta(nM+2)] \oplus \text{sgn}[\eta(nM+3)] \\ \vdots \\ en[M] = \text{sgn}[\eta(nM+M-1)] \oplus \text{sgn}[\eta(nM+M)] \end{cases} \quad (10)$$

$$\begin{cases} \mu_1 = en[1] \cdot [\eta(nM)/w] : \mu_0 \\ \mu_2 = en[2] \cdot [\eta(nM+1)/w] : \mu_1 \\ \mu_3 = en[3] \cdot [\eta(nM+2)/w] : \mu_2 \\ \vdots \\ \mu_M = en[M] \cdot [\eta(nM+M-1)/w] : \mu_{M-1} \end{cases} \quad (11)$$

式(10)和(11)表明,基于符号位判决的并行结构 NCO 控制算法,其溢出使能信号及插值小数步进均在一个处理周期完成。

4 并行结构数字重采样

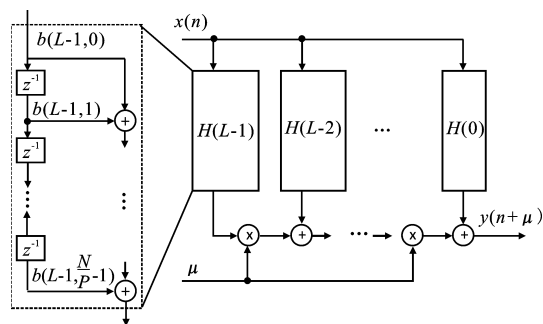
文献[9-10]提出了多项式分段拟合高阶内插滤波器系数的方法,结合 Farrow 插值滤波器可得到多相滤波数字重采样结构,如图 2(a)所示。图中 N 是高阶内插滤波器的抽头系数,将 N 抽头系数分成 P 相,则每个多相滤波器有 N/P 阶抽头系数,成为一个 $(N/P) \times P$ 阶的矩阵,对矩阵的每一行系数做 L 阶多项式 $b_m(L-1), m=0,1,\dots,N/P-1$ 拟合,即以一组 $(N/P) \times L$ 阶多项式系数矩阵来代替。多项式拟合大大简化了系数矩阵,节约了硬件资源的消耗。同时在图 3 中,可以将数字重采样滤波器的 Farrow 结构看成 L 组 N/P 个抽头系数的 FIR 滤波器,即 $H(i), i=0,1,\dots,L-1$ 。

基于本文改进的并行 NCO 算法及图 2(a),设计得到并行数字重采样的结构,如图 2(b)所示,图中为并行 4 路数字重采样结构,4 组 FIR 滤波器分别得到并行 4 路输出,并行 NCO 控制器输出 4 路小数间隔和 4 路溢出使能信号,将 4 组 FIR 滤波器的输出按对应顺序分别与小数间隔运算后送入 FIFO 缓存,通过溢出使能信号选择有效的数据顺序并行输出,即可得到并行数字重采样正确的输出值。

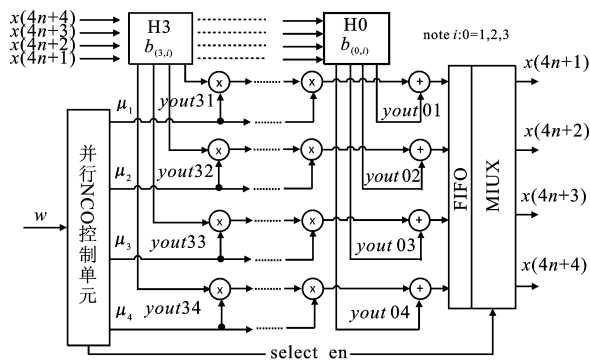
图 2(b)中每组 FIR 滤波器可以采用寄存器延时相加的方法实现并行 4 路输入输出的实时 FIR 滤波。

5 仿真及硬件验证

将并行 NCO 控制算法用 MATLAB 进行仿真,参数设置如下:8PSK 调制信号,符号率 $R_s=198$ MHz,采样率 $f_s=2.88$ GHz, $w=0.55$,重采样输出



(a) 多相滤波数字重采样 Farrow 结构



(b) 并行 4 路数字重采样结构

图 2 数字重采样结构

采样率 $f_i = w \times (f_s/2) = 4R_s = 792$ MHz, $M=8$ 。仿真结构框图如图 3 所示。

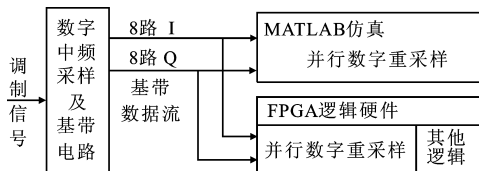


图 3 仿真结构图

仿真数据取自数字中频处理硬件的基带输出,基带并行输出 I、Q 各 8 路数据作为仿真输入,并行重采样后的数据率为符号率的 4 倍。在图 4 中,(a)为利用串行 NCO 得到的小数间隔 μ 的变化趋势图,由图可知, μ 值周期性输出,且其中包含无效值,符合文中理论分析;(b)、(c)、(d)分别为 8 路并行 NCO 控制算法第 1 路,第 7 路,第 8 路小数间隔 μ 值及溢出使能信号 en 的变化趋势图,其中溢出使能信号 en 分别为 1 时刻所对应的小数间隔为有效插值点,反之,溢出使能信号为 0 时,表示该时刻对应的小数间隔为无效插值点。

对比图 4 中(a)、(b)发现,图 4(b)中 μ_1, en_1 的值与图 4(a)中第 $(8k+1), k=0,1,2,\dots$ 点所对应的 μ, en 值是完全相同的,同理图 4(c)、(d)中的 μ, en 分别与图 4(a)中第 $(8k+7), k=0,1,2,\dots, (8k+8)$,

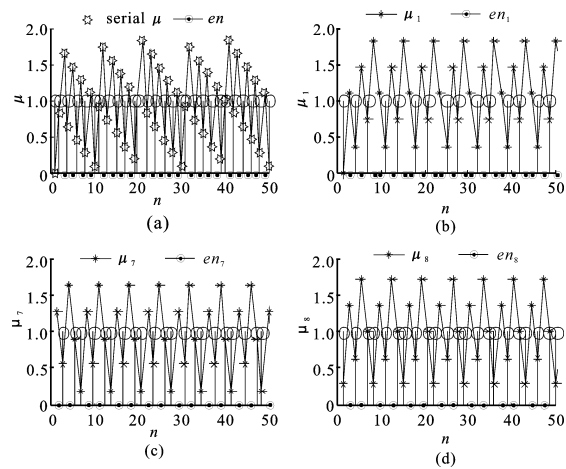


图 4 小数间隔、溢出使能信号变化趋势

$k=0,1,2\cdots$ 点所对应的 μ 、 en 值是完全相同的,因此证明了并行 NCO 控制算法可以准确地得到小数间隔 μ 值及溢出使能信号 en 。

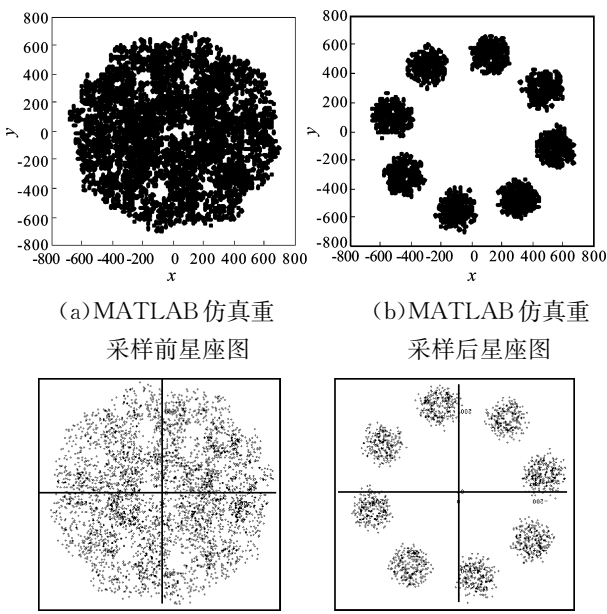
图 5(a)、(b)分别为重采样前和重采样后的星座图。从图 5(a)中可看出由于重采样前采样率不是符号率的整数倍,所以星座图中包含不在符号点上的离散星座点。图 5(b)是经过本文的并行数字重采样后的星座图,星座点收敛,没有发散点。

对整个并行 NCO 算法在通用规模的可编程逻辑阵列(FPGA)平台进行硬件验证,FPGA 芯片选用 Xilinx 公司 Virtex7 系列 xc7vx485t 芯片。如图 3 所示,对于同一段采样数据,将图中 MATLAB 算法按 Verilog HDL 编码实现下载 FPGA 中验证,其他试验参数不变。高达 2.88 GHz 速率的高速基带数据流经过串并转换后,转换为 I/Q 各 8 路并行数据,每路数据率为 180 MHz,而 180 MHz 的工作频率在 FPGA 中是可以满足要求的。用 ISE 自带的逻辑分析仪 ChipScope 抓取重采样前后的星座图,如图 5(c)、(d)所示。

对比图 5 发现,通过硬件平台实现得到的星座图与 MATLAB 仿真结果是非常一致的,二者的差异主要由硬件平台实现过程中各种噪声引起,对最终的结果验证不会造成影响,从而证明了高速数字重采样并行 NCO 算法的有效性。

6 结束语

本文首先分析了适用于低速解调器中数字重采样的串行 NCO 理论模型,根据串并转换的思想以及二进制加减法运算法则推导出并行 NCO 控制算法的数学表达式,并进一步得出并行数字重采样结构。同时文章对并行 NCO 控制算法及整个并行数



(c)数字中频逻辑硬件重采样前星座图 (d)数字中频逻辑硬件重采样后星座图

图 5 MATLAB 仿真重采样前后星座图比较与数字中频逻辑硬件重采样前后星座图比较

字重采样结构进行了 MATLAB 仿真及 FPGA 实现,证明了算法的正确性和可行性。

参考文献:

[1] 袁晓辉. 高速同步解调技术在数传系统中的应用研究[J]. 无线电通信技术, 2001, 27(6):30-32.

[2] Farrow C W. A continuously variable digital delay element[C]//IEEE International Symposium on Circuits and Systems. IEEE, 1988:2641-2645.

[3] 翟海涛. 高速数传系统中匹配滤波及定时同步算法改进及实现研究[D]. 长沙: 国防科学技术大学, 2009.

[4] Alonso A, Sevillano J F, Velez I. Parallel implementation of a sample rate conversion and pulse-shaping filter for high speed backhauling networks[C]// Design of Circuits and Integrated Circuits (DCIS). Spain: IEEE, 2014:1-6.

[5] Long J P, Torres J A. High throughput Farrow resamplers utilizing reduced complexity FIR filters[C]// Military Communications Conference, MILCOM 2012. Orlando: IEEE, 2012:1-6.

[6] Meyer-Baese U. Digital signal processing with field programmable gate arrays[J]. Signals & Communication Technology, 2004, 32(5):1037 - 1041.

[7] Gardner F M. Interpolation in digital modems. I. Fundamentals[J]. IEEE Transactions on Communications, 1993, 41(3):501-507.

的特征,这个研究主题也是三维模型检索方面的新方向.

参考文献:

[1] Lian Z, Godil A, Bustos B, et al. A comparison of methods for non-rigid 3Dshape retrieval [J]. Pattern Recognition,2013, 46(1):449-461.

[2] Biasotti S, Giorgi D, Spagnuolo M, et al. Reebgraphs for shapeanalysis and application[J]. Theory Computer Science, 2008, 392:5-22.

[3] Hilaga M, Shinagawa Y, Kohmura T, et al. Topology matching for fullyautomatic similarity estimation of 3D shapes[J] . ACM SIGGRAPH, 2001:203-212.

[4] Tung T, Schmitt F. SHREC08 entry: shape retrieval of noisy watertight modelsusing a MRG[C]// IEEE Int. Conf. on Shape Modeling and Applications. New York:IEEE,2008:229-230.

[5] Biasotti S, Marini S, Spagnuolo M, et al. Sub-part correspondenceby structural descriptors of 3D shapes [J]. Computer Aided Design, 2006, 38 (9), 1002-1019.

[6] Tierny J, Vandeborre J P, Daoudi M. Partial 3D shape retrieval by Reeb patternunfolding [J]. Computer Graph Forum-Eurograph Assoc, 2009, 28 (1);

41-55.

[7] Lavoué G. Bag of words and local spectral descriptor for 3D partial shaperetrieval[C]//3DOR '11 Proceedings of the 4th Eurographics conference on 3D Object Retrieval. ACM,2011.

[8] Li B, Godil A, Aono M, et al. SHREC12 track: generic 3D shape retrieval[C]//Eurographics Workshop on 3D Object Retrieval. Cagliari, 2012: 19-126.

[9] Sun J, Chen X, Funkhouse T. Fuzzy geodesics and consistent sparsecorrespondences for deformable shapes[J]. Computer Graph Forum, 2010, 29(5): 1535-1544.

[10] Lok Ming Lui, Wei Zeng, Shing Tung. Shape analysis of planar multiply-Connected objects using conformal welding[J]. IEEE transactions on pattern analysisand machine intelligence,2013, 36(7):1384-1340.

作者简介:

郭慧婷 女,(1990-),硕士研究生. 研究方向为仿真与可视化. E-mail: 632491946@qq. com.

况立群 男,(1976-),副教授,硕士生导师. 研究方向为仿真与可视化、虚拟现实.

韩 雯 女,(1964-),教授,博士生导师. 研究方向为仿真与可视化、虚拟现实.

(上接第 114 页)

[8] Erup L, Gardner F M, Harris R. Interpolation in digital modems. II. Implementation and performance[J]. Communications IEEE Transactions on, 1993, 41(6): 998-1008.

[9] Harris F. Performance and design of Farrow filter used for arbitrary resampling[C]// Int Conf on Digital Signal Processing. IEEE,1997:595-599.

[10] 高志成,肖先赐. 高阶重采样滤波器的多项式近似实现[J]. 电子与信息学报, 2002, 24(1):25-30.

作者简介:

李 浩 男,(1991-),博士研究生. 研究方向为无线通信信号处理. E-mail:1371184149@qq. com.

王志刚 男,(1967-),副教授,研究方向为宽带时域测试、无线通信信号处理.

王厚军 男,(1961-),教授,博士生导师. 研究方向为宽带时域测试、集成电路测试设计、现代信号处理与检测技术.