

一种改进运放共享结构的 11 位流水线 ADC 设计

万富强¹,刁盛锡²,林福江¹

(1 中国科学技术大学 微纳电子系统集成研究中心,安徽 合肥 230026;

2 华东师范大学 信息科学与技术学院 上海市多维度信息处理重点实验室,上海 200241)

摘 要:对流水线模数转换器(ADC)的运放共享结构进行了改进,设计了一款应用于超高频 RFID 系统的 11 位 100 MS/s 采样率的流水线 ADC.该 ADC 将采样保持电路和第一级余量增益电路共享同一个运算放大器,从而提高运算放大器的电流效率,进而减小功耗.运算放大器采用两对差分输入一对差分输出的、带增益自举的直筒式结构.通过使用对称栅压自举开关,减小了连接虚地的开关,流过大电流时,注入电荷的失配.采用此运放共享思路设计的 11 位流水线 ADC,在奈奎斯特采样时,有效位数是 10.6 bit,SFDR 为 71.2 dB,SNDR 为 65.5 dB,功耗为 52 mW.

关键词:运放共享;对称栅压自举开关;流水线模数转换器;低功耗

中图分类号:TN4

文献标识码:A

文章编号:1000-7180(2016)11-0119-05

Design of an 11-Bit Pipelined ADC with Improved OPAMP Sharing Configuration

WAN Fu-qiang¹,DIAO Sheng-xi²,LIN Fu-jiang¹

(1 Micro-nano Electronic System & Integrated Circuits Center, University of Science and Technology of China,

Hefei 230026, China; 2 Shanghai Key Laboratory of Multidimensional Information Processing, School of

Information Science and Technology, East China Normal University, Shanghai 200241, China)

Abstract: This paper presents the improvement of the OPAMP sharing configuration for the pipelined analog to digital converter (ADC), and designs an 11-bit and 100 MS/s sampling-rate pipeline ADC for a UHF RFID system. The sample and hold circuit shares the same OPAMP with the first-stage residual gain amplifier circuit, so that current efficiency of OPAMP is improved and power consumption is saved. The OPAMP adopts gain-boost telescope structure with two pairs input and one pair output. By using symmetrical bootstrapped switch, the charge injection mismatch is reduced, when large current flows into virtual ground. The pipeline ADC achieves an ENOB of 10.6 bits, an SFDR of 71.2 dB, an SNDR of 65.5 dB and power consumption of 52 mW at the Nyquist sampling input frequency.

Key words: OPAMP sharing; symmetrical bootstrapped switch; pipeline ADC; low power

1 引言

高性能的超高频 RFID 系统要求高速高精度的模数转换器(ADC)^[1],流水线结构可以满足相应的设计要求.但是传统的流水线 ADC 的功耗太高,因此设计低功耗高性能的流水线 ADC 逐渐成为科研热点.近年来,运放共享技术^[2]、负载电容按比例缩

减技术^[3]以及动态比较器技术的使用,使得流水线 ADC 的功耗得以充分地优化.尤其是运放共享技术,它使得余量增益电路节省了一半的运放数目,整体 ADC 节省了将近一半的功耗.

传统的运放共享技术^[2-3]应用在采样保持电路后面的余量增益部分,将相邻两级的余量增益运算只通过一个运算放大器来实现.采样保持电路只有

在保持的时序内,运算放大器参与信号的建立,而在采样的时序内,运算放大器并没有参与信号的建立,这部分功耗被浪费掉了.

本文提出采样保持电路与第一级余量增益电路共用一个运算放大器的运放共享思路.在采样保持电路采样时,运放参与第一级余量增益的计算及相应信号的建立,提高运放电流的利用效率,进而节省功耗.依照这种思路,本文设计了一款基于 TSMC 180 nm 工艺的 11 位 100 MS/s 采样率的流水线 ADC,对增益自举运放、栅压自举开关等关键模块进行分析和优化,并对这种运放共享结构所敏感动态比较器的回踢噪声,通过开关隔离做了抑制.仿真结果显示,本文设计的 ADC 对 49 MHz 输入信号采样量化的有效位数为 10.6 bit,ADC 的功耗仅为 52 mW,版图面积 0.65 mm².

2 运放共享结构的设计

本文设计的流水线 ADC 的每一级量化采用的是 1.5 比特/级的自校准算法^[4],整体模数转换器由采样保持电路(SH)、9 级 1.5 比特/级余量增益电路(MDAC)、1 个 2 bit 全并行 ADC、数字校正逻辑、时钟产生电路和片上电压/电流参考源组成,如图 1 所示.

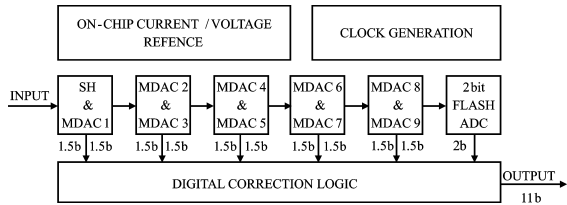


图 1 模数转换器的结构

在流水线 ADC 的第一级采样保持电路(SH)与第一级的余量增益电路(MDAC_1)共用同一个运放,如图 2 所示.当采样保持电路对输入信号进行采样时,运放参与余量增益电路输出信号的建立;当采样保持电路对被采样信号保持输出时,MDAC_1 对保持输出的结果进行采样,运放参与保持输出结果的建立.因此,在前后两个时序内,运算放大器都参与对应级输出信号的建立,运放得以充分地利用.

从第二级余量增益电路(MDAC_2)到第九级余量增益电路(MDAC_9),每相邻两级共享同一个运算放大器,电路结构如图 3 所示.前后两级的采样时序与余量增益计算的时序错开半个时钟周期,使得运算放大器的功耗得到充分地利用.整个 11 bit 的流水线 ADC 仅仅使用 5 个高性能的运算放大器,

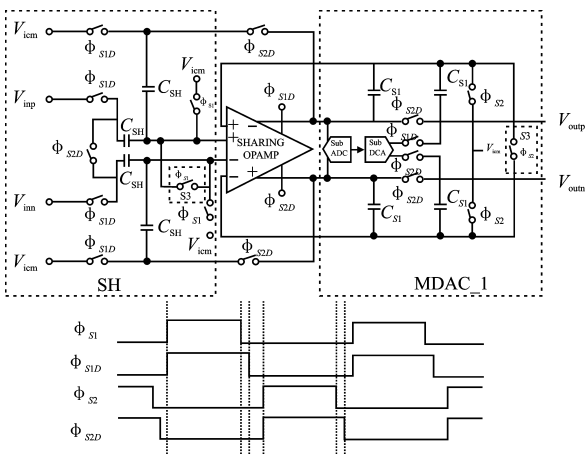


图 2 SH_MDAC1 的运放共享结构和时序控制

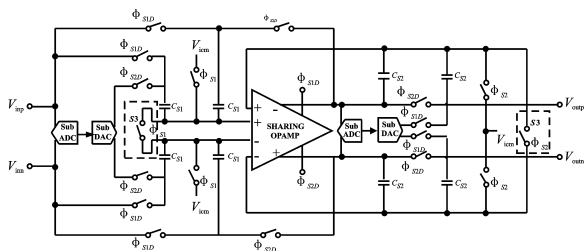


图 3 相邻两级余量增益电路的运放共享

而 ADC 主要的功耗是消耗在运放上,所以,通过运放共享技术可以实现流水线 ADC 的低功耗设计.本文将采样保持电路与第一级余量增益电路共享运放,相比于相同功耗的流水线 ADC,本文设计的 ADC 分辨率更高;而另一方面,这种运放共享的结构比传统结构的相同分辨率的设计,节省了一个运算放大器的功耗.

在整体流水线 ADC 的设计中,余量增益电路的分辨率逐级降低,整体电路等效到输入端的误差可以表示为

$$e = e_{sh} + \sum_{i=1}^N \frac{e_i}{2^i} \tag{1}$$

因此,每一级采样电容和反馈电容的大小可以按照一定的比例降低,从而减轻运算放大器的设计压力.在本文的设计中,比例因子为 0.7.

在实际运放共享的流水线 ADC 的设计中,为了避免前后两级信号的串扰,时钟控制逻辑采用两相非交叠时钟(Nonoverlap Clock),控制逻辑如图 2 所示,时钟产生电路如图 4 所示.流水线 ADC 的供电电压可以来自于片外的 1.8 V 稳压电源,也可以通过片内的电压电流基准电路和低压差线性稳压器(LDO)产生.当使用片内 LDO 时,ADC 输入的电源电压范围是[2.0 V, 3.3 V].

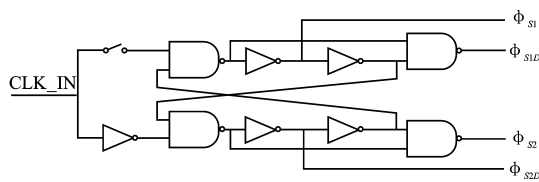


图 4 两相不重叠时钟产生电路

3 电路的设计

3.1 运算放大器的设计

流水线 ADC 的运放共享结构要求运算放大器隔离前后两级电路的输入,如图 5 所示,本文采用两对差分输入一对差分输出的运放输入输出模式.运放放大器通过时钟控制逻辑来控制运放输入的通断,从而进行前后级余量增益模块的切换.相比于传统的将前后两级的输入信号,在运放的一对差分输入端切换的设计思路,本文的运放输入模式避免了开关切换带来的电荷注入误差,并且运放的通路选择开关增加运放输入输出之间的隔离度.

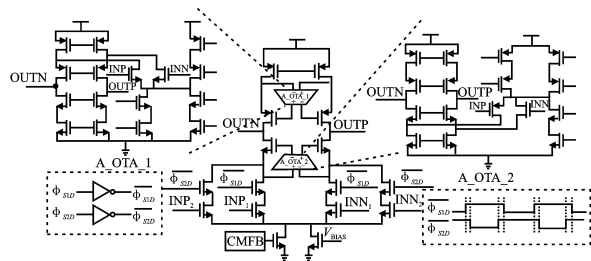


图 5 增益自举的两对输入的运算放大器

由于控制运放输入选择的时钟逻辑是两相非交叠时钟的反逻辑,时序如图 5 所示,在两路输入信号切换的时候,两路输入管都导通,所以运放不存在电流截止的时刻,从而减小了运放的建立时间.

采样保持电路和余量增益电路的增益误差可以表示为

$$|A_V| = 1 + \Delta\left(\frac{C_S}{C_F}\right) + \frac{1}{|A_0|f_{FB}} + e^{\frac{-GBW \cdot f_{FB}}{2f_s}} \quad (2)$$

$$|A_V| = 2 \cdot \left[\frac{1}{2} \cdot \Delta\left(\frac{C_S}{C_F}\right) + \frac{1}{|A_0|f_{FB}} + e^{\frac{-GBW \cdot f_{FB}}{2f_s}} \right] \quad (3)$$

误差来源包括采样电容和反馈电容间有限的匹配度所引入的匹配误差、有限运放增益所引入的静态误差,以及有限运放带宽所引入的动态误差.本文的运算放大器采用增益自举共源共栅直筒式运放结构,通过辅助运放的增益自举作用,来提高运放增益,从而减小静态误差.通过采用直筒式的结构,运放的非主极点较远,可以实现较高的带宽,并可以驱

动较大的采样电容和反馈电容,从而减小动态误差和匹配误差.辅助运算放大器采用的是折叠共源共栅结构,这是要保证辅助运放的输入输出都在合理的范围内.

如果辅助运放的传输函数是 $A(s)$,那么整个增益自举运放的传输函数可以表示为

$$\frac{V_{out}}{V_{in}} = - \frac{g_{m1} r_{O1} [1 + g_{m2} r_{O2} (1 + A(s))]}{1 + sC_L r_{O2} + sC_L r_{O1} [1 + g_{m2} r_{O2} (1 + A(s))]} \quad (4)$$

式中, C_L 是运放负载,取决于本级电路采样/反馈电容大小、反馈系数和下一级的采样电容的大小.

辅助运放可以近似一个单极点系统

$$A(s) = \frac{A_0}{1 + \frac{s}{p_{aux}}} \quad (5)$$

那么增益自举运放的传输函数为

$$\frac{V_{out}}{V_{in}} = - \frac{(g_{m1} r_{O1} g_{m2} r_{O2} (1 + A_0)) \cdot \left(1 + \frac{s}{(1 + A_0)p_{aux}}\right)}{1 + s\left(\frac{1}{p_1} + \frac{1}{p_{aux}} + \frac{A_0}{p_1}\right) + \frac{s^2}{p_1 p_{aux}}} \quad (6)$$

式中, p_1 是没有增益自举的运放主极点, p_{aux} 是辅助运放的主极点.增益自举运放的主极点和第一非主极点可以分别表示为

$$\begin{cases} p_a = \frac{p_1}{1 + A_0} \\ p_b = (1 + A_0)p_{aux} + p_1 \approx GBW_{aux} \end{cases} \quad (7)$$

所以,考虑增益自举运放的稳定性,辅助运放的单位增益带宽 GBW_{aux} 要满足

$$f_{FB} \cdot GBW_{origin} < GBW_{aux} < p_{2,origin} \quad (8)$$

式中, f_{FB} 表示闭环反馈系数, GBW_{origin} 和 $p_{2,origin}$ 分别是无增益自举的运放的单位增益带宽和第一非主极点.

运算放大器的共模反馈通过采用开关电容形式来节省功耗.

3.2 比较器的设计

在运放共享结构的设计中比较器的输出锁存的信号摆幅较大,在信号的建立过程中,回踢噪声(Kick-back noise)很容易耦合到输入端,进而影响到前一级采样保持和余量增益的输出.本文在传统的阻性动态比较器的基础上,增加锁存隔离开关,抑制输出信号对输入的影响,如图 6 所示.

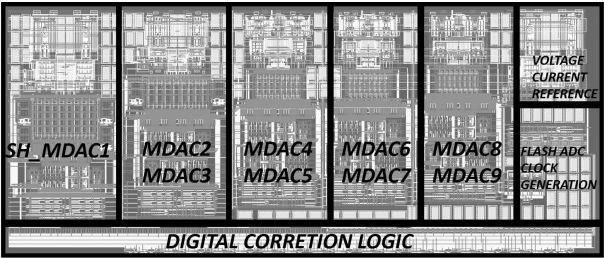


图 9 流水线 ADC 版图

所示,为了方便比较不同精度不同采样率 ADC 的综合性能,定义了如下的 FoM 值:

$$FoM = \frac{Power}{2^{ENOB} \cdot f_{sampling_rate}}$$

显然,FoM 越小,ADC 的性能越优,本文的设计结构在高速采样时,有较高的分辨率和较低的功耗.

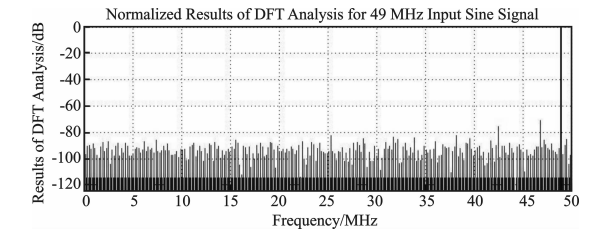


图 10 对 49 MHz 输入信号采样量化的 DFT 分析

表 1 流水线 ADC 的性能总结

参数	本文	文献[6]	文献[7]
分辨率/bit	11	10	10
采样率/(MS/s)	100	80	50
有效位数/bit	10.6	9.0	9.8
采样信号/MHz	10	41	11
SFDR/dB	71.2	64.85	78.0
SNDR/dB	65.5	55.73	60.7
电源电压/V	1.8	1.8	3.3
功耗/mW	52.0	80.0	45.0
面积/mm ²	0.65	2.55	0.20
FoM/(pJ/step)	0.33	1.95	1.01

5 结束语

本文介绍了一种应用于 11 位流水线 ADC 的运放共享结构,并完成了这种流水线 ADC 的电路设计,通过将采样保持电路和第一级余量增益电路运

放共享,提高了流水线 ADC 的电流效率,减少了功耗.

本文还分析了影响运放共享流水线 ADC 电路性能的增益自举运算放大器、动态比较器 and 对称栅压自举开关等电路,并对传统设计进行了优化.所设计的流水线 ADC 在奈奎斯特采样时,有效位数是 10.6 bit,功耗为 52 mW, FoM 值仅有 0.33 pJ/step.

参考文献:

[1] Khannur P, Chen X, Yan D, et al. A universal UHF RFID reader IC in 0.18-μm CMOS technology [J]. IEEE J Sol Sta Circ, 2008, 43(5): 114-1155.

[2] Min B, Kim P, Bowman F, et al. A 69-mW 10-bit 80-MSample/s pipelined CMOS ADC [J]. IEEE J Sol Sta Circ, 2003, 38(12): 2031-2039.

[3] Chiu Y, Gray P, Nikolic B. A 14-b 12-MS/s CMOS Pipeline ADC With Over 100-dB SFDR [J]. IEEE J Sol Sta Circ, 2004, 39(12):2139-2151.

[4] 丁洋,王宗民,周亮,等. 一种用于 16 位流水线 ADC 的多比特子 DAC 电容失配校准方法 [J]. 微电子学与计算机, 2012, 9(6): 172-179.

[5] Li J,Zeng X, Xie L, et al. A 1.8-V 22-mW 10-bit 30-MS/s pipelined CMOS ADC for low-power subsampling applications [J]. IEEE J Sol Sta Circ, 2008, 43(2):321-329.

[6] ParkY-I, Karthikeyan S, TSAY F, et al. A low power 10 bit, 80 MS/s CMOS pipelined ADC at 1.8 V power supply [C] // Circuits and Systems, ISCAS, The 2001 IEEE International Symposium on. Sydney: IEEE, 2001: 580-583.

[7] 周银,胡靖,周锋. 一种 0.2mm210 位 50MS/s 流水线型模数转换器 [J]. 微电子学,2015,45(2):164-168

作者简介:

万富强 男,(1990-),硕士研究生.研究方向为模拟集成电路设计. E-mail:fqwan@mail:ustc.edu.cn.

刁盛锡 男,(1979-),讲师.研究方向为模拟、射频集成电路设计.

林福江 男,(1958-),教授.研究方向为模拟、射频集成电路设计.