

基于 IEEE1149.1 至 IEEE1149.7 转换器的研究与实现

颜学龙^{1,2}, 王洋冰^{1,2}, 陈寿宏^{1,2}

(1 桂林电子科技大学 电子工程与自动化学院, 广西 桂林 541004;

2 广西自动检测技术与仪器重点实验室, 广西 桂林 541004)

摘 要: IEEE1149.7 标准相对于 IEEE1149.1 标准新增了很多测试与调试的功能, 解决了现今复杂度高的芯片和系统无法测试的问题. 在深入地研究 IEEE1149.1 和 IEEE1149.7 两种标准的基础上, 利用自上而下的设计方法完成了由 IEEE1149.1 信号变为 IEEE1149.7 信号转换器的设计, 在 Quartus II 平台中通过 Verilog 语言实现, 将设计应用在 FPGA 中, 并用 Quartus II 中嵌入式逻辑分析仪 SignalTap II 采集 FPGA 的输出信号. 输出结果表明所设计的方案可以将 IEEE1149.1 信号转化为 IEEE1149.7 信号, 可用于 IEEE1149.7 的待测系统进行测试与调试.

关键词: IEEE1149.7; 转移器; 测试与调试

中图分类号: TN4

文献标识码: A

文章编号: 1000—7180(2016)11—0133—04

Research on the Converter from IEEE1149.1 to IEEE1149.7

YAN Xue-long^{1,2}, WANG Yang-bing^{1,2}, CHEN Shou-hong^{1,2}

(1 College of Electronic Engineering and Automation, Guilin University of Electronic Technology, Guilin 541004, China; 2 Automatic Detection Technology and Instrument in Guangxi Key Laboratory, Guilin 541004, China)

Abstract: IEEE1149.7 standard with respect to the IEEE1149.1 standard added a lot of testing and debugging features, to solve the problem of high complexity of today's chips and systems can't be tested. In-depth research foundation IEEE1149.1 and IEEE1149.7 two standards on the use of top-down design method to complete the conversion by the IEEE1149.1 IEEE1149.7 converter design in Quartus II platform by Verilog language the design in FPGA, and SignalTap II embedded logic analyzer capture FPGA output signal in Quartus II. The output results show that the design of the program can transform IEEE1149.1 signal into IEEE1149.7 signal that can be used IEEE1149.7 test system for testing and debugging.

Key words: IEEE1149.7; converter; testing and debugging

1 引言

IEEE1149.1 标准, 称为边界扫描技术, 以 JTAG 结构为测试端口, 自推出以来, 在集成电路测试中得到了广泛的应用. 边界扫描技术在芯片内部加入了边界扫描单元(Boundary-Scan-Cell), 提高了电路内部节点的可控性和可观测性, 有效地解决了集成电路中的故障定位和故障诊断的问题^[1]. 文献[2]中完成了整个 IEE1149.1 的测试系统设计. 但是随着集成电路的发展, 芯片和系统的复杂度变高,

单个芯片存在多个内核, 原有的 IEEE1149.1 标准已经无法满足现今集成电路的发展过程中测试与调试的需求^[3-4].

于是 IEEE 组织推出了紧凑型边界扫描技术, 即 IEEE1149.7 标准. 新标准提出了 CJTAG(Compact JTAG)结构, 在完全兼容 JTAG 接口信号的基础上, 还增加了多内核调试、电源管理、星型拓扑结构以及后台数据传输等功能^[5]. CTJAG 信号作用 IEEE1149.7 的待测系统可以更准确更快速地完成集成电路中系统多芯片、芯片多内核测试与调试的

问题^[6-7]. 文献[2]中对 IEEE1149. 7 的测试控制器进行了研究,文献[3]中完成了对 IEEE1149. 7 标准其中一部分功能 IP 核的设计. 近几年来对 IEEE1149. 7 标准的研究取得了一定的进展,但对于 IEEE1149. 7 整个的测试与调试系统还未有研究成果.

本文在 IEEE1149. 1 的测试系统的基础上,提出了一种新的设计方案,将 IEEE1149. 1 的测试信号,经过设计的转换器,可以产生 IEEE1149. 7 标准的 CJTAG 接口信号. 将所设计的转换器,下载到 PFGA 的芯片中去, IEEE1149. 1 的测试控制器输入信号并用逻辑分析仪抓取输出信号,输出的 IEEE1149. 7 的信号能够完成对 IEEE1149. 7 标准的系统的测试与调试的功能.

2 转换器设计

IEEE1149. 1 标准与 IEEE1149. 7 存在着很大的差异,正是设计转换器的原理所在. IEEE1149. 1 标准与 IEEE1149. 7 标准在芯片构成系统的结构上区别如图 1 中所示, IEEE1149. 1 标准中只存在串行扫描拓扑, IEEE 1149. 7 标准在串行拓扑的基础上还增加了四线星型拓扑和两线星型拓扑结构^[8-9]. 灵活多变的结构使得系统不拘泥于一种芯片连接方法,更加有利于系统故障的定位以及提高单个芯片调试的效率.

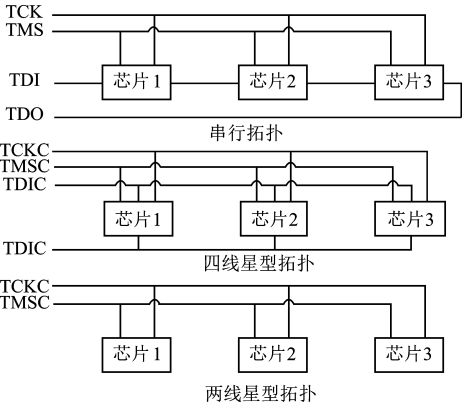


图 1 边界扫描拓扑结构

2.1 转换器总体设计

转换器的一端输入的是用于测试 1149. 1 目标的测试系统,引脚信号分别为输入信号 TCK、TMS、TDI 和输出信号 TDO,另一端连接符合 1149. 7 标准的待测系统,信号为 TCKC、TMSC、TDIC 和 TDOC,具体应用构成的系统框架如图 2 所示,转换器可以实现两者之间相互通信,目的是解

决在 IEEE1149. 1 标准的测试系统可以测试与调试 IEEE1149. 7 标准的待测系统. 两线传输时 TDIC 和 TDOC 不用于信息传输.



图 2 应用系统架构

转换器的整体架构设计采用自上而下的设计方法,整体设计如图 3 所示,顶层模块中总共分为 8 个模块. 通过 Verilog HDL 硬件描述语言在 Quartus II 平台中将转换器模块化并完成设计. 每个模块有各自的功能,模块间相互配合.

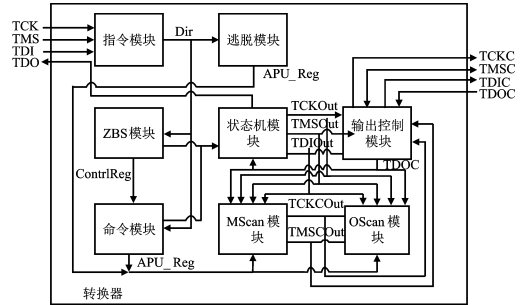


图 3 转换器架构

转换器的整体工作流程图如图 4 所示,指令模块的作用是接收 1149. 1 测试系统发下来的指令并对指令译码,如需要产生逃脱序列,就将信息交给逃脱模块,同理发送 ZBS(Zero-bit DR Scan)指令交给 ZBS 模块. 命令模块能够产生 1149. 7 需要的所有测试与调试的命令. 状态机模块把接收其他模块发过来的 1149. 7 的信号按照 16 位状态机转化为正确的时序信号. 如果命令模块或者逃脱模块选了两线星型拓扑结构,则需要用到 MScan 或者 OScan 模块,将四线的时序编码成两线时序信号. 最后输出控制模块根据配置信息决定是直接输出状态机输出的四线信号,还是输出经过 MScan 和 OScan 模块的两线信号.

2.2 ZBS 和命令模块设计

IEEE1149. 7 标准中规定,ZBS 控制级别共有七个等级,分别控制级别 1 到控制级别 7,比如控制级别 1 被用于 STL(System Test Logic)中. ZBS 模块产生控制级别是通过如图 5 中 16 位状态机完成特定的路径就可以实现,从 Select-DR-Scan 开始依次为 Capture-DR、Exit1-DR、Update-DR 完成一次 ZBS 的过程,重复上面的过程就可以对控制级别的累加.

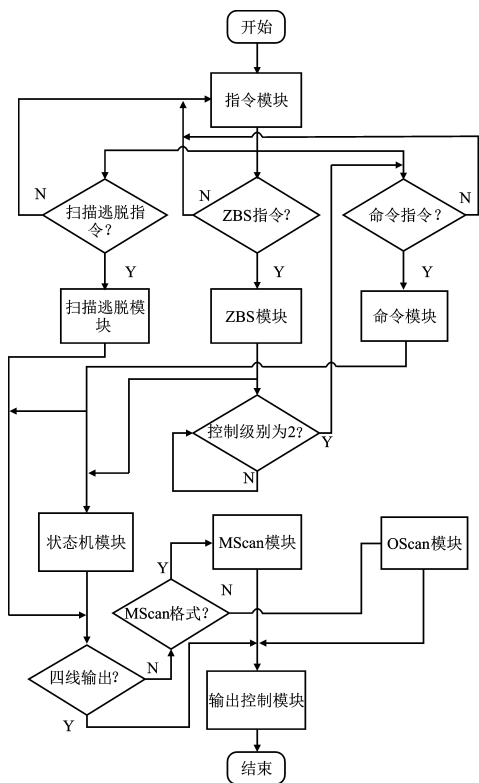


图 4 转换器工作流程图

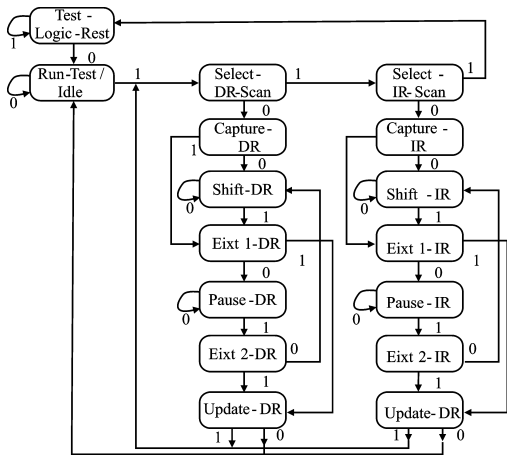


图 5 状态机转换图

当 ZBS 的控制级别加到 2 时,然后经过 Shift-DR 状态是就锁定了控制级别,命令模块就能够产生相应的命令. IEEE1149.7 中的命令主要分为两部分命令和三部分命令,两部分命令如 STFMT、STC1 等,三部分命令如 SCNB、CIDA 等. 两部分命令分为 CP1 和 CP2,三部分命令增加了 CP3 的内容. CP1 和 CP2 的值都是状态机在 Shift-DR 状态循环的次数. CP3 部分也是在 Shift-DR 产生,但包含的内容是四线中的 TDIC 或者是 TDOC 的数据,如果是两线拓扑结构中,TDIC 和 TDOC 被包含 SP

(Scan Packet)中,通过 TMSC 信号传输. 退出 ZBS 的控制级别只需要经过 Select-IR-Scan 状态控制级别就置为 0,命令模块也将不会产生命令.

2.3 逃脱模块

IEEE1149.7 中的逃脱即在 TCKC 为高电平时, TMSC 信号跳变的次数,可以是低电平变成高电平,也可以是高电平到低电平. 逃脱模块可以产生不同边沿数的逃脱,一般为 2 次以上,不一样的边沿数会有不同的逃脱信息. 比如产生逃脱边沿数为 6 或 7 次,紧接着就会发送选择序列如图 6 所示,长型选择序列或者短型选择序列,由序列中拓展码(Extension Code)的信息决定. 长型选择序列中全局寄存器状态包含扫描格式寄存器 SCNFMT (Scan Format)、延时寄存器 DLYC(Delay Control)寄存器等,最后以检查包 CP(Check Packet)接受本次逃脱. 完成对扫描拓扑分支选择和全局寄存器的配置.

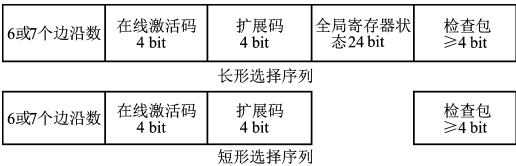


图 6 选择逃脱序列

2.4 MScan 和 OScan 模块

MScan 和 OScan 模块应用于 IEEE1149.7 中的两线拓扑结构, MScan 和 OScan 扫描格式存在 IEEE1149.7 标准 T4 和 T5 层中,被称为高级扫描格式, OScan 模块中包含了 OScan0-OScan7. MScan 和 OScan 模块将 TMS、TDI 和 TDO 以不同的格式编码成 SP,将输入信号和输出信号通过双向传输信号 TMSC 传输. 如图 7 所示两个 SP 由 OScan0 扫描格式组成,其中包含倒置的

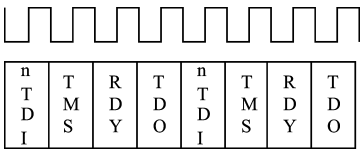


图 7 OScan0 扫描格式内容

TDI 和 TMS、TDO 信号, 还增加了 RDY (Ready) 暂停位, RDY 位的位数由寄存器 RDYC (Ready Control)决定. 当然其他扫描格式有着不同的构成.

3 转换器验证

IEEE1149.1 测试系统发来指令数据,经过已

经下载了转换器的 PFGA 芯片之后,产生了能够测试 IEEE1149.7 系统的测试信号,通过 USB-Blaster 在 Quartus II 软件中的嵌入式逻辑分析仪 Signal-Tap II 采集输出信号波形到 PC 端,分析是否符合 IEEE1149.7 标准的规范信号.

3.1 IEEE1149.7 逃脱的验证

图 8 所示为 1149.7 信号选择逃脱以及跟随之后的长形选择序列. T1 到 T2 时刻在 TCKC 高电平时产生了一个边沿数为 6 的逃脱序列;T3 到 T4 时刻为逃脱之后的在线激活码 (Online Activation Code)和扩展码共 8 位,其中扩展码为 1101 表明接下来是长型选择序列;全局寄存器状态在 T5 和 T6 之间,总共 24 位;全局寄存器结束之后是 T7 到 T8 时刻的 4 位的 CP,序列为 0000 结束本次逃脱序列. 根据上述分析,从 PFGA 上的产生 IEEE1149.7 信号的符合 IEEE1149.7 标准的逃脱序列的要求. 转换器可以产生任意次数的逃脱,

3.2 IEEE1149.7 命令和扫描格式的验证

IEEE1149.7 要使用高级扫描格式进行两线的

传输,必须先通过命令或者选择逃脱完成对高级扫描格式的配置,俩者的途径都能改变寄存器 SCNFMT 的值. 如图 9 所示,整个输出序列完成了高级扫描格式 OScan0 的配置和使用,T1 到 T2 时刻将 ZBS 的控制级别锁定为 2;接下来 T3 到 T4 通过命令 STFMT 完成了 OScan0 的配置,CP1 为 00011,CP2 为 01000,使得 SCNFMT 的寄存器值为 01000,;T5 和 T6 之间是 CP 序列 0000,结束四线传输;T7 到 T8 之间将 STMC 的命令编码成 SP,STMC 命令的 CP1 和 CP2 分别为 00000 和 00010 通过 TMS 信号传输,SP 的格式按照 OScan0 的要求构成完成两线传输. 由采样的波形可以看出,转换器输出的信号符合 IEEE1149.7 标准的命令和高级扫描格式的内容.

在未配置高级扫描格式的 1149.7 的系统中,可以实现四线传输,比如通过三部分命令 SCNB,在 CP3 是可以通过 TDIC 输入,TD0C 作为输出. 在解码器中通过命令 STFMT 可以完成不同高级扫描格式的配置,SP 中的格式就会根据扫描格式的不同改变.

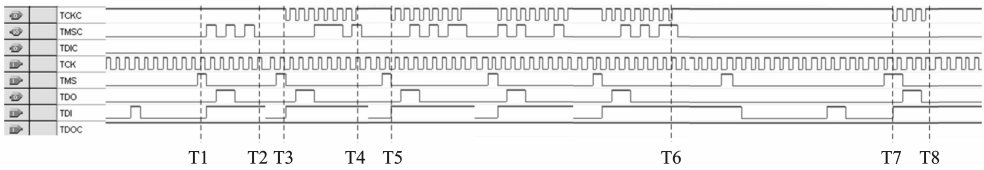


图 8 选择逃脱序列

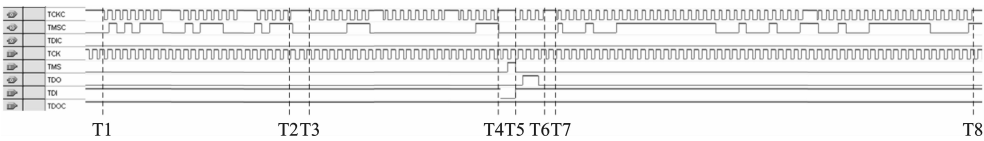


图 9 OScan0 序列

4 结束语

本文通过研究 IEEE1149.1 和 IEEE1149.7 标准,提出与设计实现了一种转换器可以完成 IEEE1149.1 到 IEEE1149.7 的转换,利用现有 IEEE1149.1 的测试系统的资源,可以不用重新设计上位机软件,驱动程序以及控制器等,加上应用于 FPGA 芯片中的转换器,输出结果符合 IEEE1149.7 标准的测试信号,可以对 IEEE1149.7 的系统完成测试与调试的功能,很具有现实意义.

参考文献:

[1] 徐志磊. 紧凑型 JTAG 接口的设计与验证[D]. 上海:

上海交通大学,2010.

[2] IEEE Std 1149.1-2001. IEEE Standard Test Access Port and Boundary-Scan Architecture[S]. America; IEEE,2001.

[3] 徐建洁. 边界扫描测试系统设计与实现[D]. 长沙:国防科技大学,2005.

[4] 陈寿宏,颜学龙,黄新. 基于 IEEE1149.7 标准的 CJTAG 测试设计方法研究[J]. 电子技术应用, 2013, 39(1):79-82.

[5] IEEE Std 1149.7. IEEE Standard for Reduced-Pin and Enhanced-Functionality Test Access Port and Boundary-Scan Architecture[S]. America; IEEE,2009.

[6] 黄新,蔡俊. 基于 JTAG 的星型扫描技术的研究[J]. 电子技术应用, 2012,38(3):88-95.

- lined adc using both voltage and time domain information [J]. IEEE J Solid-State Circuits, 2014, 49(4): 961-971.
- [2] Kim K, Yu W, Cho S. A 9 bit, 1.12 ps resolution 2.5 b/stage pipelined time-to-digital converter in 65 nm CMOS using time-register [J]. Solid-State Circuits, IEEE Journal of, 2014, 49(4):1007-1016.
- [3] Seo Y H, Kim J S, Park H J, et al. , A 1.25 ps resolution 8b cyclic TDC in 0.13 m CMOS [J]. Solid-State Circuits, IEEE Journal of, 2012, 41(3):736-743.
- [4] Straayer M Z, Perrott M. A multi-path gated ring oscillator TDC with 1 st order noise shaping [J]. Solid State Circuits, IEEE Journal of, 2009, 44 (4): 1089-1098.
- [5] Yu W, Kim K, Cho S. A integrated noise 4 MHz bandwidth second-order time-to-digital converter with gated switched-ring oscillator [J]. Circuits and Systems I, IEEE Transactions on, 2014, 61(8): 2281 - 2289.
- [6] Wonskk yu S C, Kwangseok kim. A 0.22 ps rms integrated noise 15 MHz bandwidth fourth-order delta-sigma time-to-digital converter using time-domain error-feedback filter [J]. Solid-State Circuits, IEEE Journal of, 2015, 50(5):1251-1262.
- [7] Gande M, Maghari N, OH T, et al. A 71 dB dynamic range third-order TDC using charge-pump [J]. Proc IEEE Symp VLSI Circuits Dig, 2012, 38(7): 168-169.
- [8] Konishi T, Okuno K, Izumi S, et al. A second-order all-digital tdc with low jitter frequency shift oscillators and dynamic flipflops[J]. IEICE transactions on electronics, 2013, 96(4):546-552.

作者简介:

谢 润 男, (1990-), 硕士研究生. 研究方向为射频/模拟集成电路设计. E-mail: xr714@mail.ustc.edu.cn.

刁盛锡 男, (1979-), 硕士, 讲师. 研究方向为射频/模拟集成电路设计.

林福江 男, (1958-), 博士, 教授, 博士生导师. 研究方向为射频器件建模、射频/模拟集成电路设计、微波单片集成.

(上接第 136 页)

- [7] Francisco R. Gatewaying IEEE 1149.1 and IEEE 1149.7 Test Access Ports [C]//2012 IEEE 18th International On-Line Testing Symposium. Washington DC, USA; ACM, 2012: 136-138.
- [8] STPHEN L. Reinventing JTAG for SoC debugging [J]. Electronic Design & Application World-Nikkei Electronics china, 2009, 26(2):15-19.
- [9] 杨轲. IEEE 1149.7 标准两线星型扫描格式研究[J]. 微电子学与计算机, 2015, 32(10):147-150.

作者简介:

颜学龙 男, (1962-), 教授, 研究生导师. 研究方向为集成电路测试理论与测试仪器.

王洋冰(通讯作者) 男, (1991-), 硕士研究生. 研究方向为计算机辅助测试. E-mail: 245117042@qq.com.

陈寿宏 男, (1981-), 高级实验师, 研究生导师. 研究方向为集成电路测试理论与测试仪器.